

AKADEMIE DER WISSENSCHAFTEN DER DDR
ZENTRALINSTITUT FÜR KYBERNETIK UND INFORMATIONSPROZESSE

Kurzfassungen der Vorträge
zur 9. Arbeitstagung

Entwurf von Schaltsystemen

4.-6. 3. 1980
in Dresden

Berlin

März 1980

Zech, K.-A. (INT Berlin)
Ein Programm zum optimalen Entwurf von
kombinatorischen MOS-Schaltungsteilen

Der Algorithmus DIMN von Lai /1/,/3/ wurde auf der Basis früherer Untersuchungen /2/ entwickelt, um kombinatorische Funktionenbündel durch Zerlegung in eine minimale Anzahl negativer Funktionen für eine optimale MOS-Realisierung aufzubereiten. Optimal wird eine Realisierung genannt, die aus einer minimalen Anzahl von MOS-Gattern besteht, wenn diese keine redundanten MOSFETs enthalten. Der in FORTRAN IV implementierte Algorithmus liefert eine der möglichen Lösungen dieses Problems, wobei die Gatter als Parallelschaltung von seriell verknüpften FETs dargestellt werden. Im folgenden werden die Grundlagen des Algorithmus kurz beschrieben und seine Wirksamkeit an einem kleinen Beispiel demonstriert.

Die durch ihre Funktionswerte (0,1 oder \times = don't care) vorgegebenen Funktionen mit n Eingängen (z.Z. $n \leq 10$) werden repräsentiert durch einen "n-Kubus". Dieser besteht aus einem Bereich von 2^n ganzen Zahlen, deren Binärdarstellung die Funktionswerte für die der Binärdarstellung des jeweiligen Index entsprechende Eingabebelegung ist. Die Größe dieses Bereiches ist verantwortlich für die Beschränkung der Problemgröße, andererseits auch für die Schnelligkeit des Algorithmus.

Nach einer Ermittlung der Anzahl der benötigten zusätzlichen Zwischenvariablen u_1 werden diese der Reihe nach so bestimmt, daß folgendes gilt:

1. Alle u_1 sind negative (d.h. monoton höchstens fallende) Funktionen der Eingangsvariablen sowie der Zwischenvariablen u_1, \dots, u_{1-1} .
2. Alle Funktionen sind negative Funktionen aller Eingangs- und Zwischenvariablen.
3. Die u_1 werden so bestimmt, daß die Zahl ihrer don't care-Stellen maximal ist.

Es ergibt sich somit eine Mehrebenenrealisierung, während das Verfahren von /2/ eine Zweiebenenrealisierung erzeugt. (Bild 1)

Das Ergebnis muß durch eine manuelle Nachbehandlung entsprechend den elektrischen Restriktionen (Fan-in bei Serienschaltung von FETs usw.) und den logischen Vereinfachungsmöglichkeiten (Ausklammern von Faktoren u.a.) aufbereitet werden.

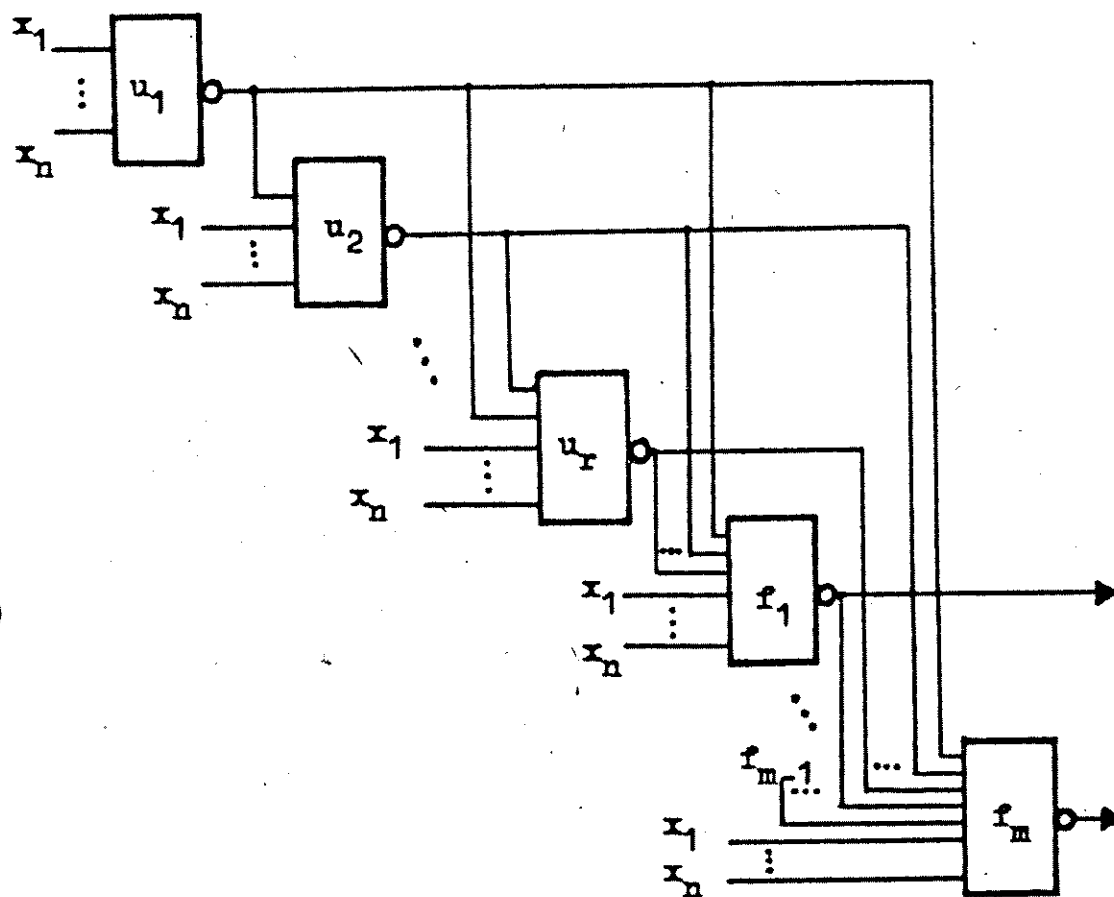


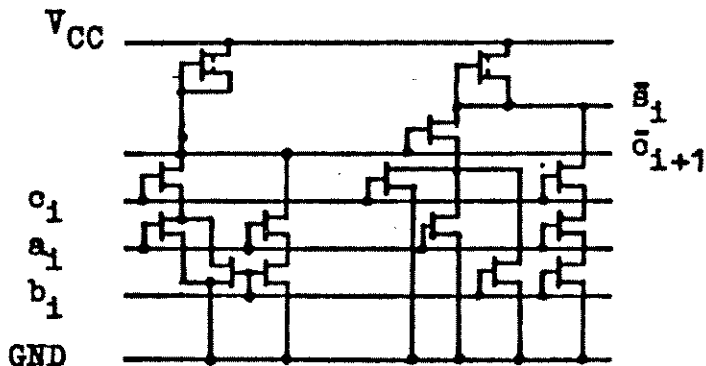
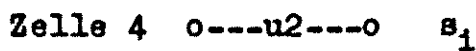
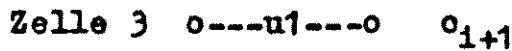
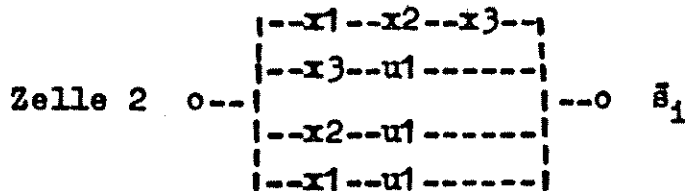
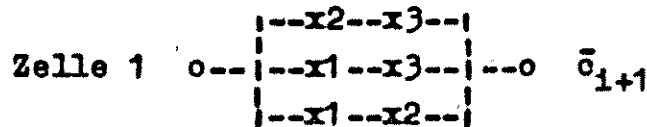
Bild 1: Prinzip der Mehrebenenrealisierung bei DIMN. Bei einer weiteren Variante von DIMN wird jede Funktion nur von den eigentlichen Zwischenvariablen u_1, \dots, u_r , nicht aber von anderen Funktionen angesteuert.

Die Bedeutung des Verfahrens liegt in der "top-down"-Bestimmung komplexer Gatter, die logisch den AND-NOR-Elementen entsprechen. Bei dem üblichen Weg, Schaltungen aus einer beliebigen logischen Darstellung in AND, OR, NOT, NOR, ... in eine MOS-gemäße Darstellung zu transformieren, ist die Minimalität bzw. Optimalität der Lösung kaum zu erreichen, wenn man sich auf die herkömmliche Negatorstruktur der Gatter beschränkt. Die Restriktion von 10...12 Eingangsvariablen schränkt zwar den Einsatz für globale Lösungen ein, Schaltungsunterteilungen auf Größenordnungen der manuellen Beherrschbarkeit ermöglichen jedoch die Anwendung von DIMN.

Als Beispiel betrachten wir einen Full Adder mit der Wahrheitstabelle

c_i	a_i	b_i	c_{i+1}	s_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Ergebnisdruck nach ca. 1,5s CPU (1040)



Transistorschaltplan ohne die Zellen 3 und 4

Versuchswise Berechnungen für die den Typen 155 (Dual 2-Line-To-4-Line Decoders/Demultiplexers) und 87 (4-Bit True/Complement, Zero/One Element) entsprechenden Funktionen, verschiedene Dekoder, einen 7-Segment-Dekoder, einen dualen 2-Variablen-Funktionengenerator u.a. benötigten jeweils weniger als 30 s CPU-Zeit auf einer ES 1040 und weniger als 4 h manuelle Bearbeitungszeit. Bei Bearbeitung eines Blocks aus einem LSI-Schaltkreis wurde durch Reduktion des kombinatorischen Anteils auf 45% die Gatteranzahl auf 79% gegenüber der ursprünglichen Variante gesenkt.

Literatur

- /1/ Lai, H.C.: A Study of Current Logic Design Problems. Part I: Design of Diagnosable MOS Networks. Dissertation Thesis, Dept. Computer Science, University of Illinois, Urbana, USA, 1976
- /2/ Ibaraki, T., Muroga, S.: Synthesis of Networks with a Minimum Number of Negative Gates. IEEE TC-20(1971)1,49-58
- /3/ Yamamoto, K.: Design of Irredundant MOS Networks. Report UIUCDCS-R-76-784, Feb.1976, Dept. Computer Science, University of Illinois, Urbana, USA