

Institut für Nachrichtentechnik  
Betriebsakademie  
KDF-Betriebssektion

Berlin, d. 17. 9. 1981

Schulungsplan "Einführung in den VLSI-Schaltkreisentwurf"

Schulungsort: INF, 1160 Berlin, Edisonstr. 63

(Hinweis: Diese Vortragsreihe beschäftigt sich inhaltlich mit den Problemen beim Entwurf hochintegrierter, digitaler MOS-Schaltkreise)

Veranstaltungsleiter: Dipl.-Ing. G. Heinz, TB 4, Telef.: 3276

Vertraulichkeit: NFD, wenn nicht anders gekennzeichnet

---

### 1. Vortrag

"Einführung in den nSGT-Entwurf"

Referent: Dipl.-Ing. G. Heinz, TB 4

Ort: L-Sitzungszimmer

Termin: Mi., 23. 9. 81 für VA: Beginn: 7.30 Uhr  
offizieller Beginn: 8.15 Uhr

Themen: - E/D-Transistoren  
- nSGT-Schaltungstechnik  
- nSGT-Technologie  
- Entwurfsablauf

### 6. Vortrag

"VLSI-Entwurf" (VD-Veranstaltung)

Referent: Dipl.-Ing. G. Heinz

Termin/Ort: Donnerstag, 15. 10. 81, L-Sitzungszimmer, 7<sup>30</sup> Uhr.

Themen: - Entwurfsrichtlinien / Entwurfsstrategie  
- Integrationsfreundliche Logik  
(NOR-RAM, PLA, Schieberegister, MUX-er, Dekoder, 2-Phasen-Technik)  
- Standardzellenmethode  
- Softwareunterstützung

### 2. Vortrag

"Logiksimulation mit "SIMPER"

Termin/Ort: Freitag, 2. 10. 81, Kulturraum, 7<sup>30</sup> Uhr.

Referent: Dipl.-Phys. J. Funke

Themen: - Vorstellung des Logiksimulationsprogrammes "SIMPER"  
- Arbeitserfahrungen mit "SIMPER"  
- praktische Übung aller Teilnehmer

4. Vortrag

"Probleme der Fehlerdiagnose integrierter Digitalschaltungen"

Termin/Ort: 9. 10. 81, <sup>9.15</sup> 7.30 Uhr, Kulturraum, 4. Etage

Referent: Dr. K.-A. Zech, SO 3

5. Vortrag

"Methoden des prüffreundlichen Entwurfs"

Termin/Ort: 13. 10. 81, <sup>9.15</sup> 7.30 Uhr, Kulturraum 4. Etage

Referent: Dr. K.-A. Zech, SO 3

3. Vortrag

"nSGT-Transistormodellierung"

(nSGT: n-Kanal-Silicon-Gate-Technologie)

Termin/Ort: 6. 10. 81 (Dienstag), 6-Sitzungsraum, 7.30 Uhr.

Themen: 2 Vorstellung des Netzwerkanalyseprogramms

"STADYNET",

Referent: Dipl.-Ing. H. Geuppel, SO 3

- Großsignalmodellierung mit "STADYNET",

Transistormodelle vom E/D-Typ.

Referent: Dipl.-Ing. G. Klinger, TB 4

Schulung nSGT-Entwurf

Plan:

- |         |   |                           |
|---------|---|---------------------------|
| 21.9.83 | 13. <sup>00</sup> Uhr <del>Ende</del> . System: TEMS (IKOS) | Wehren, Martin            |
| 22.9.83 | 1. Transistormodell   | B.: 7.30 Uhr              |
|         | 2. nSGT-Schaltungstechnik                                   | B.: 10. <sup>00</sup> "   |
|         | 3. nSGT-Technologie   | B.: 13. <sup>00</sup> "   |
|         | 4. Entwurfsreglement  | B.: 14.45 "               |
| 23.9.83 | 5. Diskussion bis 10.30 Uhr<br>Logikschaltungen nSGT        | B.: 10. <sup>30</sup> "   |
| 26.9.83 | 6. VLSI-Konzepte  | B.: 10. <sup>00</sup> Uhr |
|         | 7. VLSI-Architektur und<br>Logik<br>Diskussion              | B.: 13. <sup>00</sup> "   |
| 27.9.83 | V + N: Kulon-Schulung<br>Ende 14. <sup>00</sup> Uhr         |                           |

nächste Schulung 16.-18.11.83 (Di-Do)

# Vortrag MOS-Entwurf

## Stoffsammlung:

- M • MOS-Modell: Inversion = f (Grunddotierung); phys. Erläuterung (kurz)
- M • Transistormodell (vereinfacht); Kombinieren;
- M • EE-ED Strukturen; Gegenüberstellung bezügl.  $\lambda$ ; Fläche; Zeit
- M • Kombinieren; • E/D - JDS = f(U<sub>DS</sub>)
  - Schaltzeiten EE/ED: Abschätzungen
- SE • Saartype Schaltkreise: Polysilic; Polysil-R; Eingangsschute (punch-through)
- NWA • Stadyner: Berücksichtigung parasitärer Effekte; S, E/D Modelle
- LOS • Linger;
- TOP • VLSI-Technologie;
- SCHT • MOS-Schalttechnik (E/D); Grundelemente, FF-Typen (Dr, Richter-Toliva)

## Programme:

- E • Entwurfstrategie: Programmsystem Logik / Netzwerk / Topologie
- E • Arbeitsstrategie: Partitionierung / Positionierung / Timing
- TOP • Konstruktionsstrategie: Unterführung, Minimalabstände etc.

- ✓ Entwurfstrategie / Konstr. Strategie
  - Stadyner Modell
- ✓ Physik. Grundwert / Speicherzelle, NAND/NOR,  $U_A = f(U_E)$  ( $U_T = 0.2 U_B$ )
  - Technologie:  $\lambda, L, D, L, D, C, T$
- ✓ EE/ED Vergleich
- Schaltelemente: R, C, ZD, E/D-Tr.

## Bilder

### EDV-Arbeit

- Entw. Strategie: Logik / NWA / TOPE
- Konstr. Strategie: typ. Parameter des Programmsysteme

### MOS-Modelle E; D

- Bild MOS-Tr. • phys. Wirksw. des integr. MOS-Tr. (Kombinieren, MOS Modell,  $I = f(\lambda)$ )
- Bild EE/ED + komb. geg. (zu 2!) • EE/ED - Vergleich •  $\lambda$ , Fläche, Schaltzeiten EE/ED: Auskugsabschätz

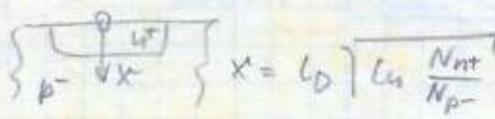
Transistorisation (Schaltstufenzahl)

$I = f(\lambda)$   
 Inversion, Punch Through - Anteil  
 Parameter Substratverspannung  
 $U_T = f(N_A, D)$  - Diagramm

GIE: S. 127

### 3 VLSI-Technologie

- 1. Folie: Gesamtfolienkanäle zeigen; BK-diskutieren.
- Technologie
- (techn. Begriffe: Diff. tiefen; Kanall. verk.)



s. Bipol-Heft; S. 1

### 2 MOS-SCHALTTECHNIK in VLSI

- VLSI-Schaltstufe: Übersteuererschalter (da: Spätsättigung; keine zeitl. Nachteile)
- VLSI-Schaltstufe  $U_A = f(U_E)$ -Kombinieren diskutieren: Lastelemente: R, E, D; Vorteile D.
- Schaltelemente mit typ. Werten: • E, D-Tr.
  - Einf. Schute
  - Polysilic
  - Polysil-R
- Logikelemente • Gatter: NAND/NOR
- phys. Kennwerte:  $\lambda, t_{prop}$  • FFs (RS, DV)
- EE/ED-Vergleich (Transistor, Speicherzelle)

### 5) Perspektive der modern. Technik:

- Limitelementen: Fotolith. Verfahren
- phys. Grenzenbreche