

(Abschrift, Original unleserlich; Folien  
konnten nicht vollständig zugeordnet werden)

- Heinz, G.: Master-Slice Technologie des HFO (ISA)  
Vortrag im INT am 20.3.1981
  
- Heinz, G.: Master-Slice Technologie des HFO (ISA)  
Vortrag zur Weiterbildungsveranstaltung INT-TB  
Ferienheim Silz am 7.10.1981

# Master-Slice Technologie des HFO (ISA)

G. Heinz

def. Master-Slice (Meister-Scheibe):  
feste Bauelemente-Anordnung, variable Verdrahtung  
(bei IA in einer Ebene, bei ID in zwei Ebenen)

(1) Warum Master-Slice Entwurf?

---

- hohe Entwurfskosten beim IC-Design
- kleine Stückzahlen sind sehr teuer

generell:

- Ausbeute steigt erst bei eingefahrener Technologie
- Maskenkosten sind hoch, je nach Integrationsgrad zwischen 2000 und 50000 Mark (LSI)
- erhöhte Si-Flächenkosten sind bedeutsam, wenn Abschreibungen in die Region der Si-Flächenkosten kommen
- da Entwicklungskosten hoch sind, ist anzustreben: Master-Slice mit Standardschaltungskatalogen

DDR-spezifisches Problem:

- kleine Sortimentsbreite

Vergleich Mikroelektronikpotential DDR-USA:

USA:

Silicon Valley: 300.000 Beschäftigte  
gesamte USA: ca. 800.000 Beschäftigte

DDR:

ca. 50.000 Beschäftigte

Annahme: auch in den USA wird an Ausbeutegrenze gearbeitet.

--> Alternativen:

entweder die DDR hat 1/16-tel Sortimentsbreite  
oder in der DDR sind ICs 16-fach teurer.  
(oder die soz. ok. Integration funktioniert?)

--> Suche nach Technologien, die geringe Stückzahlen  
mit niedrigem Preis und hoher Ausbeute realisierbar machen!

--> Folien: FA3, FA4, FA5, FA9 (?)

Positiver Effekt der Master-Slice Technologien:

- Veränderung der Arbeitsteilung zwischen Geräteentwickler und Bauelementeproduzent
- Vereinfachung der Geräteentwicklung, fertige Transistoren und Bauelemente, schnelle Überleitung

Vorteile: risikofreundlicher + zeitsparender Entwurf

- da Technologie festliegt
- da BE-Parameter festliegen (Katalog)
- billig; kleine Stückzahlen machbar (1000...10000)
- Standardisierungseffekt in BE-Industrie: verkürzte

K-Entwicklung

- Reduzierung der Entwicklungszeit
- schnelles "Aufholen" der DDR
- ökonomische Produktion

Nachteile:

- Si-Flächenausnutzung gering
- Außenabmasse festliegend
- Bauelementezahl sortiert vorgegeben
- Schaltungstechnik begrenzt

## Aufbau des ISA-Systems

(SBC: Standard Burried Collector)

Drei Technologien:

- SBC 20 Volt
- SBC 36 Volt
- SBC I<sup>2</sup>L

Sechs analoge Master mit gleichen BE-Typen,  
lediglich Anzahl unterschiedlich

Drei digitale Master (I<sup>2</sup>L)

- SBC: eine Schablone wird strukturiert
- I<sup>2</sup>L: zwei Schablonen strukturierbar

--> FOLIE ISA

# ANALOG ISA (IA)

## MASTER IA10

39 npn-klein  
2 npn groß  
18 pnp-lateral  
15 npn Schottky (in Entwicklung)  
150 Widerstände von 200 Ohm bis 5 kOhm (Basis),  
30 und 100 kOhm (pinch)  
16 Bondinseln  
1,8 x 3,0 mm<sup>2</sup>

.....

## MASTER IA60

92 npn-klein  
4 npn groß  
36 pnp-lateral  
14 pnp-Substrat  
270 Widerstände von 200 Ohm bis 5 kOhm (Basis),  
30 und 100 kOhm (pinch)  
24 Bondinseln  
2,7 x 3,0 mm<sup>2</sup>

# DIGITAL ISA (ID)

## MASTER ID10

320 I<sup>2</sup>L Gatter  
36 npn-klein Schottky  
4 pnp-lateral  
108 Widerstände  
20 Bondinseln  
2,7 x 3,1 mm<sup>2</sup>

.....

## MASTER ID30

864 I<sup>2</sup>L Gatter  
63 npn-klein Schottky  
4 npn groß  
21 pnp-lateral  
210 Widerstände  
42 Bondinseln  
2,7 x 3,1 mm<sup>2</sup>

--> FOLIE FC1

# Besonderheiten monolithischer Halbleiter-Bauelemente

## Große BE-Toleranzen:

- Basiswiderstände +/- 15 %
- Pinchwiderstände -40 ... +80%
- Stromverstärkungen
  - npn +/- 25%
  - pnp lateral +/- 50%
- parasitäre, kapazitive Kopplung der BE über Substrat (HF Großsignal)
- Kapazitäten bis 10 pF machbar, große Streuung +/- 30%
- TK der Kapazitäten +0,05 bis +0,15 %/K
- Diskrete R, nur 200 Ohm bis 5 kOhm (Basis)
- 30 kOhm, 70 kOhm als pinch bzw. epi-pinch Widerstände
- Großer TK der R:
  - Basiswiderstände -5... +13 %/K
  - Pinchwiderstände -55...+125 %/K
- Gemeinsame Wanne für Basiswiderstände: HF-Verkopplungen!
- Pinchwiderstände gepolt; Isolierrahmen nötig
- Epi-Pinchwiderstände ungepolt, regelbar; Isolierrahmen nötig
- Parasitärerffekte zwischen BE müssen berücksichtigt werden
  - Parasitärtransistoren/ keine Spannung unter Substratpotential
  - Maximale Spannung über Pinchwiderstand 6 Volt
- Leitbahnen  $I_{max} < 15 \text{ mA}$ , 100  $\mu\text{m}$  lang/10  $\mu\text{m}$  breit: 0,5 Ohm (!)
- Keine Induktivitäten, keine großen C machbar
- Umdenken!

## Diesen Nachteilen stehen Vorteile gegenüber:

- Relativabweichungen der BE sind gering
- Höchste Gleichlaufeigenschaften benachbarter BE
- Differenzverstärker (DV-) Prinzip nutzen
- beste thermische Kopplung, benachbarte BE differieren weniger als 0,005 K
- zwar hoher TK, aber auch hoher TK-Gleichlauf
- TK der Ube absolut  $\sim 2 \text{ mV/K}$
- TK relativ  $< 10 \mu\text{V/K}$
- generell: mit aktiven BE sind mit Diff.-Verst.-Prinzip ähnliche Eigenschaften erreichbar, wie mit diskreten Präzisionsbauelementen

## Relative Abweichungen R:

- Basis +/- 4%
- Pinch +/- 8%

## Relative Abweichungen C:

- Ccb +/- 3%
- Cbe +/- 4%

## Beispiele:

- Beta-Anpassung  $< 5\%$  auf einem Chip (Stromverstärkung)
- Ube-Anpassung +/- 1 mV (!)
- minus Ueb: Zener-Anpassung +/- 1 % (!)

## Anwendungen bei:

- Konstantstromquellen
- Hochohmwiderständen
- Referenzspannungen durch Bandgap oder TK-kompensierte Schaltungen

## Konkrete Bauelementeparameter SBC-Prozeß:

- P-Silizium

- N+ Diffusion
- N- Epitaxie
- P+ Diffusion Isolierrahmen,
- P+ Diffusion für p-Basis
- N++ Kollektor und Emitter

Unterschied diskreter - integrierter Transistor:

- Integrierter Transistor nicht in Verstärkungsgruppen klassifizierbar (Ausbeute)
- Kollektorkontaktierung oberseitig - höheres  $U_{ce\_sat}$
- Parasitärer pnp-Transistor wird bei negativer Kollektor-Substrat-Spannung wirksam, er zieht benachbarte Kollektoren mit runter
- Kein Kollektor darf von außen unter Substratpotential gezogen werden
- Ebenso kann das Substratgebiet durch einen ungewöhnlich hohen Substratstrom lokal positiver als die Umgebung werden, damit steigen auch sämtliche, danebenliegenden Transistoren aus
- Substratströme und lokale Substratspannung sind nachzurechnen
- Auf Masse liegende n- Inseln in der Nähe stromziehender Substratanschlüsse sind zu vermeiden bzw. nachzurechnen
- Technische Parameter: siehe Folien

--> FOLIEN

# ISA-Folien

## ISA - Grundtechnologie: SBC

### Analog ISA:

1A40 (20V) 39 npn klein  
18 pnp lateral  
2 npn groß  
(15 npn Schottky)  
150 Widerstände  
16 Bondinseln  
(1,8 x 2,0) mm<sup>2</sup>

⋮

1A20 (20V)

1A30 (30V)

1A40 (30V)

1A50 (30V)

⋮

1A60 (20V)

32 npn - klein  
4 npn - groß  
36 pnp - lateral  
14 pnp - Substrat  
270 Widerstände  
24 Bondinseln  
(2,8 x 2,0) mm<sup>2</sup>

von 200... 5kΩ (Basis)  
• 30kΩ... 100kΩ (Pinab)

### Digital-ISA:

1D10 (3V)

380 J86 - Gatter  
36 npn - klein Schottky  
4 pnp - lateral  
108 Widerstände  
20 Bondinseln  
(2,8 x 2,0) mm<sup>2</sup>

1D20 (3V)

1D30 (3V)

864 J86 - Gatter  
4 npn - groß  
62 npn - Schottky  
29 pnp - lateral  
270 Widerstände  
42 Bondinseln (4,4 x 4,0) mm<sup>2</sup>



# npn-klein

**npn-klein:**

**Daten: (typ)**

$h_{21E} = 150$	$U_{CEB} = 100V$
$I_{Cmax} = 20mA$	$\hookrightarrow r_{CE} = 1M\Omega$
$R_{CU} = 10\Omega$	$b\beta: I_C = 100\mu$
$R_{CE} = 160\Omega$	$U_{CE0} = 23V$
$C_{CS0} = 2,3pF$	(20V-Prozess)
$C_{CB0} = 0,8pF$	1A60
$C_{CS0} = 0,8pF$	
$f_T = 350MHz$	

**npn-groß:** 100-fach (Ampere-Emitter)

$h_{21E} = 150$  ( $I_C = 5mA$  Optimum)

$I_{Cmax} = 100mA$

$R_{CC} = 15\Omega$

$R_{bb} = 20\Omega$

$U_{CESat} = 0,4V$

$f_T = 400MHz$

$C_{CS0} = 8pF$

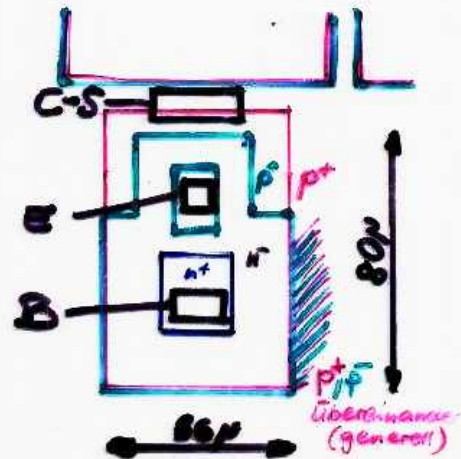
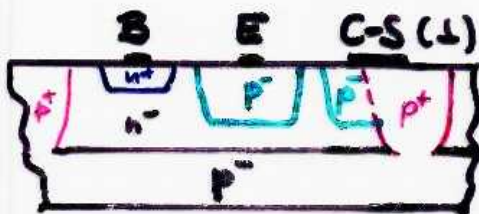
*(nach Entw.regeln minimaler Transistor wäre  $58 \times 85 \mu m^2$ )*

$h_{21E} = f(I_C)$



# pnp-Substrat

pnp-Substrat:



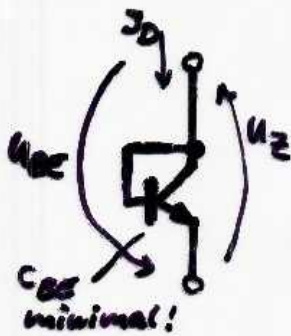
Daten:

$B \approx 40$  (1mA, 5V)  $WC: 5...60$

$f_T \approx 15 \text{ MHz}$

$I_{Cmax} = 1 \text{ mA}$

Dioden, z-Dioden:



$$r_{AK} \approx \frac{r_{BE}}{h_{21E} + 1} = \frac{M \cdot U_T}{J_D (b_{21E} + 1)}$$

$$U_{AK} = 0,6...0,7 \text{ V}$$

$$TK = -1,9 \frac{\text{mV}}{\text{K}}$$

$\uparrow$   $r_{np} = 150$  !  
 $\downarrow$   $r_{pp} = 20$  !

$$C_{AV} \approx C_{CS} = 2,7 \text{ pF}$$

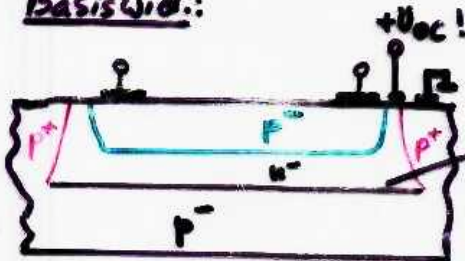
$$U_Z(\text{npn}) = 6,7 \text{ V} \pm 0,5 \text{ V}; TK \approx +12 \frac{\text{mV}}{\text{K}}$$

$$U_Z(\text{ppn}) = 40 \text{ V}$$

# Widerstände

## Widerstände:

### Basiswid.:



eine Vorne (+Vbc) für alle Basiswid!

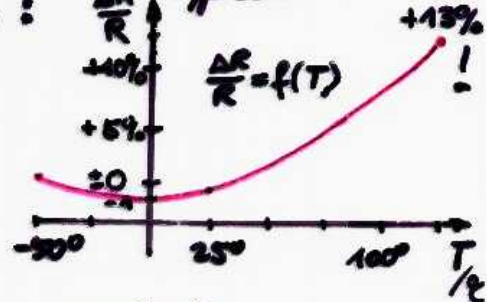
aber:  $\frac{\Delta R}{R} / \Delta T = 0,015\%/K!$

TK:  $\pm 0,15\%/K$

$R: 50\Omega \dots 5k\Omega \pm 30\%$

auf der Schiene:  $\frac{\Delta R}{R} = 3 \dots 5\%$

typisch:



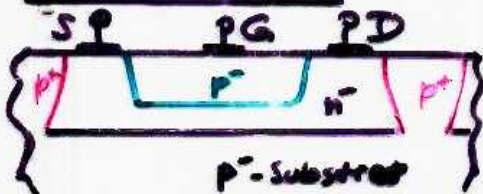
### Pfichwid.:



$R = 30 \dots 30k\Omega -50 \dots +70\%$  ; TK:  $+0,3\%/K$

$U_{max} \approx 6V$  ;  $C_{par}/\mu m^2 = C_{GS}/\mu m^2$

### Spi-Pfichwid (SFET):



$U_{max} \leq 20 (36)V$  ;

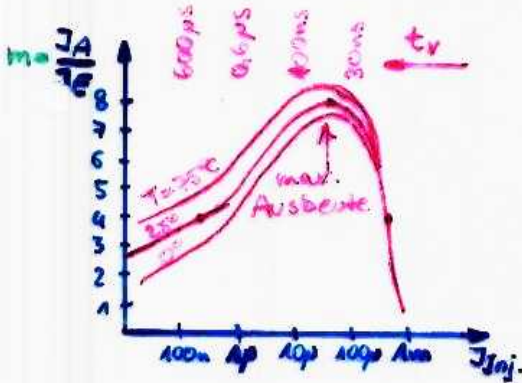
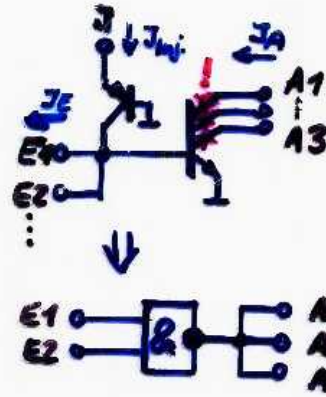
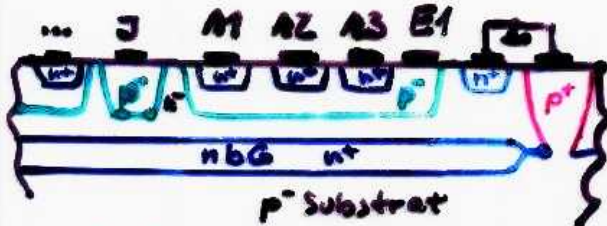
$R = 60 \dots 100k\Omega -50 \dots +80\%$  ;

$R = f(U)$  nicht verlässlich

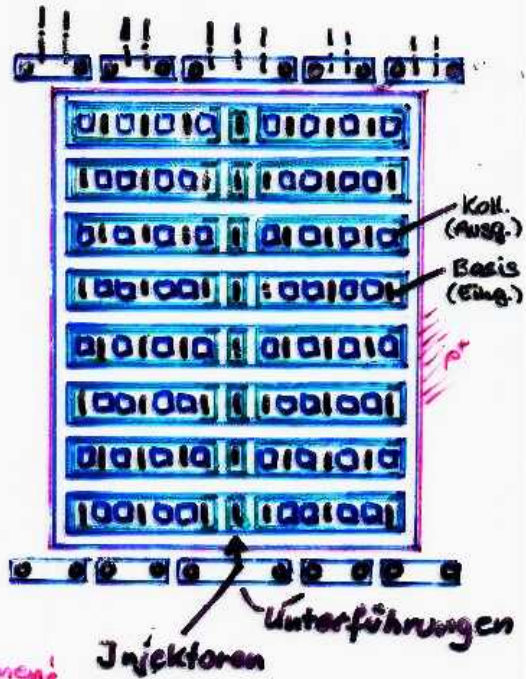
$C_{par}/\mu m^2 \neq C_{GS}/\mu m^2$

# I<sup>2</sup>L-Gatter

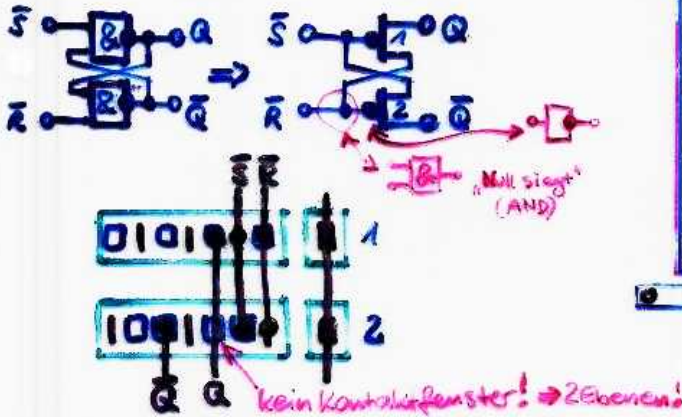
## J<sup>2</sup>L-Gatter



## J<sup>2</sup>L-Zelle mit 16 Gattern:



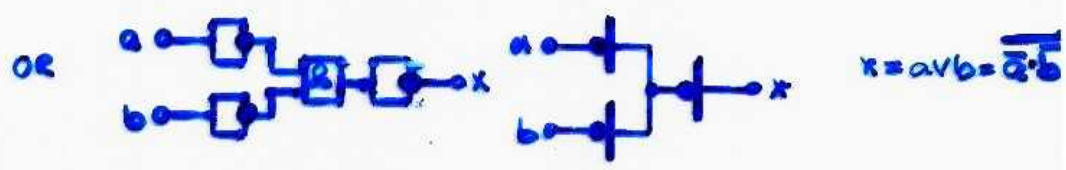
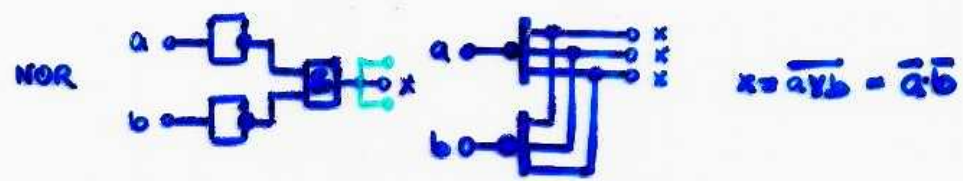
## z.B. RS-Flipflop:



# I<sup>2</sup>L-Logik

## I<sup>2</sup>L-Logikgatter:

Grundelemente: 1) Negator (I<sup>2</sup>L-Schalttransistor)  
2) [AND] (Lithbahn)



# I<sup>2</sup>L elektrische Eigenschaften

Elektrische Eigenschaften I<sup>2</sup>L 4-Kollektoren pro Gatter:

Parameter:		Stromaufnahme des I <sup>2</sup> L-Gatters			
Injektorstrom: $I_{inj}$		<u>100 nA</u>	1 $\mu$ A	10 $\mu$ A	100 $\mu$ A
Ausgangsstrom $I_o$		300 nA	8 $\mu$ A	20 $\mu$ A	600 $\mu$ A
Sättigungsspg. $U_{OL}$		3 mV	3 mV	4 mV	40 mV
Schaltsschwelle $U_E$		0,48 V	0,58 V	0,60 V	0,66 V
Art <sub>0</sub> -Prod.		0,6 pJ	0,6 pJ	1 pJ	3 pJ
mittlere Verz.zeit $t_{pd}$		6 ns	0,6 ns	100 ns	<u>30 ns</u> ← $t_{vj}$
Zählfrequenz D-Flipflop (max)	f	6 MHz	60 MHz	400 MHz	3 MHz
Eingangs-Kurzschlussstrom $I_{EL}$		150 nA	15 $\mu$ A	15 $\mu$ A	130 $\mu$ A
Durchbruch-Spg. am I <sup>2</sup> L-Ausgang $U_{SDO}$		3 V	3 V	3 V	3 V
Durchbruchspg isolierter Strukturen $U_{CSO}$		>8 V	>8 V	>8 V	>8 V