

Bericht INT - TB 4 - 9/81

"Verfahrensweise und Probleme in der Arbeit mit dem ISA-System"


Bearbeiter: I. Krahl TB 4
D. Buchwald TB 14

Umfang: 23 Seiten 3 Seiten Anhang

Inhalt:

1. Entwicklungsablauf und Gesamteinschätzung
2. Spezielle Probleme des IA60-Layout
3. Einschätzung der Messtechnikentwicklung für die Schaltkreise KA 601 und KA 602
4. Modellierung der ISA-Beuelemente
5. Anhang

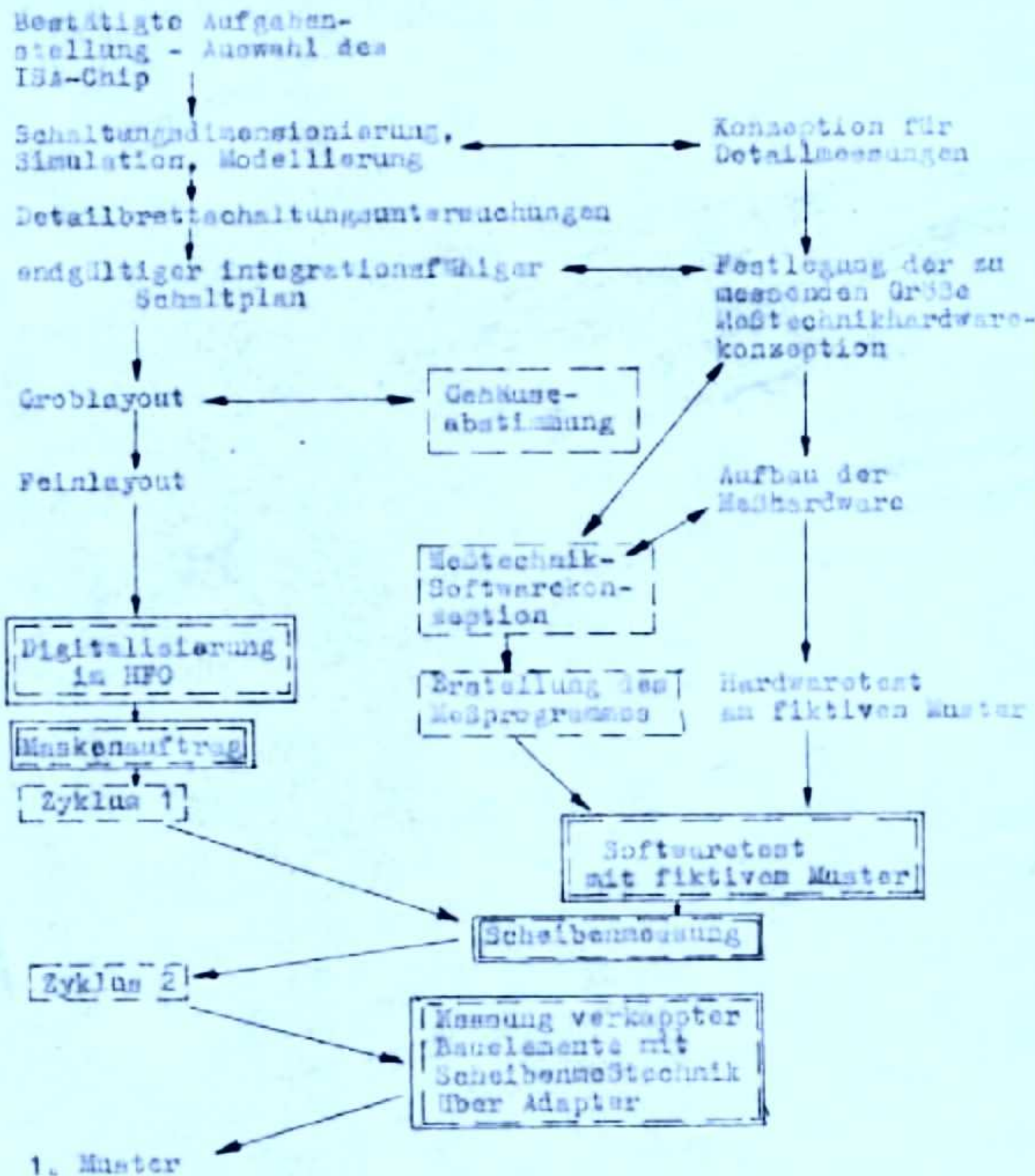
verantwortlicher Leiter:


Dr.-Ing. Bogk
Hauptabteilungsleiter TB

Bericht zu der Verfahrensweise und Problemen in der Arbeit mit dem
ISA-System

1. Entwicklungsablauf und Gesamtübersicht

Einen Überblick über die Aktivitäten im Entwurfsablauf im ISA-System zeigt Bild 1.



— INT
--- HFO

Bild 1: Ablauf der Entwicklung

1850 2760 17 0 0580
1579 1579
1527
1875
11/19/4
19082 JV Freiberg Außenstelle Dresden Ag 307/75

Es sind die Aufgaben des Schaltkreisentwurfs und -produktion und der notwendigen Messtechnik und ihr Zusammenspiel aufgeführt. Dabei handelt es sich um die momentan beschriebene Verfahrensweise bei der Herstellung erster P/E-Funktionsmuster der Schaltkreise KA 601 und KA 602.

Im wesentlichen ist der Ablauf im Bild 1 mit dem vorgeschlagenen Ablauf im ISA-Dokument (Abschnitt 2.0.2., Seiten 202.2 und 202.3) identisch, wobei die Zusammenarbeit, seitliche Staffelung und inhaltliche und organisatorische Abstimmung detaillierter dargestellt ist.

Bei der Schaltungsdimensionierung und Rechnerimulation sind die aus dem Katalog entnommenen Bauelementeparameter in entsprechende Modelle (siehe Abschnitt 5.) übernommen worden. Wichtig sind dabei die Einflüsse parasitärer Kapazitäten z. B. bei den Widerständen, die die dynamischen Eigenschaften maßgeblich bestimmen können.

Der Aufbau von Brettschaltungen mit ITSA-Arrays war noch nicht möglich. Versuchsaufbauten wurden mit B 340-Arrays und gewondert ausgemessenen pop-Transistoren vorgenommen. Die mit den praktischen Aufbauten gewonnenen Erkenntnisse dienen als gute Ergänzung zu den Rechneranalysen und Berechnungen, allerdings nur, wenn Transformationsregeln im dynamischen Verhalten zu der späteren integrierten Lösung gefunden werden. Die rechnergestützte Netzwerkanalyse bleibt damit die dominante Analysemethode der zu integrierenden Schaltung. Versuchsaufbauten, Dimensionierungsrechnungen und Netzwerkanalyse sollten als Einheit angesehen werden.

Während der Untersuchungen zu den einzelnen Baugruppen entstehen bereits Vorstellungen über die Maßmethode für Parameter dieser Baugruppen. Maßideen ermöglichen in dieser Phase des Entwurfs prüftechnisch günstige Schaltungsauslegungen. Mit dem endgültigen integrationsfähigen Schaltplan werden die Maßgrößen mit ihren Toleranzbereichen festgelegt.

In Abstimmung mit dem Bearbeiter für das Maßprogramm (Festerspezialist) entsteht die Messtechnikhardwarakonzeption für die Schelbenmessung.

Parallel zur Maskenvorbereitung und Zyklus 1 kann die Erstellung und Testung der Scheibenmeßtechnikhard- und -software erfolgen.

Für erste verkappte Muster für applikative Untersuchungen beim Anwender (kleiner 100 Stück) wurde die Proboard über Adapter wiederverwendet. Diese Verfahrensweise ermöglicht eine Vormessung weniger Bauelemente mit gleicher Meßtechnikhard- und -software. Für eine K2-Musterbereitstellung ist dieser Weg natürlich nicht mehr beschreibbar. Die Probleme der Endmeßtechnik werden also in der weiteren Entwicklung der Schaltkreise bearbeitet werden. Der zeitliche Ablauf und die zu erbringenden Leistungen sind im ISA-Katalog in den Abschnitten 2.0. und 2.2. dargestellt und decken sich mit unseren Vorstellungen.

Das Groblayout wurde auf einem Plotterbild des Masterlayout im Maßstab 200 : 1 skizziert (Leitungen als Liniensug). Das Feinlayout wurde mit Bleistift auf verserrungsfreier Folie mit dem aufgeplotterten Masteruntergrund gezeichnet. Dabei stellte sich heraus, daß nur mit einer Zeichnung 1000 : 1 eine problemlose Digitalisierung möglich ist.

Die Probleme der Partitionierung der Schaltung und Positionierung der Schaltungsteile stellen die dominante Aufgabe bei der Layoutgestaltung. Sie bestimmen wesentlich, wie komplex der Master genutzt werden kann. Tabelle 1 stellt eine Übersicht des Auslastungsgrades des Masters bei den Schaltkreisen KA 601 und KA 602 dar. Die Statistik weist auf, daß eine ungünstigere Partitionierung - Positionierung beim KA 602 erreicht wurde (die Zahl der über aktiven Bauelementen realisierten Kreuzungen ist groß).

	KA 601						KA 602						
	ange-schl.		not-wend.		Unter-fübrg.		ange-schl.		not-wend.		Unter-fübrg.		
		%		%		%		%		%		%	
große npn-Transistoren	4	2	50	1	25	1	25	4	100	2	50	2	50
kleine npn-Transistoren	92	91	98,9	83	90,2	8	8,7	88	95,7	75	81,6	13	14,1
pnp-Lateraltransistoren	36	28	77,8	15	41,7	13	36,1	29	80,6	20	55,6	9	25,0
pnp-Substrattransistoren	14	2	14,3	2	14,3	-	-	3	21,4	-	-	3	21,4
Widerstände	299	90	30,1	85	28,4	5	1,7	101	33,8	83	27,8	18	6,0
Pinchwiderstände	10	2	20	2	20	-	-	4	40	4	40	-	-
Σ npn	96	93	96,9	84	87,5	9	9,4	92	95,8	77	80,2	15	15,6
Σ pnp	50	30	60	17	34	13	26	32	64	20	40	12	24
Σ Widerstände	309	92	29,8	87	28,2	5	1,6	105	34	87	28,1	18	5,9

Tabelle 1: Auslastungsgrad der Master

Die Digitalisierung erfolgte in HFO. Auf Grund des für den KA 601 und KA 602 verwendeten Maßstabs von 250 : 1 bzw. 500 : 1 war die Digitalisierungsgenauigkeit sehr unbefriedigend. Koordinatenänderungen nach den Abstandprüfungen nahmen einen höheren Zeitanteil in Anspruch als die eigentliche Digitalisierungszeit.

Vom Standpunkt des ISA-Nutzers ist es unbedingt notwendig, daß der Layoutentwerfer selber digitalisiert. Dadurch sind eine Kontrolle und Detailänderungen des Layouts möglich, die zu einem sicheren Entwurf und einer Verkürzung der Entwicklungszeit beitragen. So wurden z. B. während der Layoutprüfung am KA 601 an 5 Stellen zu geringe Leitbahnabstände festgestellt, die eine Layoutänderung mit nachfolgender Schaltungsanalyse erforderlich machten. Deshalb ist es wünschenswert, auch in der rechnergestützten Prüfphase die Anwesenheit des Bearbeiters zu ermöglichen. Nur so kann in kürzester Zeit der Patternstreifen erstellt werden.

10/15/71 1876 1877 1878 1879 1880 2003/1/19/75/6/1

6012 VW Fztlabg. Aufbaueinheit Dresden Ag 82/7/71

Das ISA-System ist für die Entwicklung von Kundenwunschschaltungen geschaffen, die im allgemeinen eine spezielle Anpassung an nichtdigitale Systeme notwendig macht. Zur Lösung von Hochvolt-Niedervoltproblemen, Analog-Digitalverarbeitung wird eine Mehrchiplösung im ISA-System sehr häufig auftreten. Für die breite Anwendung des ISA-Systems ist es empfehlenswert, die 2-Chipmontage in einem Gehäuse vorzusehen.

Die Zusammenarbeit mit den Kollegen im HFO, die gegenseitige Abstimzung, die persönlichen Kontakte während der gemeinsamen Arbeit und die Einsatzbereitschaft aller beteiligten Kollegen war sehr gut.

Die Koordinierung der Aufgaben mit dem verantwortlichen Kollegen Heugebauer (HEGA), der sich um die Gesamtprobleme kümmerte, und die Festlegung von Kontaktpersonen in den Fachabteilungen hat sich als äußerst günstig erwiesen:

Gesamtverantwortung ISA-System:	Heugebauer	
	Fulde	HECA
Rechentchnik:	Lotz	HECR
	Page	
Meßtechnik:	Fritsch	HEPS
	Hunger	
Fehleranalyse:	Dr. Böber	

Für die Chipmontage wurde ein verantwortlicher Mitarbeiter nicht festgelegt, dort traten auch Probleme auf, da die 24poligen Gehäuse im HFO noch nicht einsetzbar waren. Unter großen organisatorischen Anstrengungen wurde in Kooperation mit dem FWE die Verkappung der Bauelemente vereinbarungsgemäß erfüllt. Die Kontaktpersonen für die Fachbereiche sollten deshalb mit Beginn der Entwicklung festgelegt werden.

Die Ergebnisse der Muster KA 601 und KA 602 bestätigen hinsichtlich Ausnutzung und Packungsdichte die Leistungsfähigkeit und die breite Anwendungsmöglichkeit der ISA-Technik. Die Fristen der Schaltkreisherstellung entsprechend den Angaben im ISA-Dokument (Abschnitt 2.0.4.) konnten in etwa eingehalten werden. Die Digitalisierung bis zum Maskenauftrag dauerte jedoch mit Sicherheit 1 ... 2 Wochen länger als ange-

III/15/4 1876 1877 1913 1879 1980 200,0 1/75 25457

geben.

Mit den ISA-Mastern wird dem Gerüstentwickler in der Anwenderindustrie die Möglichkeit gegeben, Kundenwunschschnittkreise kleiner Stückzahl in Zusammenarbeit mit dem HVO Skoponisch zu entwickeln, produzieren und einzusetzen. Sie tragen zur erheblichen Verkürzung der Entwicklungszeit bei. Die Arbeiten an den ersten Mastern KA 601 und KA 602 zeigten die Vorteile der ISA-Technik deutlich.

2. Spezielle Probleme des IA60-Layout

- a) Die Anordnung der Widerstände auf dem Chip erfordert $8, \mu\text{m}$ Leitbahnstellen.

In Bild 2 an den Stellen ① und ② sind spezielle Leitbahnkonfigurationen gezeichnet, die eine Leitbahnbreite kleiner $10, \mu\text{m}$ erforderlich macht. In der ISA-Dokumentation sollten diese Fälle genannt werden und in den Entwurfskriterien vermerkt werden. Die $8, \mu\text{m}$ - bzw. $9, \mu\text{m}$ -Stellen der Leitbahn wurden sobald wie möglich durch 45° -Schrägen verbreitert, um unstatliche Ätzkanten an den kritischsten Leitbahnelementen zu vermeiden.

Die Lage der Widerstandskontakte der 900 Ohm - bzw. $1,8 \text{ kOhm}$ -Widerstände ist unsymmetrisch zu denen der $3,6 \text{ kOhm}$ -Widerstände und sollte zugunsten einer gleichmäßigen Leiterbreite verändert werden.

Für die erste Präparation des KA 601 und KA 602 wurden Master verwendet, deren Widerstandswerte von den Nominalwerten abweichen. Die Überarbeitung der Werte wurde bereits vorgenommen.

b) Realisierung von Kreuzungen

Zur Realisierung von Kreuzungen mußten Transistoren und Widerstände genutzt werden. Die dynamischen Untersuchungen am Digitalteil KA 602 in der Repeaterschaltung in Greifswald ergaben, daß durch die relativ hochfrequenten Signalewege Hazard's im Impulsverhalten entstehen.

Wir schlagen deshalb folgende Änderungen bzw. Ergänzungen vor:

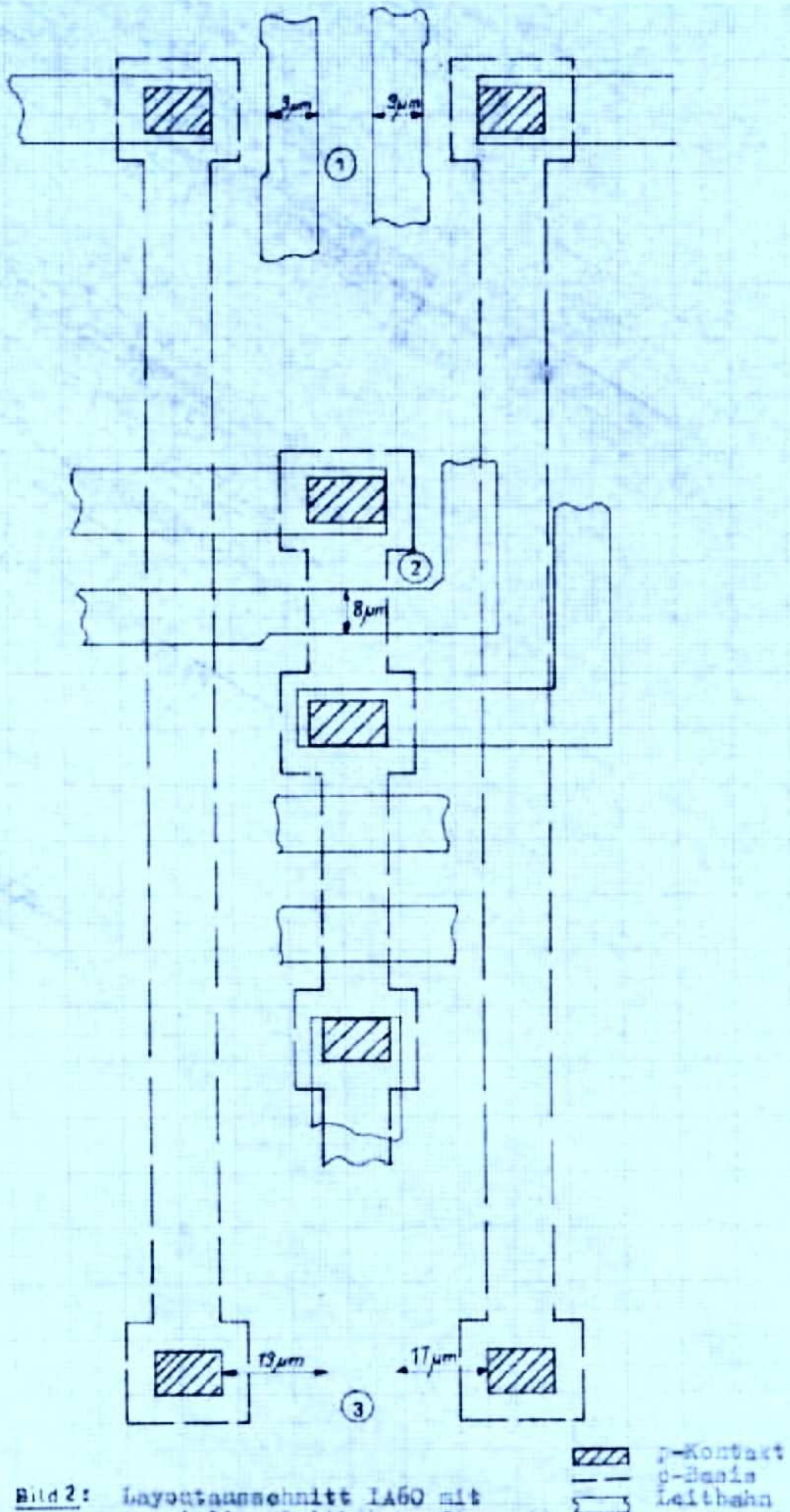


Bild 2: Layoutausschnitt LA60 mit spezieller Leitbahnkonfiguration

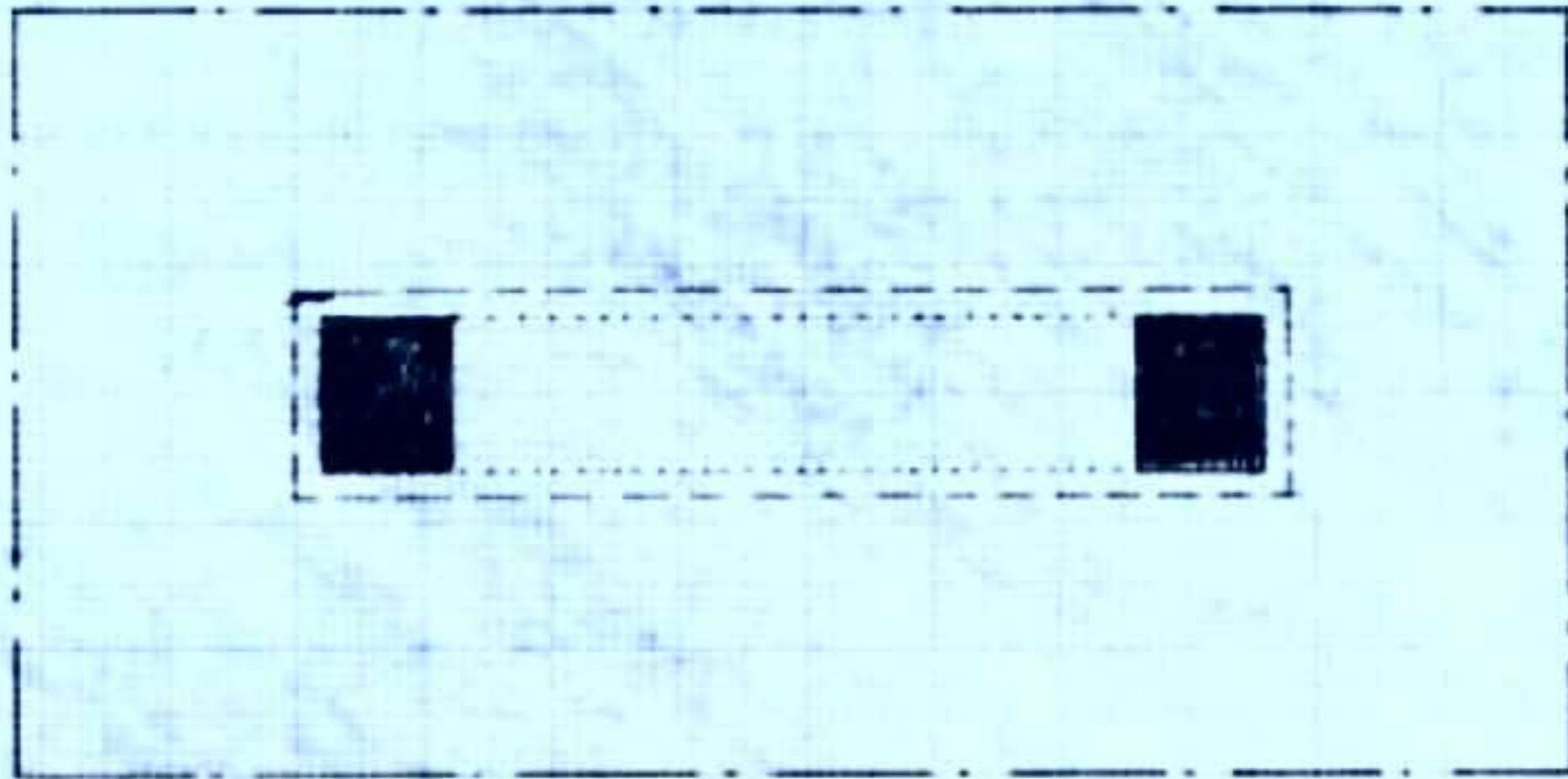


Bild 3: Unterführung mit Epi-Gebiet

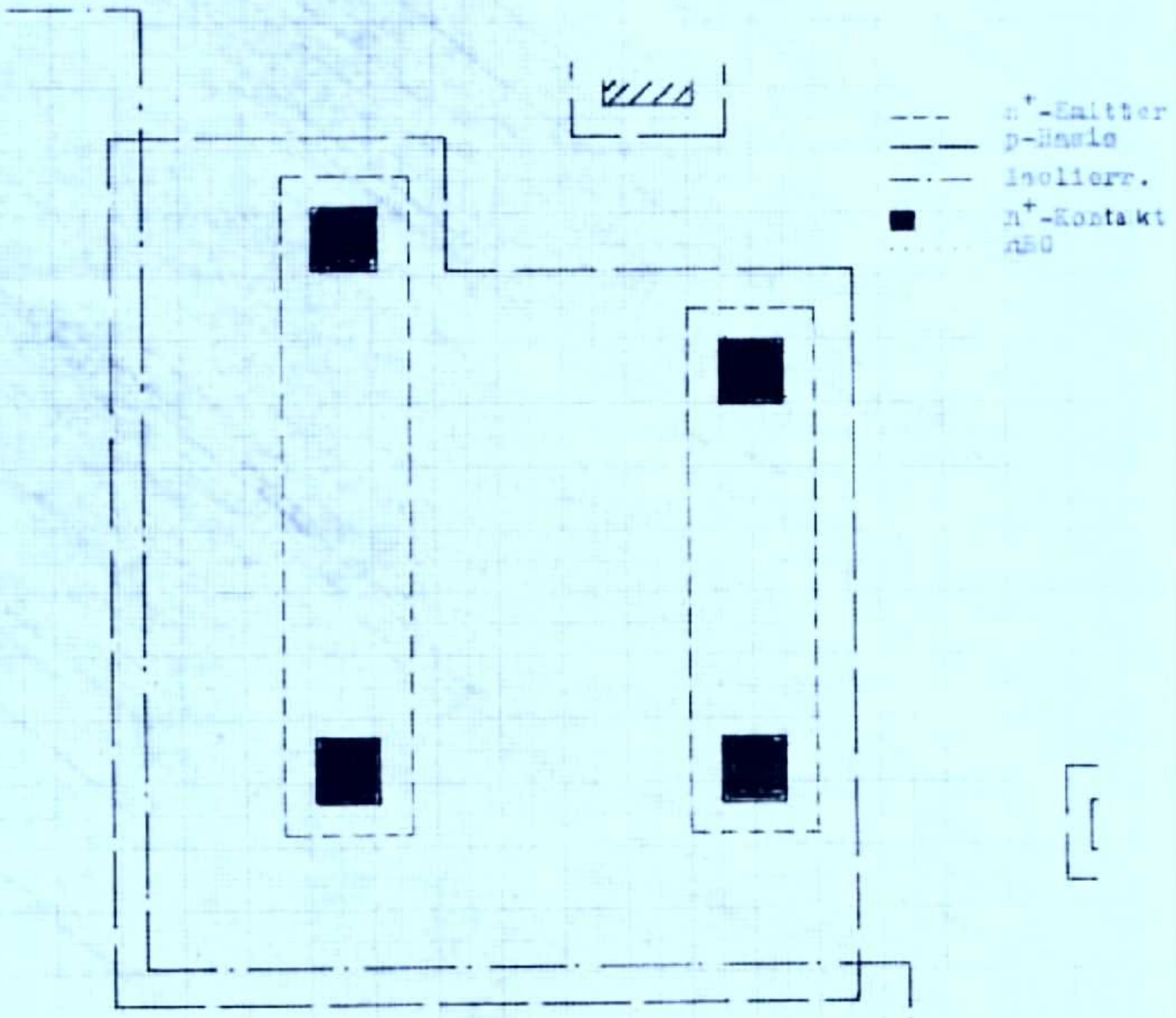


Bild 4: Unterführungen mit Emittergebiet

- Ersetze einiger 30 kOhm-Widerstände durch niederohmige Epitaxiewiderstände als spannungsfeste Unterführungen.

Bild 3 zeigt die vorgeschlagene mögliche Layoutgeometrie der Unterführung. Aus den bisherigen Erfahrungen bietet es sich an, diese Wannen an jeder Seite des Chips anzubringen.

Eine weitere Möglichkeit besteht darin, Anzahl der Widerstände und Größe des gemeinsamen n-Epigebietes zugunsten der Unterführungen einzuschränken. Die Positionierung der Wannen kann an den Punkten (2400, 1600), (1300, 2500) (Ersetz des Pinchwid.), (1400, 3400) und (3200, 2400) erfolgen.

- Zusätzliche niederohmige Unterführungen mit der Halterdiffusion.

Für Signalleitungen, Masseunterführungen usw. sind oftmals zur Verbindung mehrerer Funktionsblöcke niederohmige Kreuzungen nötig. Diese stellen i. a. keine Forderungen an hohe Spannungsfestigkeit ($< 6 V$).

Wir empfehlen deshalb zusätzlich Unterführungen nach Bild 4 an den Positionen (2200, 2600), (2290, 1800) anstelle der 2 x 450 Ω -Widerstände aufzunehmen.

Diese Ergänzungen sollten auch für die anderen IA-Chip erwogen werden.

- c) Maßstab der Plotterzeichnung des IA60-Master auf verzerrungsarmer Folie

Wie unter 1. schon angedeutet, macht das Zeichnen und richtiges Digitalisieren der Vorlagen im Maßstab 500 : 1 oder 250 : 1 durch die schlechte Genauigkeit zu große Mühe. Wie im Bild 2 demonstriert, erfordert die IA60-Leitbahnvariante für sehr dichte Belegungen Zeichnungsgenauigkeiten von $1, \mu m$.

Als Vorgehensweise wird empfohlen, Masterbilder im Maßstab 200 : 1 zum Entwurf des Groblayouts (Leitungen als Linien) bereitzustellen und bei komplizierten Entwürfen im Maßstab 1000 : 1 die Zeichnungsvorlage für die Digitalisierung zu erstellen.

3. Einschätzung der Meßtechnikentwicklung für die Schaltkreise KA 601 und KA 602.

Die termingerechte Meßtechnikentwicklung ist Voraussetzung für eine Schaltkreisentwicklung. Mit der Meßtechnik muß bereits begonnen werden, wenn vom Schaltkreisentwerfer entschieden wird, welche Grundsaltungen in Schaltkreise eingesetzt werden sollen und welche Parameter zu messen sind. Bereits zu diesem Zeitpunkt ist auch die Zusammenarbeit mit dem Meßtechnikbearbeiter beim Hersteller erforderlich, weil u. a. die Leistungsfähigkeit des einzusetzenden Testsystems 2000 die Meßkonzeption entscheidend mitbestimmt. Ausgehend von diesen Erkenntnissen hat sich im Verlaufe der Entwicklung der Schaltkreise KA 601 und KA 602 eine Grundstruktur der Aufgabenteilung zwischen Hersteller und Anwender herausgebildet, nach der weiterhin verfahren werden kann. Nach derzeitigen Stand hat sich folgende Aufgabenteilung als günstig erwiesen:

- a) Der Softwarebearbeiter beim Hersteller übernimmt die Programmerstellung und die Beratung des Meßtechnikbearbeiters beim Anwender.
- b) Der Anwender entwirft und erprobt die schaltkreisspezifischen Meßschaltungen und übernimmt auch den praktischen Aufbau auf einer vom Testsystem vorgegebenen Normalleiterplatte (Probeboard). Für den praktischen Aufbau war vorteilhaft, daß vom Hersteller einige spezielle Bauteile bereitgestellt wurden.
- c) Dem Hersteller ist ein Blockschaltbild zu übergeben, auf dem die Schaltkreiseinnenschaltung und die sie angebenen Meßschaltungen im Zusammenhang dargestellt sind, außerdem ist eine Aufstellung der auszuführenden Tests mit den zur Programmierung notwendigen Einzelheiten zu erarbeiten und mit dem Hersteller abzustimmen. Bewährt hat sich die in Tabelle 2 dargestellte Form.

Die Testtabelle sollte u. a. enthalten:
Meßpunktbezeichnung, Meßgröße, Meßbereich, Meßgrenzen, Probeboardanschlußbelegung, Schaltfeldbelegung, Datenbitbelegung.

Nicht alle Meßwerte sind durch nur einen Test zu ermitteln, sondern müssen aus mehreren Testergebnissen berechnet werden. Entsprechende Berechnungsvorschriften sind der Festtabelle anzufügen.

Aus organisatorischer Sicht sollten wie bisher die Bearbeiter beim Hersteller bzw. Anwender für den gesamten Entwicklungszeitraum fest eingesetzt werden. Ein Bearbeiterwechsel würde sich ungünstig auswirken.

Testtabelle für KA 601

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	DB1 2+	DB2 4+	DB3 8+	+ 12V	- 15V	+ 15V
Schaltfeld- Pin bzw. Anschlußbes. Probedard- Anschl.	1	2	4+D	5	6	8+I	9	10	12+H	13	14	16+T	17	15	15	16	X	U	U	19	L	M
Meßpunkt- Bezeichn.	I	8-T8	CLK	+6,1V 5K	Basis	Emitter	Filter	AL80- Ausg	B-DV2	80-DM	T-Tr Ausg	U +D	U UR	U CT	U -D	U TR	S 2	S +	S -	T +		
Er. Test																						
1 Strom- aufn.	X			<15mA I-Mea > 8mA													X			X	X	X
2 U _{CT}	X			X										<1,1V U-Mea >1,1V					X	X	X	X
7 VV1- Offset	X			X			0 Volt			+3,3V U-Mea -3,3V									X	X	X	X
8 VV1 V _D ⁺	X			X			0 Volt			+3,3V U-Mea -3,3V									X	X	X	X

4. Modellierung der ISA-Bauelemente

Für die Modellierung der ISA-Transistoren werden im Handbuch keine Modelle angegeben. Die Großsignaltransistormodelle für die statische und dynamische Analyse von Schaltungen mit dem Programm STADNET auf einer Rechenanlage KS 1040 wurden durch das INT selber erstellt. Mit den Großsignalmodellen wurden folgende Eigenschaften beschrieben:

- B-Anstieg bei niedrigen und Abfall bei hohen Basisströmen
- genauere Modellierung der $I_B = f(U_{BE})$ -Kennlinie
- numerische Stetigkeit und Stabilität!
- quasidynamische Eigenschaft mit Diffusionskapazitäten
- Modellierung des Ausgangswiderstandes.

Die im ISA-Handbuch aufgezählten umfangreichen Kennlinien wurden zur Parameterbestimmung der Modelle genutzt.

Für einige Daten ist eine genauere Definition des Parameters (z. B. Ausgangswiderstand = $f(I_C) \hat{=} h_{22E}$ oder h_{22e}) oder Angabe einer Meßschaltung (z. B. für die Speicherzeit) notwendig. Für viele Meßkurven wird der Arbeitspunkt (z. B. U_{CE} , $\frac{I_C}{I_B}$ usw.) nicht vollständig angegeben.

Mit den Parameterabhängigkeiten ist eine Großsignalmodellierung durchführbar. Messungen statischer Fogel an den Schaltkreisen KA 601 und KA 602 ergaben eine sehr gute Übereinstimmung zwischen realer Schaltung und Netzwerkanalyseergebnissen.

Für die Simulation analoger Schaltungen im NF- und HF-Bereich sind jedoch nur sehr wenige Angaben (nur Transitfrequenz enthalten). Die resultierenden Modelle sind damit bestenfalls in der Lage, betragsmäßig richtige Ergebnisse zu liefern.

In der Nähe der Transitfrequenz wurde die Phasenlage mit den Großsignalmodellen völlig unzureichend beschrieben.

a) Grundlagen der Modellierung

Ausgangspunkt des Modelles ist die Beschreibung im Bild 5 nach GUMBEL und POON. Betrachtet man sich die B-Stromverstärkung des Modelles genauer, so ist für eine bestimmte Konstellation von I_{T0} und I_{N0} für alle Spannungen:

$$\beta > 1 \quad \text{für } U_{BE} \gtrsim 0$$

Das reale Bauelement zeigt selbstverständlich nicht dieses Verhalten. Die Groß- und Kleinsignalstromverstärkung des Bipolartransistors wird erst bei Strömen im nA-Bereich größer Eins. Eine typische Kurve $I_B = f(U_{BE})$ einer realen Eingangsdiode ist in Bild 6 gezeigt. Dieses Ergebnis wurde auch qualitativ durch Analysen mit dem eindimensionalen, innerelektronischen Programm TRANAL (HFG - TUD) bestätigt. Bei Spannungen kleiner 0,45 V geht die Diode in den Zusammenhang

$$I = I_0 \cdot \exp \frac{U_D}{n \cdot U_T} \quad \text{mit } n \approx 1,7 \dots 2,0$$

Über. Zusätzlich können durch Kanalbildungen an der gestörten Oberfläche Widerstände zwischen 1 GOhm und 10 MOhm auftreten. Die Anwendung der verfeinerten Diodenbeschreibung erstreckt sich nicht nur auf Schaltungen mit niedrigsten Betriebsströmen. Für die Beschreibung jeglichen Triggerverhaltens werden diese Arbeitsbereiche benötigt.

In dem Modell nach Bild 5 nimmt die Basis-Kollektorspannung im Normalbetrieb keinen Einfluß auf den Kollektorstrom ($\exp \frac{U_{BC}}{U_T} \approx 0$ für $U_{BC} \ll 0$). Dies hat zur Folge, daß der dynamische Ausgangswiderstand des Modelles unendlich ist, ebenfalls eine der Realität widersprechende Modelleigenschaft.

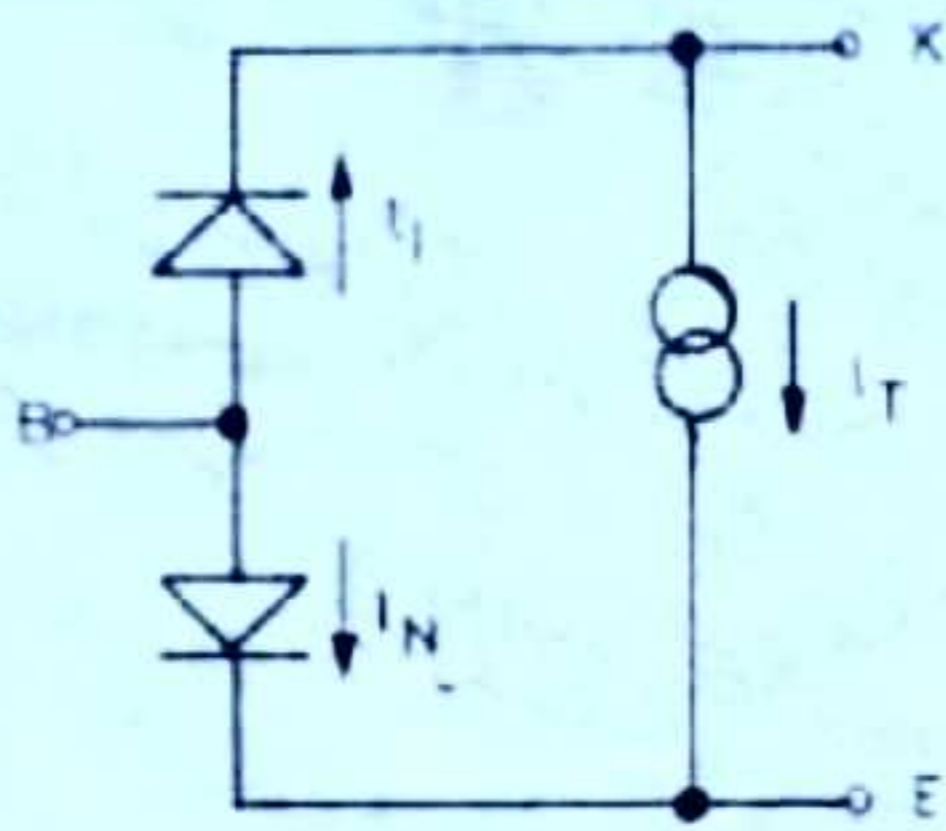
Ursache für eine Abhängigkeit des Stromes ist die Modulation der wirksamen Basisdicke durch die angelegte Sperrspannung (EARLY-Effekt). Die relative Änderung des Kollektorstromes als Funktion der Kollektor-Emitterspannung ist in erster Näherung unabhängig vom konkreten Kollektorstrom. Damit lassen sich die Kurvenscharen im Ausgangskennlinienfeld des aktiv normalen Transistors als Geraden approximieren, die sämtlich den gleichen Schnittpunkt mit der U_{BC} -Achse aufweisen. Dieser Punkt wird als EARLY-Spannung (KRCE) bezeichnet (siehe Bild 7). Die Modulation des Kollektorstromes läßt sich damit in der Transferquelle beschreiben mit

$$I_T = I_{T0} \left(\exp \frac{U_{BE}}{U_T} - \exp \frac{U_{BC}}{U_T} \right) \cdot \left(1 + \frac{U_{BC} - V_{CR0}}{K_{RCE}} \right)$$

wobei V_{CR0} eine Arbeitspunktspannung für die Bestimmung der Stromverstärkungsfunktion darstellt.

MI/15/4 1876 1577 1578 1879 1880 23010 T/O 23.877

1980: VV Fachberg Außenstelle Dresden, Aq. 107/15



$$I_N = I_{N0} \left(\exp \frac{U_{BE}}{M_N \cdot U_T} - 1 \right)$$

$$I_I = I_{I0} \left(\exp \frac{U_{BC}}{M_I \cdot U_T} - 1 \right)$$

$$I_T = I_{T0} \left(\exp \frac{U_{BE}}{U_T} - \exp \frac{U_{BC}}{U_T} \right)$$

$$M_N, M_I \approx 1.0 \quad 1.4 \quad 2.0$$

Bild 5: Modellstruktur nach Gummel-Poon

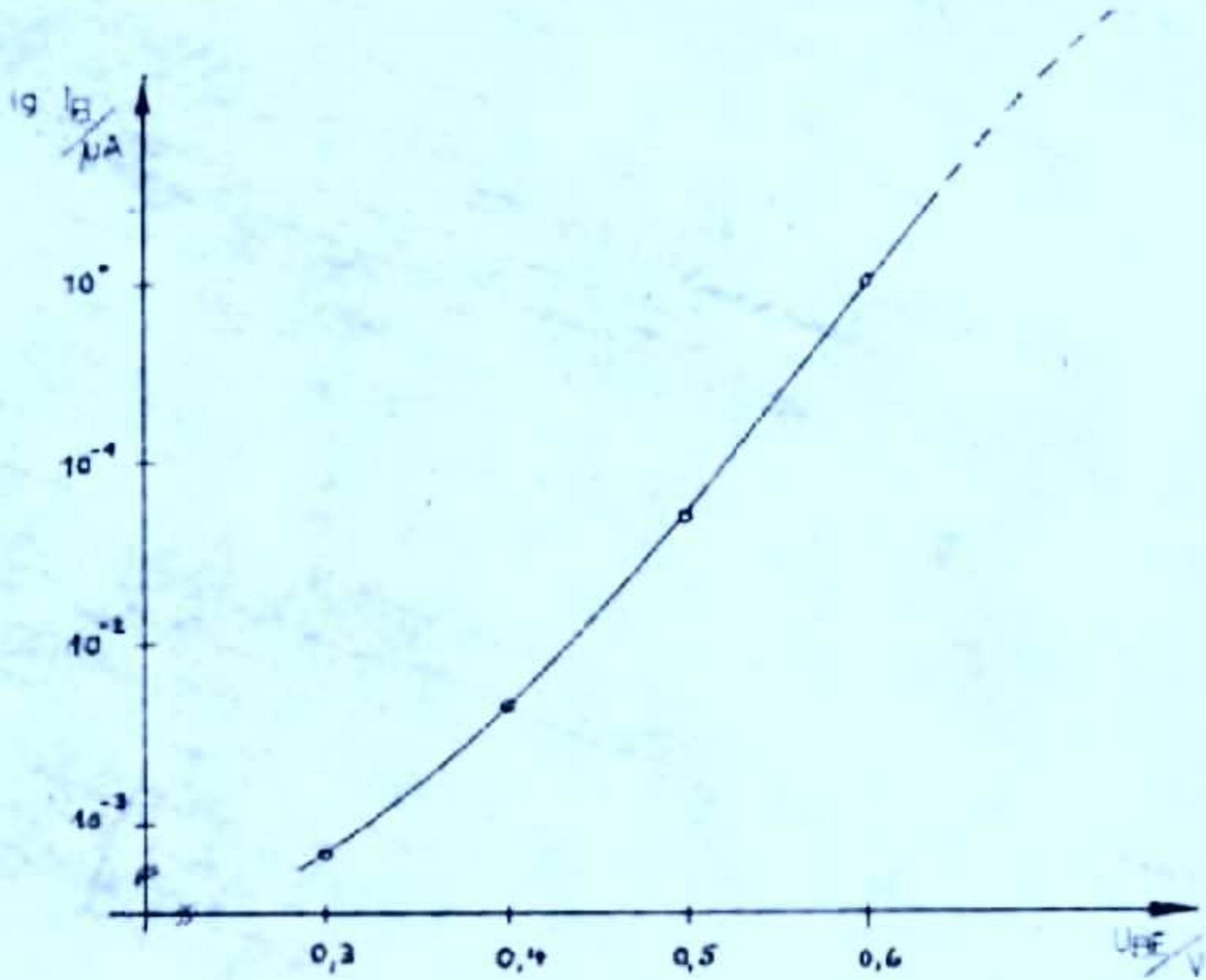


Bild 6: typische BE-Diodenkennlinie eines Bipolartransistors

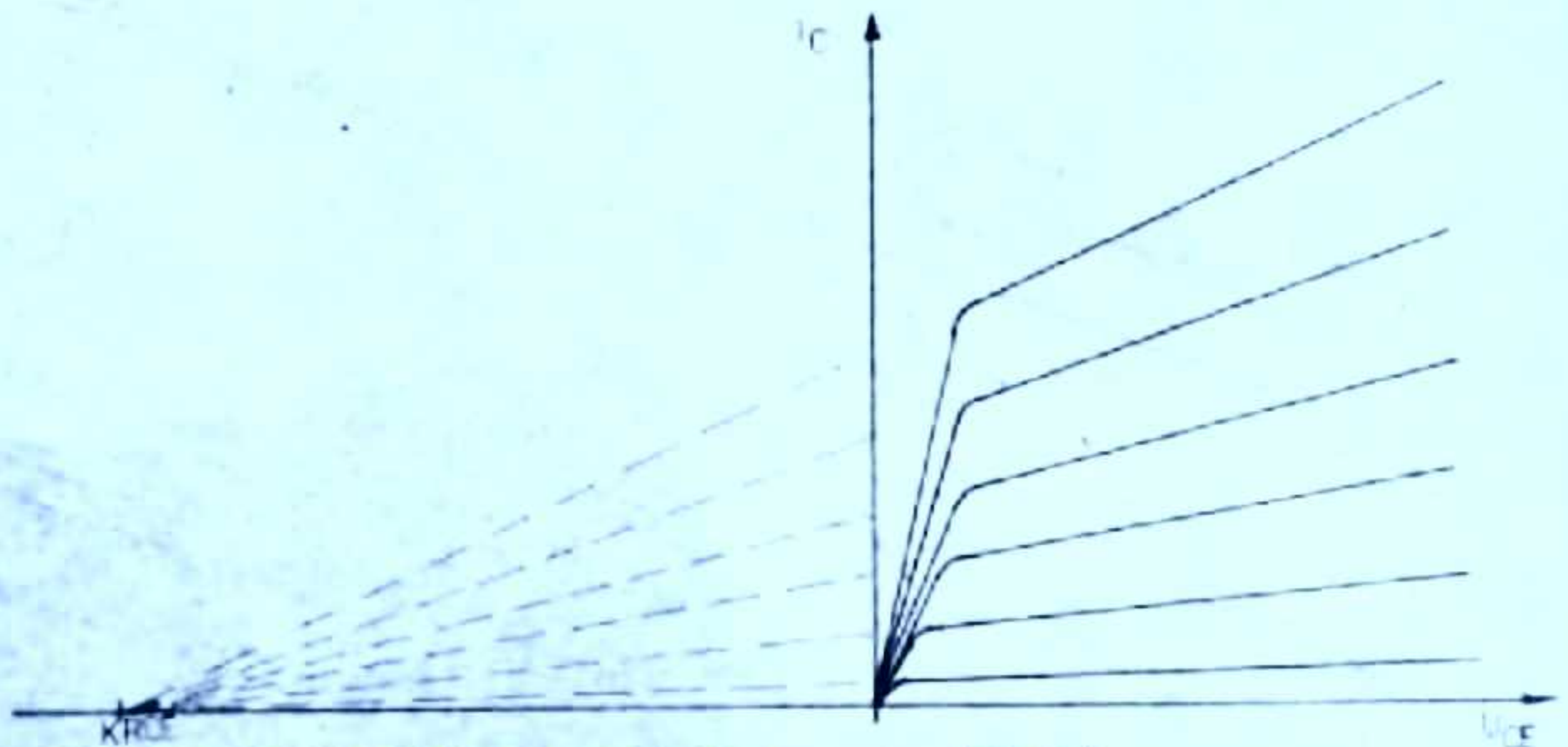


Bild 7: Definition der Earlyspannung (K_{BE})

Die Bauelementemodellierung nach Bild 5 beinhaltet keine Beschreibung von Hochstromeffekten. Durch die unterschiedlichen Exponenten der e-Funktionen wächst die B-Stromverstärkung mit steigendem Basisstrom immer stärker an (mathematisch positiv gekrümmt). Aus der Erkenntnis, daß Hochstromdegradations-effekte in der inneren Basis den Transferstrom modulieren, entstand die Idee, ab einer gewissen Basis-Emitter-Spannung V_1 die Transferstromquelle mit

$$I_T = I_{T0} \left(\exp \frac{U_{BE} - \Delta U_{BE}(K1, K2, K3)}{U_T} - \exp \frac{U_{BC}}{U_T} \right) \left(1 + \frac{U_{BC} - V_{OBO}}{KRCE} \right)$$

zu beschreiben. Zur Konstantenbestimmung für die Berechnung von ΔU_{BE} werden 2 charakteristische Punkte der Stromverstärkung als Funktion der Kollektorspannung gewählt (Bild 8).

Punkt P1 liegt im Wendepunkt der Krümmung der B-Funktion (bei $U_{BE} = V_1$). Für diesen Punkt gelten die Forderungen, daß die Funktion stetig bleibt, d. h., Funktionswert und links- und rechtsseitige Ableitung sind gleich:

$$\begin{aligned} V_1^2 \cdot K1 + V_1 \cdot K2 + K3 &= 0 \\ 2V_1 \cdot K1 + K2 &= 0 \end{aligned}$$

Der Punkt P2 sollte etwa im Maximum oder im Bereich des B-Abfalls bei hohen Strömen liegen. Aus dem B-Wert des Modells ohne ΔU_{BE} -Beschreibung und der tatsächlichen Messung läßt sich ein $\Delta U_{BE}(P2)$ ermitteln. Mit der Arbeitspunktspannung $U_{BE}(P2)$ ergibt sich die dritte Bestimmungsgleichung:

$$U_{BE}(P2)^2 \cdot K1 + U_{BE}(P2) \cdot K2 + K3 = \Delta U_{BE}(P2)$$

Der Vorteil des Modells liegt in der Beschreibung des Kleinstwertverhaltens über extrem große Strombereiche ohne Nutzung zusätzlicher Knoten.

Für dynamische Probleme werden spannungsabhängige Sperrschichtkapazitäten und Diffusionskapazitäten dem Modell zugefügt. Die Sperrkapazität kann beschrieben werden mit

$$C_S = K_D (U_V - U_D)^{EX} \quad \begin{aligned} EX &< 0 \\ U_D &< U_V \end{aligned}$$

III/15/4 1676 1877 1878 1879 1880 200,0 T / O 22,637

Sem 2 VW Freiburg Außenstelle Dresden Ag 807/75

$$r_{BE} = \frac{1}{\beta_B} \cdot \frac{1}{I_B} = \frac{1}{\beta_B} \cdot \frac{1}{I_B} = \frac{1}{\beta_B I_B}$$

$$= 18 \rightarrow X_C = \frac{1}{2\pi f_B (C_D + C_S)} = r_{BE}$$

Die Diffusionskapazität der Basisemitterdiode wird aus der Transitfrequenz des Transistors bestimmt:

$$r_D = \frac{1}{\beta_B I_B} \quad f_D = \frac{1}{2\pi r_{BE} (C_S + C_D)}$$

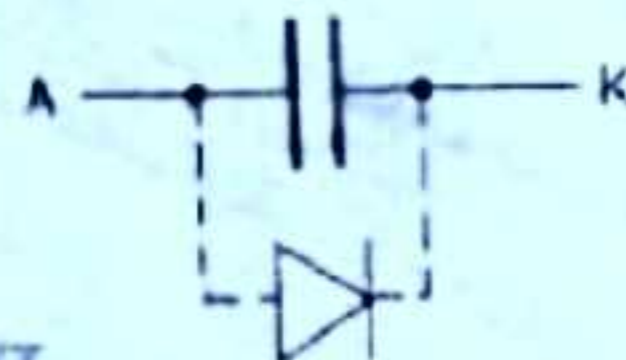
$$C_D = \left(\frac{1}{\beta_B I_B} \cdot I_C \right) - C_S = KOD \cdot I_C - C_S$$

Rechentechisch aufbereitete Prozeduren

Für die Berechnung einer arbeitspunktabhängigen Kapazität, Diode und Transferquelle, wurden folgende Modelle aufbereitet:

HLKAP:

$$U_D = U_A - U_K$$



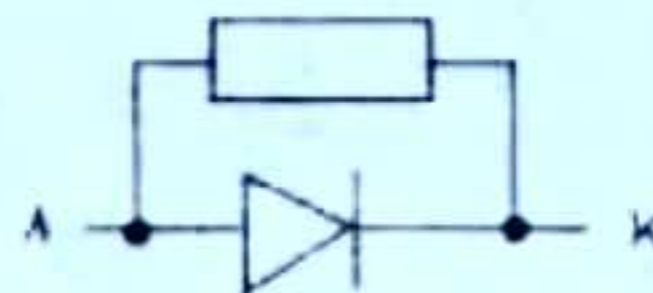
$$U_D < 0V: C = KO \cdot (1 - U_D)^{HX}$$

$$0.9V > U_D > 0V: C = KO \cdot (1 - U_D)^{HX} + KOD \cdot I_T$$

$$U_D > 0.9V: C = KO \cdot (0.1)^{HX} + KOD \cdot I_T$$

DIODE:

$$U_D = U_A - U_K$$



$$U_D < -0.5V \quad I_D = \left(\frac{U_D + 0.5V}{H \cdot U_T} + 1 \right) \cdot I_{DO} \cdot \left(\exp \frac{-0.5V}{H \cdot U_T} - 1 \right)$$

$$-0.5V < U_D < 0.95V \quad I_D = I_{DO} \left(\exp \frac{U_D}{H \cdot U_T} - 1 \right)$$

$$U_D > 0.95V \quad I_D = \left(\frac{U_D - 0.95V}{H \cdot U_T} + 1 \right) \cdot I_{DO} \cdot \left(\exp \frac{0.95V}{H \cdot U_T} - 1 \right)$$

TRANS:

$$I = I_{TO} \left(1 + \frac{U_{CE} - V_{CDH}}{K_{NOE}} \right) (I_{TH}^{\#} - I_{TI}^{\#})$$

normale Quelle $I_{TH}^{\#}$:

$$\underline{U_{BE} < -0.5 V:} \quad I_{TH}^{\#} = \left(\frac{U_{BE} + 0.5 V}{U_T} + 1 \right) \cdot \exp \frac{-0.5 V}{U_T}$$

$$\underline{-0.5 V < U_{BE} < V1:} \quad I_{TH}^{\#} = \exp \frac{U_{BE}}{U_T}$$

$$\underline{V1 < U_{BE} < V2:} \quad I_{TH}^{\#} = \exp \frac{-K1 \cdot U_{BE}^2 - (K2 - 1) U_{BE} - K3}{U_T}$$

$$\underline{V2 < U_{BE} < \infty:} \quad I_{TH}^{\#} = \left(\frac{(-2 K1 \cdot V2 - (K2 - 1)) \cdot (U_{BE} - V2)}{U_T} + 1 \right) \cdot \left(\exp \frac{-K1 \cdot V2^2 - (K2 - 1) V2 - K3}{U_T} \right)$$

inverse Quelle $I_{TI}^{\#}$:

$$\underline{U_{BC} < -0.5 V:} \quad I_{TI}^{\#} = \left(\frac{U_{BC} + 0.5 V}{U_T} + 1 \right) \exp \frac{-0.5 V}{U_T}$$

$$\underline{-0.5 V < U_{BC} < V1:} \quad I_{TI}^{\#} = \exp \frac{U_{BC}}{U_T}$$

$$\underline{V1 < U_{BC} < V2:} \quad I_{TI}^{\#} = \exp \frac{-K1 \cdot U_{BC}^2 - (K2 - 1) U_{BC} - K3}{U_T}$$

$$\underline{V2 < U_{BC} < \infty:} \quad I_{TI}^{\#} = \left(\frac{(-2K1 \cdot V2 - (K2 - 1)) \cdot (U_{BC} - V2)}{U_T} + 1 \right) \cdot \left(\exp \frac{-K1 \cdot V2^2 - (K2 - 1) V2 - K3}{U_T} \right)$$

Bedingungen für V2:

$$1. \quad I_{T0} \exp \frac{-K_1 \cdot V_2^2 - (K_2 - 1) V_2 - K_3}{U_T} \geq I_{cmax}$$

$$2. \quad \frac{-2K_1 \cdot V_2 - (K_2 - 1)}{U_T} \cdot \exp \frac{-K_1 \cdot V_2^2 - (K_2 - 1) \cdot V_2 - K_3}{U_T} > 0$$

Die Kennlinienaufteilung und Begrenzung macht sich erforderlich, um während des rechen-technischen Iterationsalgorithmus nicht in unerlaubte, nicht konvergente Modellbereiche zu gelangen. Berechnet wurden die Schaltungen mit dem Netzwerkanalyseprogramm STADYNBT (LPTM) auf der Rechenanlage ES 1040. Die PL/1-Prozeduren für die Knotenspannungsanalyse für die Halbleiterkapazität (HLKAPK), für die Diode (DIOBEK) und die Transferquelle (TRANEK) sind im Anhang angefügt.

III/15/4 1876 1877 1878 1879 1880 200.0 T/O 23-637

10013 VW Fuchsberg Außenstelle Dresden Aq 307/75

Struktur der Transistormodelle für ISA-Master

Die Bilder 9 und 10 zeigen die Struktur des npn- und pnp-Transistormodells. Für die Konstanten gelten folgende Werte (Tabelle 1).

Konstante	npn-klein	Wert npn - groß	pnp	pnp-Substrat
U_T (V)	0,0258	0,0258	0,0258	0,0258
I_{T0} (mA)	6,34E-13	1,34E-11	6,55E-13	3,395E-13
V_{CHH} (V)	5	10	9	9
$KHCE$ (V)	50	66,6	30	27
V_1 (V)	0,54509	0,646	0,54558	0,617737
K_1	0,42444	1,448003742	1,1037835	1,4357910
K_2	-0,44333	-1,919254146	-1,1085333	-1,6997295
K_3	0,11556	0,63556305	0,31989	0,50209
I_{10} (mA)	4,8E-14	5,39E-13	7,5E-12	3,64E-11
M_H	1,12	1,0700	1,3	1,496
R_H (k)	2E7	2,584	425	1E6
C_{BEO} (pF)	0,85	7,1	0,85	0,85
C_{BED} ($\frac{pF}{mA}$)	12,3	24,7	1760	411,3
$KX1$	-0,18	-0,1	-0,15	-0,15
I_{20} (mA)	1,4E-12	1,06E-12	3,9E-11	2,47E-9
M_I	1	1,12	1,3	1,12
R_I (k)	2E7	2,588	486	1E6
C_{BCO} (pF)	0,94	8,6	1,6	4,2
$KX2$	-0,22	-0,18	-0,16	-0,2
C_{CSO} (pF)	2,2	10,4	2,6 (C_{CSO})	• / •
$KX3$	-0,27	-0,3	-0,2	• / •
R_C (k)	0,08	0,075	0,3	$R_B = 0,01$

Tabelle 1: Konstantenwerte für die Bipolarmodelle

01/15/4 1676 1877 1878 1879 1880 200.0 1/0 23.637

58012 VV Freiberg Außenstelle Dresden Ag 927/75

b) Widerstandsmodelle

Für einfache Simulationen wurde das Modell nach Bild 11 verwendet. Die Werte für die Kapazitäten können aus dem Dokument (Tabelle 131.12) entnommen werden.

Für eine genauere Simulation im Frequenzbereich empfiehlt sich eine Verteilung der Kapazität (Bild 12). Praktische Modellrechnungen liegen dazu noch nicht vor.

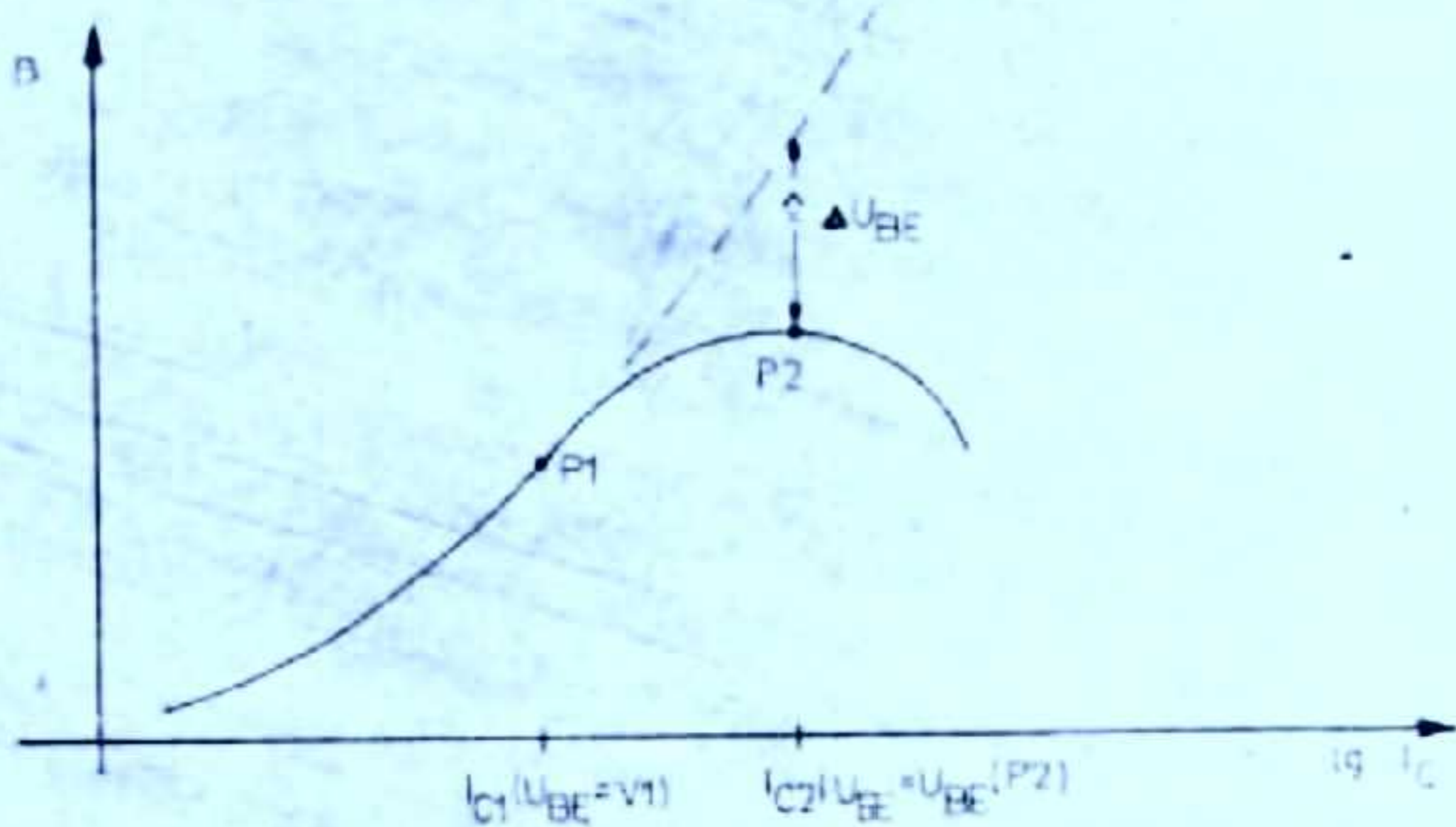


Bild 8: β -Funktion mit charakteristischen Punkten zur Bestimmung der K_1, K_2, K_3 -Konstanten

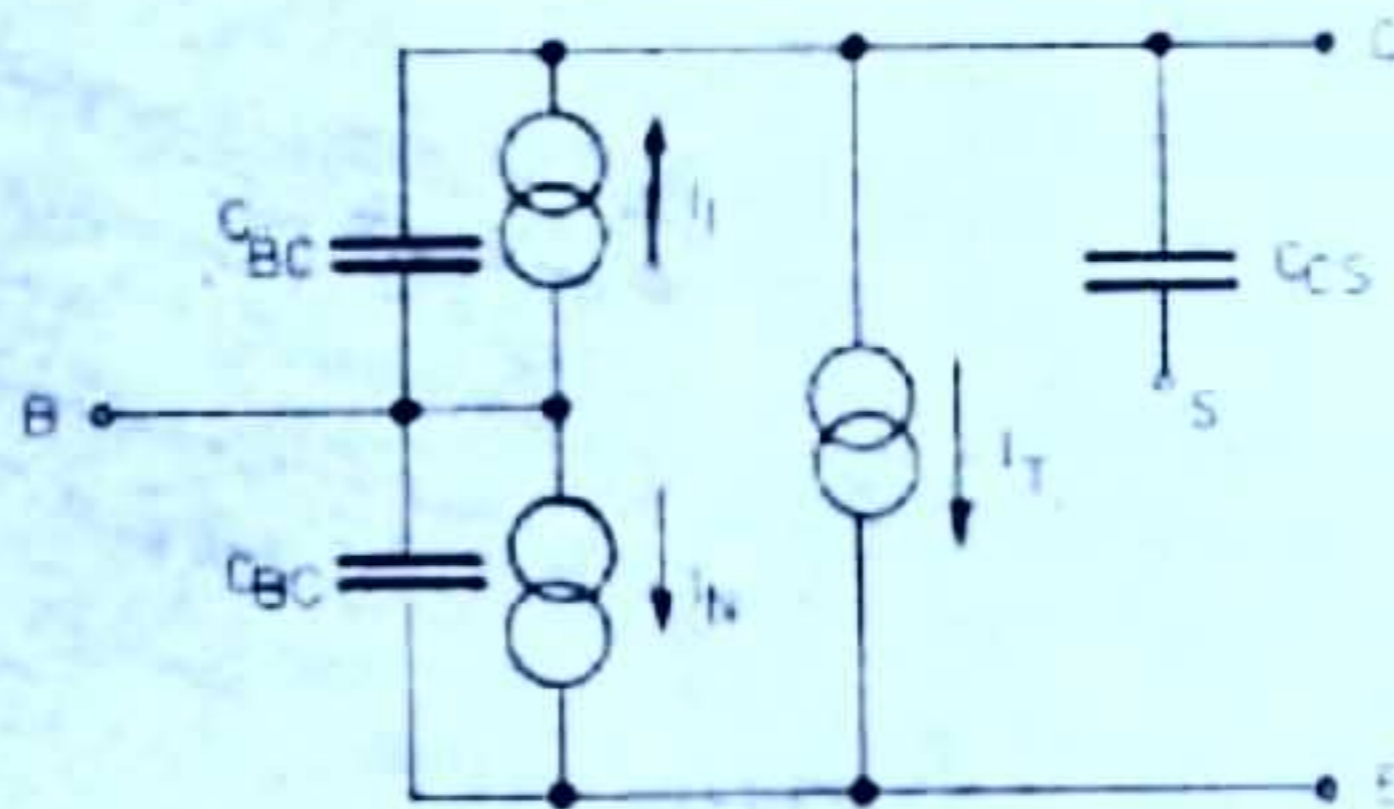


Bild 9: Modellstruktur npn-Transistor

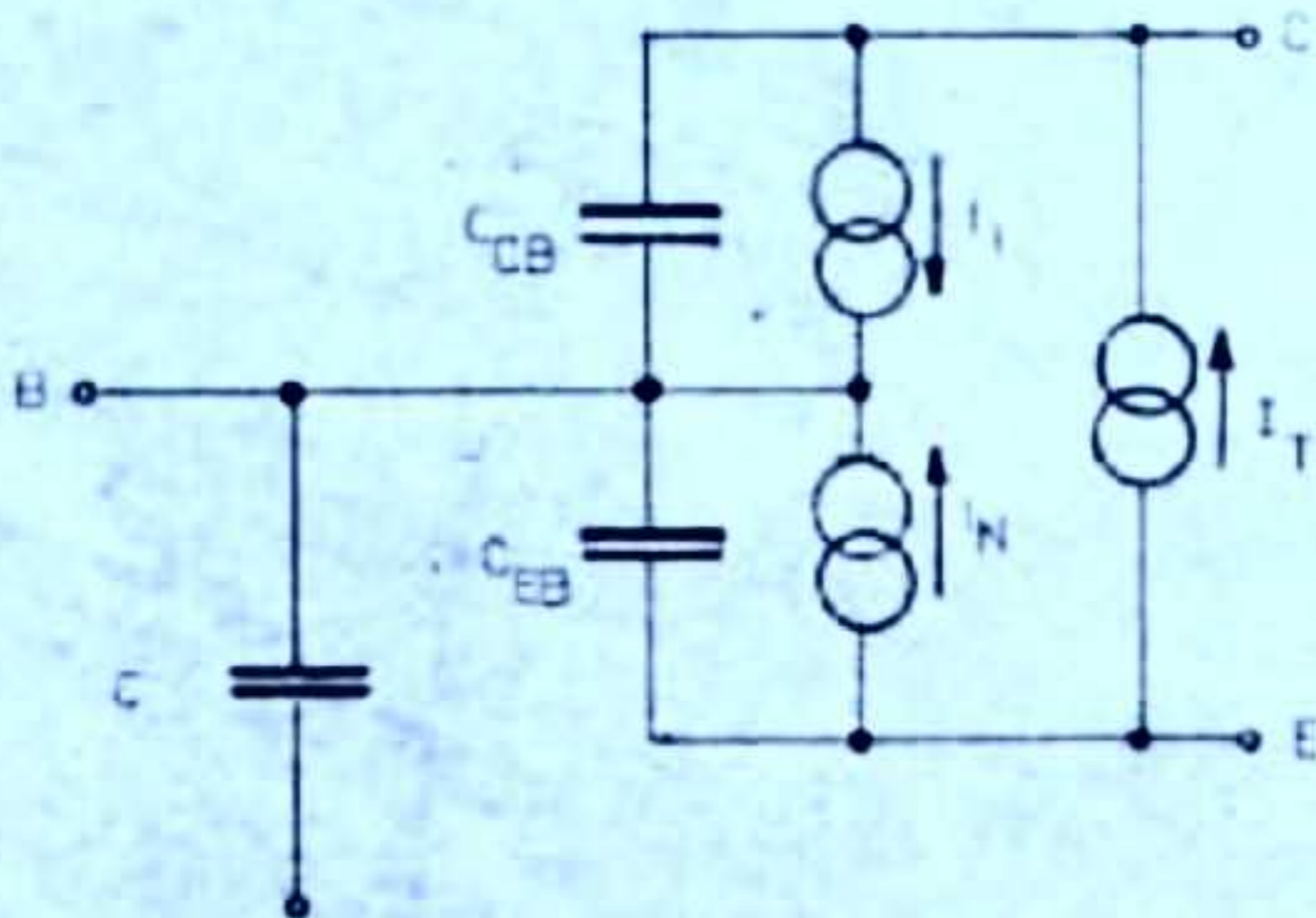


Bild 10: Modellstruktur pnp-Transistor

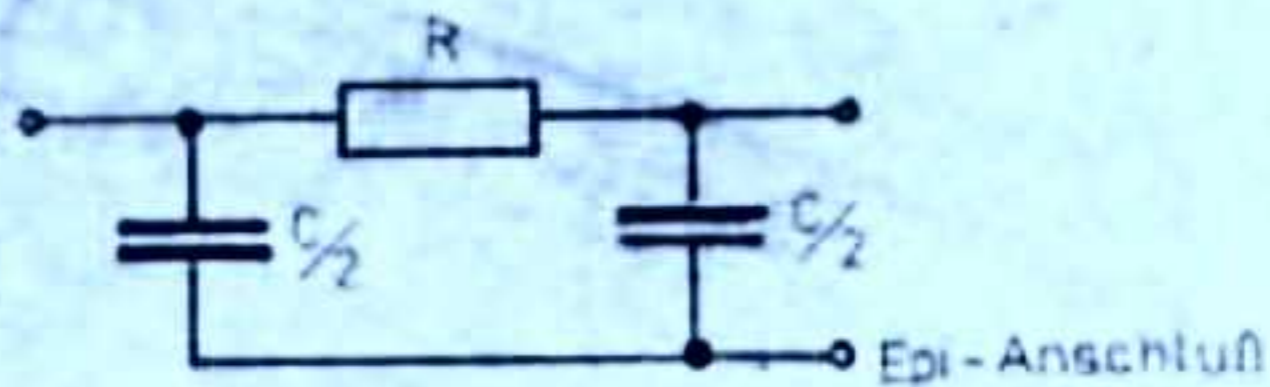


Bild 11: Einfaches Widerstandsmodell

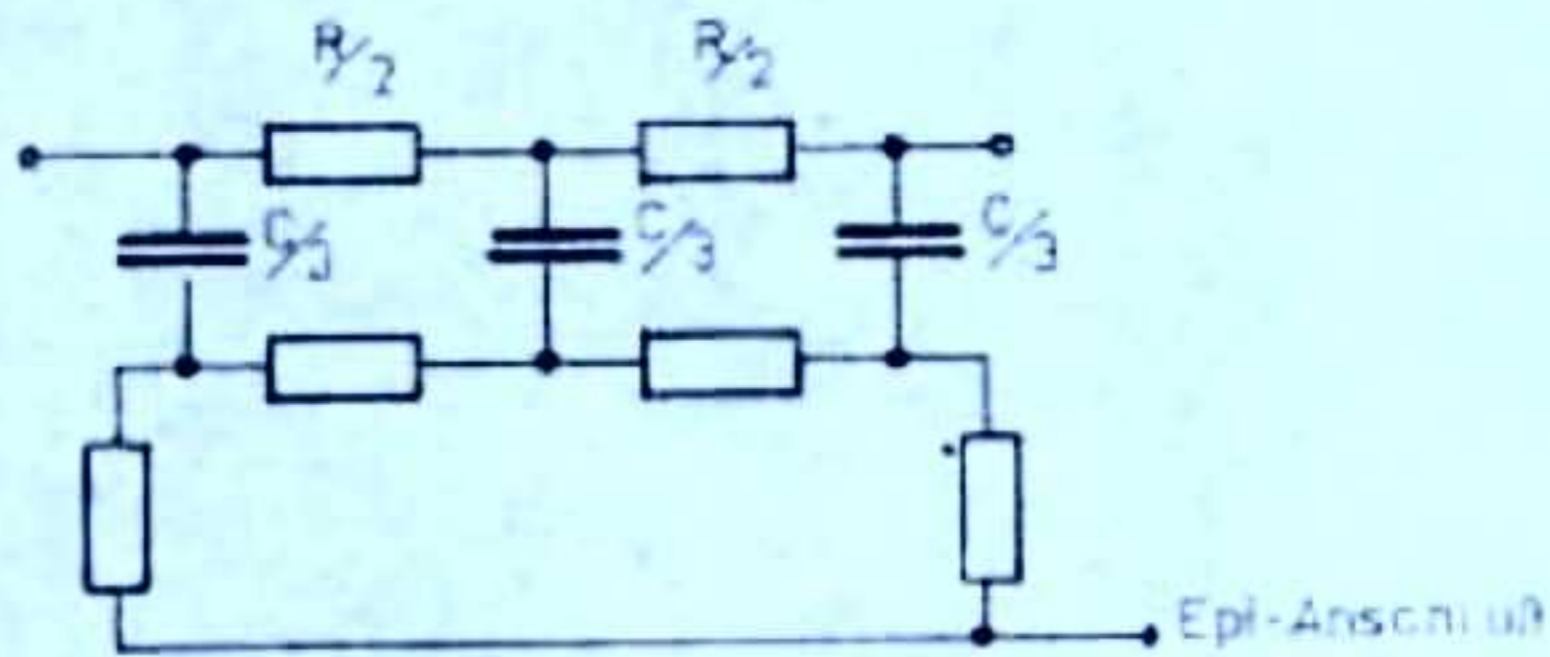


Bild 12: Erweitertes Widerstandsmodell

A B H A N G

Prozeduren für Bipolarmodelle

```

TRANSK: PROC(UB,UE,UC,TTF,PHP) RETURNS(FLOAT(16));
/* TRANSFERSTROMQUELLE FÜR BIPOLARTRANSISTOR */
DCL
/* TTF(1)=UT          TTF(6)=V2
   TTF(2)=SO          TTF(7)=R1
   TTF(3)=KRCE        TTF(8)=K2
   TTF(4)=VCBN        TTF(9)=K3
   TTF(5)=V1
DCL PHP BIN PAKED;
/* PÜR PHP-TRANSISTOR: PHP=1
   --"-NPN--"- - - - - PHP=0
IF PHP=0 THEN DO; VD1=UE-UH; VD2=UE-UC; VD3=UC-UB; END;
ELSE DO; VD1=UE-UB; VD2=UC-UB; VD3=UE-UC; END;
IF VD1<-.5 THEN S1=((VD1+.5)/TTF(1)+1)*EXP(-.5/TTF(1));
ELSE IF VD1<TTF(5) THEN S1=EXP(VD1/TTF(1));
ELSE IF VD1<TTF(6) THEN S1=EXP((-TTF(7)*VD1**2-(TTF(8)-1)*VD1-
      TTF(9))/TTF(1));
ELSE S1=EXP((-TTF(7)*TTF(6)**2-(TTF(8)-1)*TTF(6)-TTF(9))/TTF(1))*
      ((-2*TTF(7)*TTF(6)-TTF(8)+1)*(VD1-TTF(6))/TTF(1)+1);
IF VD2<-.5 THEN K2=((VD2+.5)/TTF(1)+1)*EXP(-.5/TTF(1));
ELSE IF VD2<TTF(5) THEN S2=EXP(VD2/TTF(1));
ELSE IF VD2<TTF(6) THEN S2=EXP((-TTF(7)*VD2**2-(TTF(8)-1)*VD2-
      TTF(9))/TTF(1));

```

```

DIODEK: PROG(UA,UK,MK,SO,WID,TFP) RETURN(FLOAT(16));
/* DIODENMODELL FUER BIPOLARTRANSISTOR (KIP-ANALYSE) */
DCL (JA,UK,SH,MK,SO,WID,TFP(8),VD,VDH) FLOAT(16);
/* TFP(1) = VT      TFP(5) = V1
   TFP(2) = SO      TFP(6) = K1
   TFP(3) = KACE    TFP(7) = K2
   TFP(4) = VGBN    TFP(8) = K3

VD=JA-UK;
IF VD>.95 THEN VDR=.95;
      ELSE IF VD<-.5 THEN VDH=-.5;
           ELSE VDH=VD;
SH=SO*(EXP(VD/(MK*TFP(1)))-1);
IF VD>.95 THEN RETURN((VD-.95)*SH/(MK*TFP(1))+SH);
RETURN(SH+VD/WID);

```

END DIODEK;

```

ELSE E2=KIP((-TTP(7)*TTP(6)**2-(TTP(8)-1)*TTP(5)-TTP(9))/TTP(1))
      ((-2*TTP(7)*TTP(6)-TTP(8)+1)*(VD2-TTP(5))/TTP(1)+1)
RETURN((E1+E2)*TTP(2)*(1+(VD3-TTP(4))/TTP(3)));
END TRANSK;

HLCAPK: PROC(UA, UK, UC, KO, KOD, EK, TTP, PEP) RETURN(FLOAT(16));
/* KAPAZITÄT FUER BIPOLARTRANSISTOR (KE-ANALYSE) */
DCL (UA, UK, UC, KO, KOD, EK, TTP(8), VD, VDH, VD2) FLOAT(16);
/* TTP(1) = VT TTP(5) = V1
   TTP(2) = SO TTP(6) = K1
   TTP(3) = KRGE TTP(7) = K2
   TTP(4) = VCHH TTP(8) = K3 */
DCL PHP DIB FIXED(1);
/* FUER PHP-TRANSISTOR: PHP=1
   FUER NPN-TRANSISTOR: PHP=0 */
VD=UA-UK;
IF VD>0 THEN VD=-0;
IF KOD=3 THEN RETURN(KOD*(1-VD)**2);
VDH=VD;
IF PHP=3 THEN VD2=UC-UK; ELSE VD2=UA-UC;
IF VDE<-1 THEN VDH=-1;
IF VDH>TTP(5) THEN VDH=VDH-TTP(6)*(VDH**2)-TTP(7)*VDH-TTP(8);
RETURN(KOD*(1-VD)**2+KOD*TTP(2)*KIP(VDH/TTP(1))*(1+(VD2-TTP(4))
      /TTP(3)));
END HLCAPK;

```

END HLCAPK;