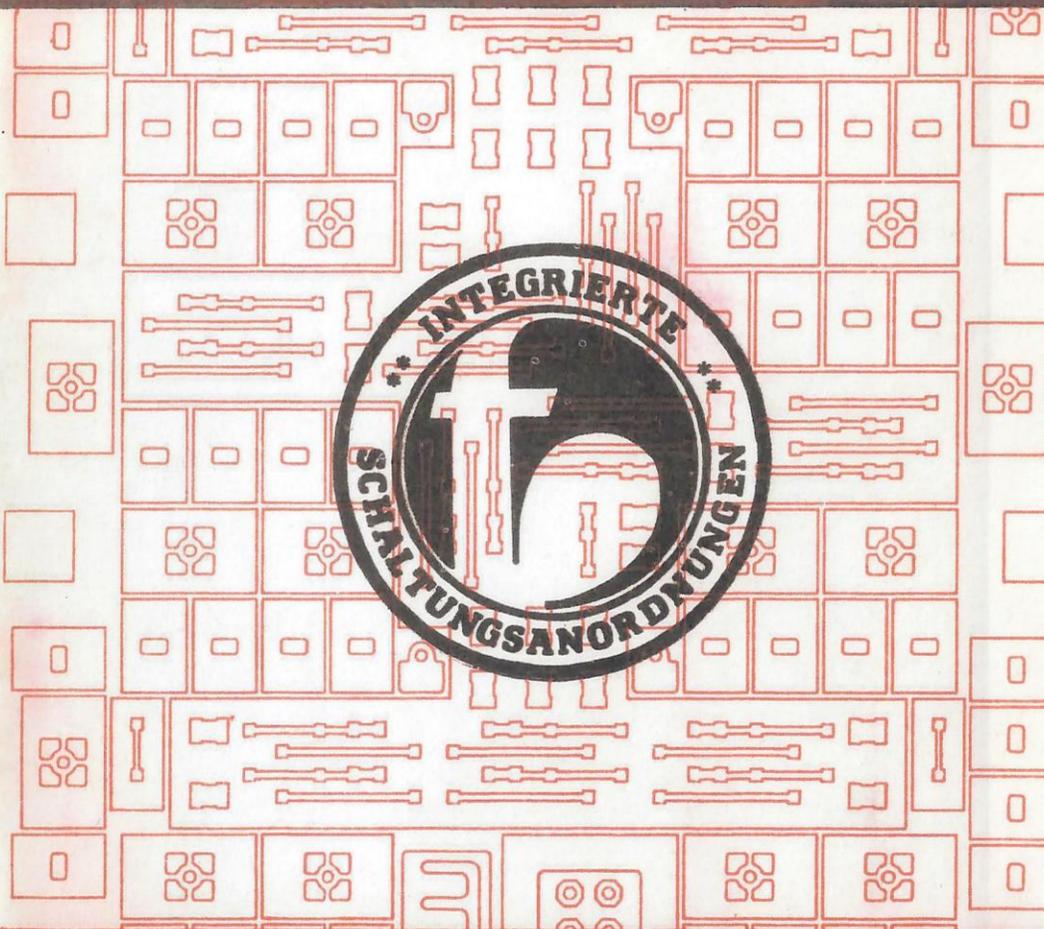




Ausgabe 1/82

DAS HFO-ISA-SYSTEM





Das Institut für Informatik und
 Wirtschaftsinformatik der
 Hochschule Bochum



Seite 1 von 1

1-0-15

10.10.2015

INFORMATION

10.10.2015



10

Kundeninformationsschrift

DAS HFO-ISA-SYSTEM

Autoren:

Dipl.-Ing. H. Jüngling

Dipl.-Ing. G. Neugebauer

Dipl.-Ing. H. Fulde



veb halbleiterwerk frankfurt/oder
leitbetrieb im veb kombinat mikroelektronik

Die Meßtechnikerprobung wird im Zusammenhang mit der 1. Musterherstellung beim Hersteller vorgenommen, d. h. in der Phase der Vorbereitung der Musterherstellung sind die Meßschaltung, die Meßvorschrift und die Zusatzeinrichtungen der Meßtechnik zu realisieren. Der weitere Ablauf der Meßtechnik-Entwicklung entspricht den Nomenklaturstufen für Erzeugnisentwicklungen zur Erlangung der Produktionsreife und liegt auch weiterhin in der Verantwortung des Anwenders.

4.5. Musterherstellung

Das Digitalisieren des Kunden-Layouts und die Herstellung der Schablonen bilden eine inhaltliche Einheit. Die Musterherstellung erfolgt mit vorgefertigten ISA-Scheiben. Dadurch wird eine kurze Bearbeitungszeit garantiert und der Kunde umgehend mit Mustern beliefert. Die Art der Musterlieferung ist vorher zwischen Hersteller und Anwender abzustimmen und kann als BE oder Chip erfolgen. Die auf der Grundlage der Aufträge hergestellten Muster sind Entwicklungsmuster und unterliegen keiner Ausgangskontrolle durch die TKO des Herstellers.

Zur Erlangung der Produktionsreife ist der Anwender verpflichtet, die erforderlichen Prüfungen mit den zuständigen Fachsektionen des ASMW abzustimmen und durchzuführen. In diesem Zusammenhang erprobt der Anwender auch die für die abgestimmten TKO-Prüfungen erforderliche Meßtechnik mit der TKO des Herstellers und bereitet diese für die Übergabe vor.

5. Allgemeine Hinweise

Das vom VEB Halbleiterwerk Frankfurt/Oder entwickelte System Integrierter Schaltungsanordnungen (ISA) soll dazu beitragen, stark spezialisierte integrierte Schaltkreise zu entwickeln und zu produzieren, die bisher mit konventioneller auf große Stückzahlen orientierter Verfahrensweise ökonomisch nicht realisiert werden konnten. Das System schafft die Voraussetzungen für eine verstärkte Einbeziehung der Anwenderindustrie in die Entwicklung und Produktionsvorbereitung von Kundenwunschschatkreisen. Auskünfte zum HPO-ISA-System und weitere Informationen sind über die Verkaufsabteilung KKM (Telefon Nr. 46 2873) des Halbleiterwerkes erhältlich.

4.2. Schaltungsentwurf

Für den Schaltungsentwurf werden dem Anwender keine Vorschriften gemacht, sofern die Besonderheiten integrierter Einzelstrukturen und der integrierten Schaltungstechnik beachtet werden. Unterstützt wird der Schaltungsentwurf durch den Brettschaltungsaufbau und die rechnergestützte Schaltungsanalyse. Der Brettschaltungsaufbau sollte unter Verwendung der ITSA-Bausteine realisiert werden, da die ITSA auf der Basis der ISA-Grundchips hergestellt werden. Im Anschluß an die Brettschaltungserprobung oder parallel dazu wird die Durchrechnung der Schaltung sowie die Toleranzanalyse mittels Rechnerprogramm empfohlen. Gerade Toleranzanalysen und "worst case"-Betrachtungen lassen sich nur schwer in der Brettschaltung durchführen, da in den meisten Fällen keine ITSA mit ausgesuchten Eigenschaften zur Verfügung stehen. Auch als Methode der Fehleranalyse und zur Verringerung des Entwurfsrisikos kann die Schaltungsberechnung eine wertvolle Hilfe sein. Es ist offensichtlich, daß der Brettschaltungsentwurf, die Schaltungsberechnung, die Analysen des Einflusses von Toleranzen und Temperatur und die Layoutskizzierung sich ergänzen müssen und miteinander im Wechsel stehen.

4.3. Layoutentwurf

Der Layoutentwurf erfolgt als kontinuierlicher Entwurfsprozeß während der Brettschaltungserprobung und Schaltungsberechnung. Für die A-ISA beinhaltet der Layoutentwurf die Erstellung der Leitbahnebene und für die D-ISA des Kontakt- und Leitbahnmusters. Der Feinentwurf der kundenspezifischen Ebenen ist nur unter Beachtung der Entwurfsrichtlinien des Herstellers zulässig. Der Layoutentwurf muß außerdem auf die vom Anwender ausgewählte Gehäusevariante angepaßt werden. Dazu werden vom Hersteller Arbeitsunterlagen der verschiedenen Trägerstreifen bereitgestellt. Zur Maskenherstellung wird das Feinlayout beim Hersteller in die Maschinensprache übersetzt (digitalisieren). Die Layoutentwurfsetappe endet mit der Bestätigung der automatisch hergestellten Dokumentationszeichnung.

4.4. Bauelement-Meßtechnik

Die Entwicklung, Erprobung und Herstellung der schaltungspezifischen Meßtechnik ist eine generelle Aufgabe des Anwenders. Basis für die Bauelemente-Meßtechnik ist das beim Hersteller installierte Meßtechniksystem. Spezialmeßtechnik kann nur in besonderen Fällen zum Einsatz kommen und muß für die Serienproduktion geeignet sein. Möglichst frühzeitig sind zwischen Anwender und Hersteller Kontakte zur Meßtechnikbearbeitung aufzunehmen. In der Phase der Brettschaltungserprobung und der Schaltungsberechnung sind die Voraussetzungen und Grundlagen zur Meßtechnikentwicklung zu schaffen.

Vorwort

Die Mikroelektronik hat eine zur Zeit noch nicht überschaubare Revolution der Elektronik und anderer Bereiche der Technik ausgelöst. Die Verfügbarkeit eines breiten Sortimentes moderner Bauelemente ermöglicht völlig neue technische Lösungen bei der Weiterentwicklung von Erzeugnissen oder bei der Rationalisierung von Arbeitsprozessen.

Die zunehmende Integration in der Bauelementeherstellung hat zu drastischen Veränderungen in der Arbeitsteilung von Bauelementehersteller und -anwender geführt. Das hohe Entwicklungstempo in der Anwendung der Mikroelektronik stellt immer neue und höhere Anforderungen an das Bauelementesortiment und damit an den Bauelementehersteller, so daß neue Wege bei der Realisierung begründeter Forderungen beschritten werden müssen. Eine Möglichkeit ist die Schaffung von Kundenwunschschaltschaltungen unter aktiver Mitarbeit des künftigen Anwenders, wie sie vom HFO-ISA-System auf der Basis typisierter Grundbausteine geboten wird.

Dieses Informationsheft soll einen Überblick über Möglichkeiten des HFO-ISA-Systems und Schritte zu seiner Anwendung geben und damit zu einer schnellen und effektiven Nutzung im Interesse unserer volkswirtschaftlichen Entwicklung beitragen.

Der Herausgeber

Nachdruck, auch auszugsweise, nur mit
Genehmigung des Herausgebers!

Inhaltsverzeichnis

	<u>Seite</u>
1. Einleitung	3
2. Bauelemente und schaltungstechnische Grundlagen des HFO-ISA-Systems	4
2.1. Allgemeine Entwurfsrichtlinien	4
2.2. Verfügbare Einzelstrukturen des ISA-Systems	5
2.3. Grundchips des HFO-ISA-Systems	7
2.4. Integrierte Teilschaltungsanordnungen (ITSA)	9
3. Schaltungsvorschläge, Schaltungseigenschaften	10
3.1. Schaltungsbeispiele	10
3.2. Schaltungstechnische Grenzen bei Anwendung des ISA-Systems	17
4. Entwicklung von Kundenwunschsaltungen	18
4.1. Entwurfsablauf für die Entwicklung von Kundenwunschsaltungen	18
4.2. Schaltungsentwurf	20
4.3. Layoutentwurf	20
4.4. Bauelement-Meßtechnik	20
4.5. Musterherstellung	21
5. Allgemeine Hinweise	21

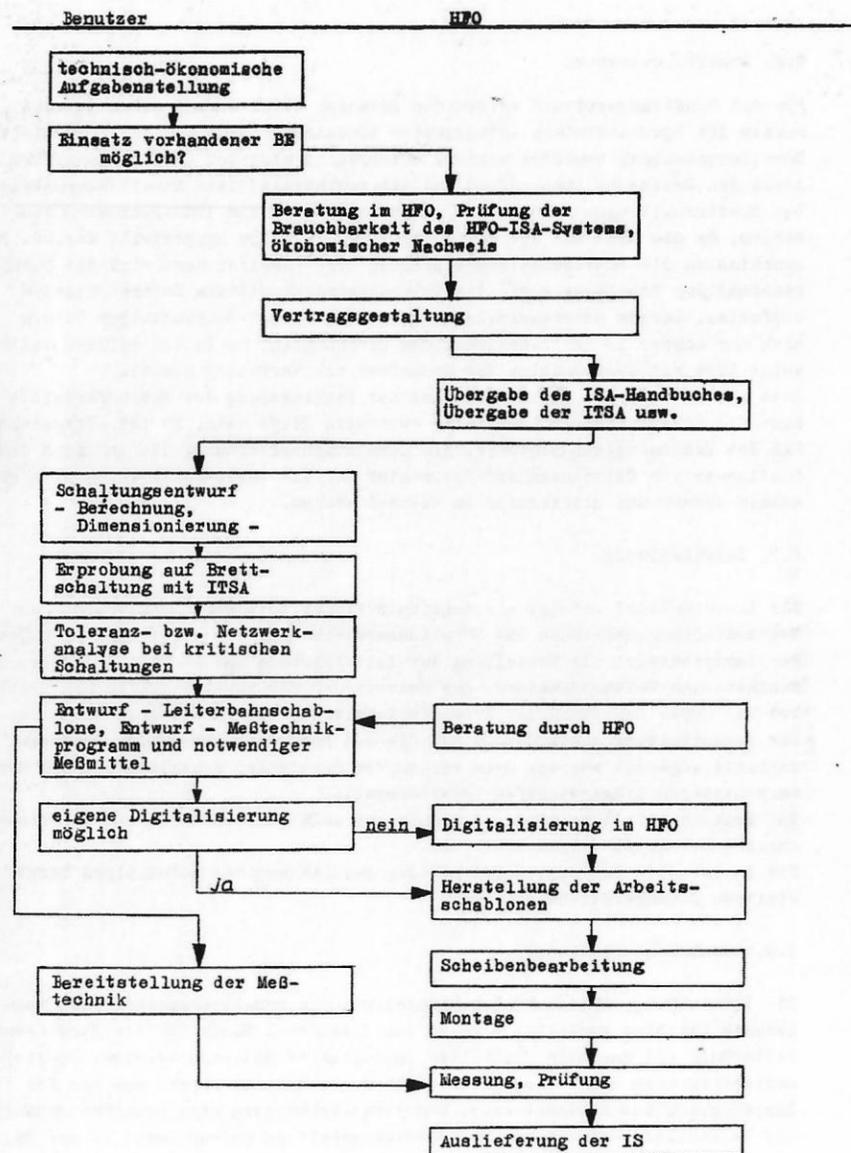


Bild 11

4. Entwicklung von Kundenwunschsaltungen

4.1. Entwurfsablauf für die Entwicklung von Kundenwunschsaltkreisen

Nach Untersuchung der vom Kunden gewünschten technischen Lösung auf Realisierbarkeit mit vorhandenen IS und diskreten Bauelementen muß der Kunde entscheiden, ob eine Benutzung des HFO-ISA-Systems eine technisch und ökonomisch sinnvolle Lösung ermöglicht. Eine erste Beratung mit dem HFO über die technischen und ökonomischen Besonderheiten der Aufgabenstellung unter Zugrundelegung erster Schaltungsvorstellungen führen dann zur Entscheidung, ob das HFO-ISA-System für die vorliegende Aufgabe geeignet ist. Bei positiver Entscheidung werden dem Kunden nach entsprechender Vertragsgestaltung ausführliche kostenpflichtige Arbeitsunterlagen über das HFO-ISA-System übergeben. Diese Unterlagen bestehen hauptsächlich aus dem ISA-Handbuch und den unter 2.4. beschriebenen Teilschaltungsanordnungen (ITSA).

Das ISA-Handbuch ist eine Entwurfsanleitung und beinhaltet alle Festlegungen und Hinweise zu fachlichen und organisatorischen Fragen der Entwicklung von Kundenwunschsaltkreisen auf Basis des HFO-ISA-Systems. Es enthält im Teil 1 die schaltungstechnische Entwurfsanleitung und im Teil 2 den Entwurfsablauf und die Arbeitsanleitung, wobei z. B. Teil 1 folgende Hauptpunkte beinhaltet:

- Übersicht über das ISA-System und allgemeine Hinweise
- Beschreibung der verfügbaren Einzelstrukturen
- Beschreibung der Grundchips des ISA-Systems
- Funktionseinheiten und Schaltungsempfehlungen
- Applikationsübersicht
- verfügbare ITSA mit Datenblättern usw.
- Literaturhinweise.

Einen prinzipiellen Überblick über den Gesamtverlauf einer Kundenwunschsaltkreisentwicklung zeigt das Ablaufdiagramm. (Bild 11)

Nach diesem Grobablauf können durch den Hersteller 1. Muster nach ca. 3 Monaten bereitgestellt werden, gerechnet vom Zeitpunkt der Schablonenherstellung. Der Abschluß einer kundenspezifischen Erzeugnisentwicklung, d. h. Erreichung der Produktionsreife ist nach der Herstellung der ersten Funktionsmuster in 12 Monaten möglich.

1. Einleitung

Die Einführung des HFO-ISA-Systems ist der Beitrag des VEB Halbleiterwerk Frankfurt/Oder zur effektiven Bearbeitung von Kundenwunschsaltungen mit verhältnismäßig geringem Bedarf. Das HFO-ISA-System gestattet eine drastische Reduzierung der Entwicklungszeiten und macht es möglich, ökonomisch für Hersteller und Anwender integrierte Schaltkreise zu entwickeln und zu produzieren, auch wenn der Bedarf keine Entwicklung auf konventionelle Weise zuläßt. Die Spezifik des ISA-Systems erleichtert dabei wesentlich die Einführung von mikroelektronischen Elementen in bisher nur wenig erschlossene Anwendungsbereiche. Es muß aber darauf hingewiesen werden, daß bei der Realisierung der Kundenwunschsaltungen der Anwender einen erheblichen Anteil an Entwicklungsarbeit zu leisten hat, sich in die Schaltungstechnik und die Besonderheiten von integrierten Schaltungen gründlich einarbeiten muß.

Das HFO-ISA-System basiert auf Verwendung von Si-Chips mit fester Elementanordnung und variablem Verbindungsmuster. Voraussetzung des ISA-Systems sind folglich bereits existierende und erprobte Grundchips, die vor der konkreten Schaltungsentwicklung durch den Hersteller mit feststehender Herstellungstechnologie bereits konzipiert sind. Da alle Einzelkomponenten frei zugänglich sind und es eine sehr große Anzahl von Möglichkeiten gibt, die auf diesem Grundchip angeordneten Elemente durch ein entsprechendes Leitbahnmuster zu verbinden, entspricht die Realisierung einer elektronischen Schaltung durch das ISA-System in großer Näherung der Zusammenstellung einer Schaltung aus einzelnen diskreten Bauelementen. Dem Anwender stehen mehrere ISA-Grundchips zur Verfügung, die sich durch Größe, Elementanordnung und Grundtechnologie unterscheiden. Zur Herstellung eines ISA-Kundenwunschsaltkreises muß folglich nur noch eine einzige Schablone (für die Leitbahnebene) spezifisch gestaltet werden.

Daraus ergeben sich folgende Vorteile des HFO-ISA-Systems:

- Die Entwicklungszeit für den speziellen Schaltkreis reduziert sich durch schnellen Zugriff von vorgefertigten Scheiben wesentlich.
- Das Risiko bei der IS-Entwicklung verringert sich, weil die Entwicklung der Grundchips durch den Hersteller zu Beginn der konkreten Schaltungsentwicklung bereits abgeschlossen ist und die Herstellungstechnologie reproduzierbar beherrscht wird.
- Die hohe technologische Stabilität durch die Fertigung einheitlicher Grundchips bewirkt eine Vereinfachung der Produktionsorganisation und der technologischen Kontrolle.
- Das HFO-ISA-System schafft Möglichkeiten zur Produktion kleiner Stückzahlen für verschiedene Anwender.

Erwähnenswert bei Anwendung des ISA-Systems ist die unvollständige Ausnutzung der Chipfläche, die aber in Kauf genommen werden sollte, um schneller zu neuen Schaltungen zu kommen.

2. Bauelemente und schaltungstechnische Grundlagen des HFO-ISA-Systems

Das HFO-ISA-System umfaßt drei Grundchipsreihen mit je drei Grundchips. Dazu gehören die nach dem SBC-Prozeß hergestellten A-ISA mit einer Spannungsfestigkeit von 20 V bzw. 36 V und die nach dem Standard -I²L-Prozeß gefertigten D-ISA für digitale und gemischte Anwendungen.

Alle Grundchips enthalten als Einzelstrukturen npn-, pnp-Lateral- und pnp-Substrattransistoren, I²L-Strukturen (nur D-ISA), niederohmige Basis- und hochohmige Pinchwiderstände sowie Bondinseln zur Kontaktierung der Gehäuseanschlüsse. Als Dioden werden vorrangig die Basis-Emitter-Übergänge der npn- und pnp-Transistoren in Fluß- bzw. Sperrichtung (Z-Dioden) bei kurzgeschlossenem Kollektor-Basis-Übergang genutzt.

2.1. Allgemeine Entwurfsrichtlinien

Für den Schaltungs-Entwickler, der seine Schaltungen bisher mit diskreten Bauelementen aufgebaut hat, erfordert die Nutzung des HFO-ISA-Systems einige grundlegende Kenntnisse über den Entwurf von integrierten Schaltkreisen. Die Grenzen der integrierten Technik machen die getreue Nachbildung von einigen diskreten Schaltungen unmöglich.

Folgende Eigenschaften der integrierten Bauelemente sind zu beachten:

- Große Toleranzen der Widerstandswerte.
- Großer Temperaturkoeffizient der Widerstände und Kapazitäten.
- Begrenzung des Wertebereiches der passiven Bauelemente.
- Fehlen von integrierten Induktivitäten und hohen Kapazitätswerten.
- Begrenzte Auswahl von benachbarten kompatiblen Transistoren.
- Begrenzte Verlustleistung.

Die integrierte Technik bringt aber für den Schaltungs-Entwickler auch einige Vorteile:

- Große Anzahl von aktiven Bauelementen bei nur geringer Kostenerhöhung.
- Gute Anpassung und Gleichlaufesigenschaften der Bauelementeparameter.
- Enge thermische Kopplung.
- Kontrolle der Bauelementegeometrien.
- Verbesserte Zuverlässigkeit gegenüber Schaltungen mit diskreten Bauelementen.

Durch das Beachten dieser Vorteile ist es oft möglich, integrierte Schaltkreise zu entwickeln, die die Leistungsfähigkeit von diskret aufgebauten Schaltungen übertreffen. Die nachfolgenden allgemeinen Richtlinien erlauben es dem Schaltungs-Entwickler, die Nachteile meist zu umgehen bzw. zu kompensieren:

- Vermeidung absoluter Wertetoleranzen.
- Verwendung symmetrischer Bauelemente.
- Verwendung vorwiegend aktiver Bauelemente.

3.2. Schaltungstechnische Grenzen bei Anwendung des ISA-Systems

Die im ISA-System vorhandenen Grundchips (siehe Pkt. 2.3.) und die darauf fest angeordneten, nicht variablen Einzelbauelemente begrenzen die erreichbaren technischen Parameter der zu entwickelnden Kundenwunschsaltung, wobei eine Vielzahl von Einflußfaktoren eingehen.

3.2.1. Bauelementezahl, Bauelementespektrum, Verlustleistung, Spitzenströme

Die Komplexität des Schaltungsentwurfes wird durch den Zwang, bestimmte, für den Einsatzfall nicht immer optimierte Bauelemente verwenden zu müssen, ebenso eingeschränkt wie durch die begrenzte Anzahl der zur Verfügung stehenden Bauelemente. Weiter begrenzen die zulässige Verlustleistung des verwendeten Gehäuses und die Spitzenströme der Transistoren den möglichen Anwendungsbereich.

3.2.2. Anpassungsprobleme

Die für bestimmte Schaltungen (OPV usw.) erreichbaren Symmetrieeigenschaften der Eingangsstufen sind durch die Technologie und die Lage der verwendeten Bauelemente auf dem Grundchip vorgegeben und können nicht wie bei Spezialentwicklungen durch besondere technologische Maßnahmen optimiert werden. D. h. aber eindeutig, daß mit dem ISA-System realisierte IS grundsätzlich nicht die Parameter spezieller IS übertreffen können.

3.2.3. Dynamische Eigenschaften

Die dynamischen Eigenschaften werden im wesentlichen von der angewendeten Technologie und der Konstruktion der Einzelbauelemente, die für eine große Einsatzbreite entworfen worden sind, bestimmt. Es gelten im wesentlichen die Aussagen von Pkt. 3.2.2.

3.2.4. Sonderforderungen

Werden vom Benutzer des ISA-Systems spezielle technische Parameter (z. B. hohe Ströme), die die Möglichkeiten des ISA-Systems überschreiten, gefordert, so können diese nur durch Einsatz entsprechender peripherer Bauelemente in der Außenbeschaltung realisiert werden, da Spezialbauelemente im ISA-System nicht enthalten und auch nicht vorgesehen sind.

Die Schaltungsberechnung kann ähnlich Pkt. 3.1.3. durchgeführt werden, wobei im Schalterbetrieb (z. B. Phasendetektor) der lineare Eingang U_1 sein sollte. Die im Bild 10 enthaltene Chipdarstellung mit Leitbahn der ITSA IA 301 zeigt die Realisierung der unter 3.1.7. beschriebenen Schaltung auf Basis des Grundchips IA30.

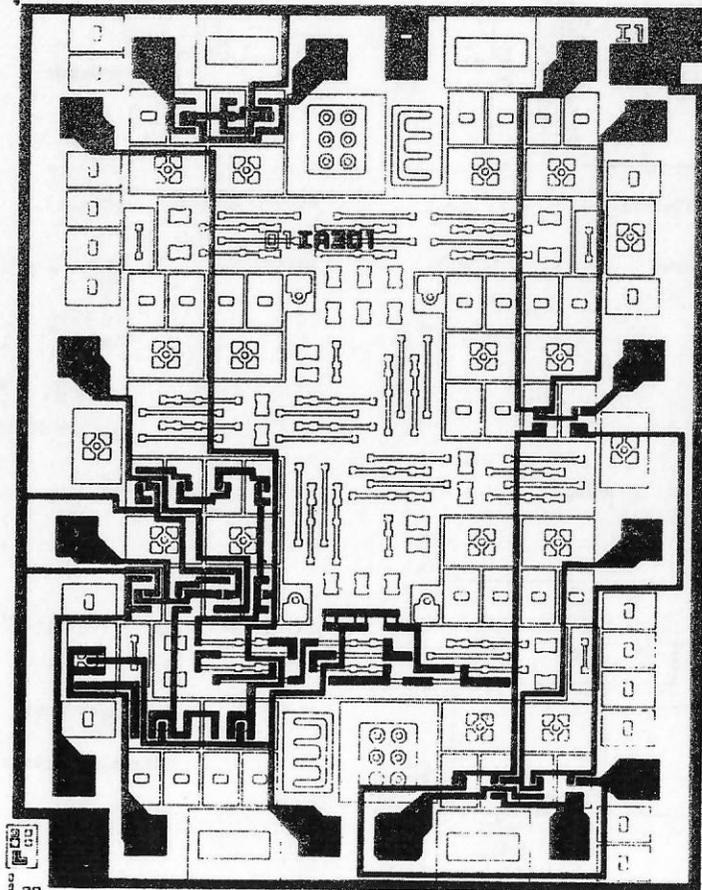


Bild 10

2.2. Verfügbare Einzelstrukturen des ISA-Systems

2.2.1. Einzelstrukturen der A-ISA-Chips

- Kleine npn-Transistoren:

Grundchip	IA10, IA20, IA60	IA30, IA40, IA50
Arbeitsbereich I_C	1 μ A	- 20 mA
Stromverstärkung h_{21E} (1 mA)	50	- 200
Anpassung h_{21E}		\pm 15 %
Kollektor-Emitterspannung $U_{CEO \max}$	20 V	36 V
Übergangsfrequenz f_T		300 MHz

- Große npn-Transistoren:

Grundchip	IA10, IA60	IA30, IA50
Arbeitsbereich I_C	10 μ A - 200 mA	10 μ A - 100 mA
Stromverstärkung h_{21E} (10 mA)	70	- 220
Anpassung h_{21E}		\pm 15 %
Kollektor-Emitterspannung $U_{CEO \max}$	20 V	36 V
Übergangsfrequenz f_T		300 MHz

- pnp-Transistoren:

Grundchip	IA10, IA20, IA60	IA30	IA40, IA50
Arbeitsbereich - I_C	0,1 μ A - 1 mA	0,1 μ A - 10 mA	0,1 μ A - 3 mA
Stromverstärkung h_{21E}	10 - 50		
Anpassung h_{21E}	\pm (3 - 30) %		
Kollektor-Emitterspannung - $U_{CEO \max}$	20 V		36 V
Übergangsfrequenz f_T	7 MHz		

- Dioden:

Grundchip	IA10, IA20, IA60	IA30, IA40, IA50
Verwendung kleiner npn-Transistoren:		
Durchlaßspannung U_{BE} (1 mA)	730-750 mV	750-770 mV
Basis-Emitter-Durchbruchspannung U_{EBS}	7,4-7,8 V	7,3-7,5 V
Anpassung U_{BE}		\pm 4 mV
Temperaturgleichlauf $\frac{d(\Delta U_{BE})}{dT}$		10 $\frac{\mu V}{K}$

Grundchip	IA10, IA20, IA60	IA30, IA40, IA50
• Verwendung großer npn-Transistoren		
Durchlaßspannung U_{BE}	660-690 mV	650-670 mV
Basis-Emitter-Durchbruchspannung U_{EBS}	7,4-7,8 V	7,5-7,7 V
Anpassung U_{BE}		± 4 mV
Temperaturgleichlauf $\frac{\delta(\Delta U_{BE})}{\delta T}$		$10 \frac{\mu V}{K}$
• Verwendung pnp-Transistoren		
Durchlaßspannung U_{BE}	750-770 mV	770-790 mV
Basis-Emitter-Durchbruchspannung U_{EBS} min	20 V	36 V
Anpassung U_{BE}		± 4 mV
Temperaturgleichlauf $\frac{(\Delta U_{BE})}{T}$		$30 \frac{\mu V}{K}$

- Z-Dioden:

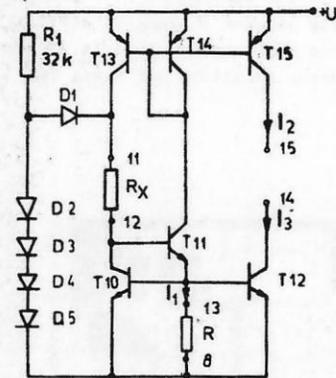
Grundchip	IA10, IA20, IA60	IA30, IA40, IA50
Z-Spannung U_Z (10 μA)	7,4 V	7,4 V
(1 mA)	7,8 V	7,6 V

- Basiswiderstände:

Grundchip	IA10, IA20, IA60	IA30, IA40, IA50
Widerstandstoleranzen		± 25 %
Anpassung von Widerstandswerten		$\pm (3-6)$ %
Temperaturgleichlauf $\frac{\delta(\Delta R/R)}{\delta T}$		$0,03$ %/K

- Pinchwiderstände:

Grundchip	IA10, IA20, IA60	IA30, IA50
Widerstandstoleranzen		(-50 bis + 100) %
Anpassung von Widerstandswerten		± 15 %
Temperaturgleichlauf $\frac{\delta(\Delta R/R)}{\delta T}$		$0,5$ %/K
Durchbruchspannung		7,4 - 7,8 V



Steuerfunktion: $I_1 = I_2 = I_3$

Parameter : $Z_{in} \approx 10$ M Ω
 $Z_{out} \approx 100$ M Ω
 $T_K \approx -200 \cdot 10^{-6}/K$

Bild 7

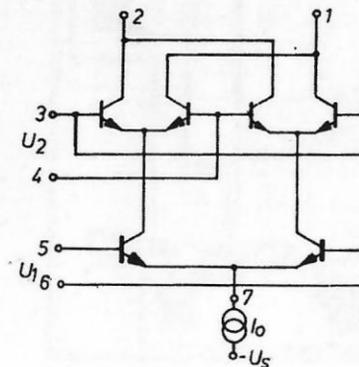
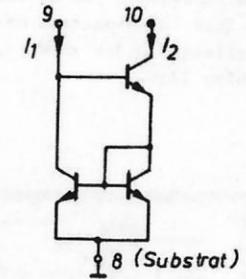


Bild 9



Steuerfunktion: $I_2 = I_1$

Parameter : $\frac{I_2 - I_1}{I_1} = 0,5$ %
 $Z_{in} \leq 50$ Ohm
 $Z_{out} > 5$ M Ω
 $T_K < 500 \cdot 10^{-6}/K$

Bild 8

Parameter: + $U_S = 10$ V; - $U_S = 10$ V
 $R_{2,3} = 6$ K Ω
Ausgangsoffsetspannung ± 200 mV
Eingangsbiastrom $5 \mu A$
Bandbreite ($C_L = 10$ pF) > 3 MHz

3.1.6. Einfach-OPV mit einstellbarer Stromaufnahme

Diese Schaltung besitzt eine sehr geringe Stromaufnahme, die mit der Arbeitspunkteinstellung der Endstufen durch eine Darlingtonanordnung erreicht wird. Mit einem äußeren Widerstand R_{ext} , der die Stromaufnahme der Schaltung bestimmt, lassen sich die dynamischen Eigenschaften der Schaltung in weiten Grenzen variieren.

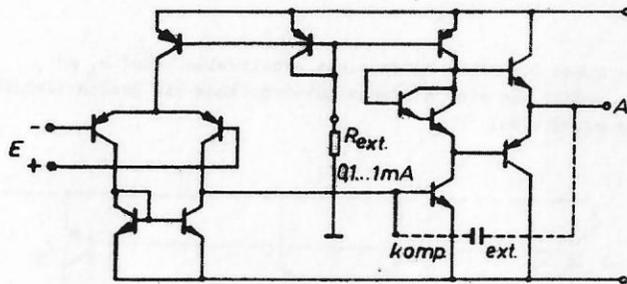


Bild 6

3.1.7. Schaltung der ITSA IA 301 - Vierquadrantenmultiplizierer mit steuerbaren Stromquellen

Diese Schaltung befindet sich in einem 16-poligen DIL-Plast-Gehäuse und besteht aus folgenden Teilschaltungen

- steuerbare pnp-Stromquelle zur linearen Einstellung des Grundstromes im Multiplizierer, um z. B. Schaltungen mit Amplitudenmodulation zu realisieren. (Bild 7)
- npn-Stromquelle zur hochohmigen Bereitstellung des Multipliziergrundstromes (Bild 8)
- Vierquadrantenmultiplizierer (Bild 9)

2.2.2. Einzelstrukturen der D-ISA-Chips

- Anpaßstufen

Die Eingangs-/Ausgangsstufen dienen zur Umwandlung von TTL-gerechten Spannungssignalen in I^2L -gerechte Stromsignale bzw. umgekehrt. Sie sind in der Regel als Doppelstufen ausgeführt, d. h. es können gleichzeitig jeweils eine Eingangs- und eine Ausgangsstufe realisiert werden. Tri-State-Ausgänge sind möglich.

- I^2L -Gatter

Injektorspannung	$U_{inj} = 650 \dots 800 \text{ mV}$
Injektorstrom	$I_{inj} = 1 \dots 500 \mu\text{A}$
effektive Stromverstärkung	$B_{eff} \geq 1,2$
Eingangsstrom	$I_{in} = 1 \dots 100 \mu\text{A}$
Maximale Sperrspannung der I^2L -Ausgänge:	2,5 V
Gatterverzögerungszeit	$< 70 \text{ ns}$ ($I_{inj} = 100 \mu\text{A}$)

2.3. Grundchips des HFO-ISA-Systems

Die Grundchips des HFO-ISA-Systems werden in Planar-Epitaxie-Technik mit pn-Isolation hergestellt. Durch selektive Diffusion von Bor, Phosphor und Arsen werden p- oder n-leitende Gebiete gewünschter vertikaler und horizontaler Abmessungen im Siliziumsubstrat und in der Epitaxieschicht erzeugt. Dabei wird die örtliche Lage der p- und n-Gebiete durch photolithographische Prozesse festgelegt. Das gebildete Siliziumdioxid dient als Diffusionsmaske, auf der Grundlage dieser Technologie werden nach unterschiedlichen technologischen Parametern und Teilschrittfolgen die Grundchips für den SBC- und den Standard- I^2L -Prozess hergestellt. Die Si-Scheiben für die A-ISA werden bis zum Teilschritt Aluminiumbedampfung, die Scheiben für die D-ISA bis zum Teilschritt Emitterdiffusion bearbeitet und anschließend gelagert. Zur Herstellung von Kunden-IS ist demzufolge bei den A-ISA nur eine kundenspezifische Leitbahnschablone zu entwerfen, herzustellen und im Scheibenprozeß einzusetzen, für die D-ISA in der Regel eine kundenspezifische Kontakt- und Leitbahnschablone. Im Montageprozeß werden die ISA-Chips nach einem HFO-Standardverfahren in verschiedene DIL-Plastgehäusen verpackt.

2.3.1. Grundchips für den SBC-Prozess (A-ISA)

Grundchip	IA10	IA20	IA30	IA40	IA50	IA60
Gesamtzahl der Einzelstrukturen	221	309	220	199	203	463
Bondinseln	16	16	16	16	16	24
Chipgröße (mm ²)	2,1x2,3	2,1x2,3	2,2x2,8	2,1x2,1	2,1x2,1	2,6x3,0
Prozess	20 V	20 V	36 V	36 V	36 V	20 V
Einzelstrukturen:						
große npn-Transistoren	2		4		2	4
kleine npn-Transistoren	58	68	56	49	61	91
pnp-Transistoren	21	12	28	19	8	50
Basiswiderstände	172	217	128	130	126	308
Pinchwiderstände	8	12	4	1	6	10
Gesamtwiderstand	630,9 K	907,8 K	410,3 K	248,0 K	386,8 K	743,1 K

2.3.2. Grundchips für den Standard - I²L-Prozess (D-ISA)

Grundchip	ID10	ID20	ID30
I ² L-Gatter	280	280	490
E/A-Stufen	2+12	10	15
Bondinseln	23	40	40
Chipgröße (mm ²)	3,2x 3,4	3,7x 4,7	3,7x 4,7

3.1.5. Gegentaktstromausgang hoher Aussteuerbarkeit

Diese Schaltung mit symmetrischem Eingang besitzt einen Stromausgang mit hoher Spannungsaussteuerfähigkeit, die nur durch die Sättigungsspannungen von T5 und T8 begrenzt wird und damit im Prinzip gleich der gesamten Speisespannung ist. Eine zusätzliche Verstärkung kann durch Wahl der Flächenverhältnisse von T3-T5 bzw. T4-T6, bzw. durch Einfügen von Emittterwiderständen in T3, T4 erreicht werden.

Dimensionierung:

$$\text{gleiche Tr. } \Delta I_B = \frac{E}{r_B} ; r_e \approx \frac{U_T}{I_C} \quad I_5 = -I_8 = I_0$$

$$\text{Aussteuerung } 0 < A < U_S$$

Ergänzt man diese Schaltung durch einen Arbeitswiderstand R_A an z. B. U_S/2, erhält man eine einfache OPV-Schaltung mit großem Eingangsspannungsbereich.

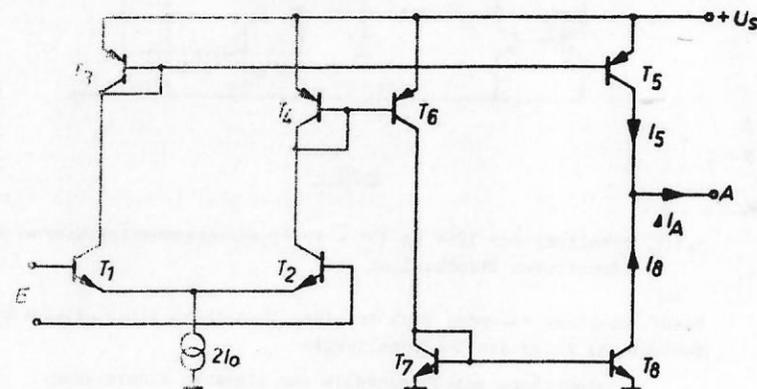


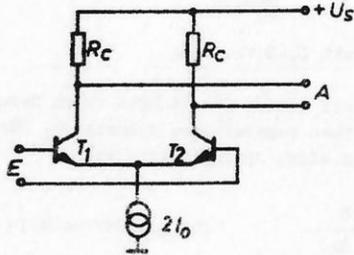
Bild 5

3.1.3. Differenzverstärker mit Kollektorarbeitswiderständen

Diese Stufe wird dort eingesetzt, wo eine Gegentaktausgangsspannung zur Weiterverarbeitung der Signale benötigt wird. Zur Erhöhung des Eingangswiderstandes können für T₁, T₂ Darlingtonttransistoren verwendet werden. Eine grobe Berechnung dieser Stufe ist mit

$$V_u = \frac{A}{E} = \frac{R_C}{r_e} \quad \text{mit} \quad r_e \approx \frac{U_T}{I_0}$$

möglich.



Stromquelle 2 I₀
z.B. Schaltung
nach Bild 1.2.

Bild 3

3.1.4. Differenzverstärker mit unsymmetrischem Gegentaktstromausgang

Diese Schaltung wird immer dann eingesetzt, wenn eine Gegentakteingangsspannung in eine unsymmetrische Ausgangsspannung bzw. einen Gegentaktstromausgang umgewandelt werden soll.

Verstärkung:

$$\Delta I_A = \frac{E}{r_e} \quad \text{bzw.} \quad V_u = \frac{A}{E} = \frac{R_C}{r_e} \quad \text{mit} \quad r_e \approx \frac{U_T}{I_0}$$

Zur Verbesserung der Ausgangssymmetrie können für T₃, T₄ auch erweiterte Stromspiegelschaltungen ähnlich Bild 2 eingesetzt werden.

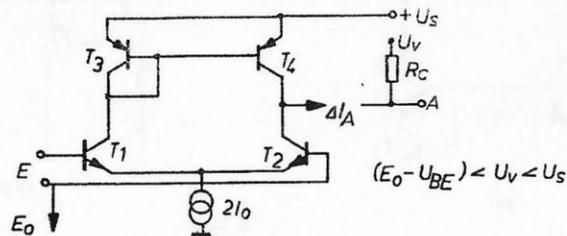


Bild 4

2.4. Integrierte Teilschaltungsanordnungen (ITSA)

Um dem Schaltungsentwickler den Aufbau und die Erprobung seiner Schaltung mit diskreten Bauelementen zu ermöglichen, deren Eigenschaften dann der späteren integrierten Anordnung möglichst nahe kommen, werden durch das HFO "Integrierte Teilschaltungsanordnungen" (ITSA) hergestellt. ITSA sind Bauelemente, bei denen durch spezielle Leitbahnführung auf den ISA-Grundchips Einzelstrukturen oder Teilschaltungen an äußere Anschlüsse herangeführt sind. Die HFO-ITSA gibt es als Einzelstruktur-Arrays (Transistoren und Widerstände) und als Funktionsblöcke (Stromquellen, Flip-Flops u. a.).

ITSA sind keine Bauelemente im Sinne von Endprodukten der Hersteller und sind auch nicht als selbständige Bauelemente verfügbar. Entsprechend ihrem Verwendungszweck wurden die ITSA keinem besonderen Selektionsverfahren unterworfen, d. h. ihre Daten liegen somit in der vollen Wertestreuung des Herstellungsprozesses. Damit wird gleichzeitig erreicht, daß für den Brettschaltungsentwurf Bauelemente mit einer möglichst natürlichen, den realen Verhältnissen auf dem Grundchip entsprechenden Werteverteilung zur Verfügung stehen. Selbstverständlich wird für jedes ITSA-Bauelement die volle Funktionsfähigkeit garantiert. Der Anwender kann HFO-ITSA zur Erfüllung seiner mit dem HFO abgestimmten Entwicklungsaufgaben beim VEB HFO beziehen.

Integrierte Teilschaltungsanordnungen der
A-Grundchips

Bezeichnung	Prozeß	Kurzbeschreibung	Gehäuse
IA 611	20 V	5 kl. npn-Transistoren	DIL 16
IA 616	20 V	2 gr. npn-Transistoren, 3 kl. npn-Transistoren	DIL 16
IA 617	20 V	4 pnp-Lateral-Transistoren, 1 pnp-Substr.-Transistor	DIL 16
IA 224	20 V	2x (0,1;0,2; 0,45;0,9;1,8) k Ohm	DIL 16
IA 225	20 V	2x (3,2;5;5;30) k Ohm	DIL 16
IA 411	36 V	5 kl. npn-Transistoren	DIL 16
IA 516	36 V	2 gr. npn-Transistoren, 3 kl. npn-Transistoren	DIL 16
IA 517	36 V	4 pnp-Lateral-Transistoren, 1 pnp-Substr.-Transistor	DIL 16
IA 424	36 V	2 (0,1;0,2; 0,45;0,9;1,8) k Ohm	DIL 16
IA 525	36 V	2 (3,6;5;5;30) k Ohm	DIL 16
IA 301	36 V	Multiplizierer, pnp-u. npn- Stromquelle	DIL 16

Integrierte Teilschaltungsanordnungen der D-Grundchips

Bezeichnung	Prozeß	Kurzbeschreibung	Gehäuse
ID 111	I ² L	5 kl. npn-Transistoren	DIL 16
ID 116	I ² L	3 mittl. npn-Transistoren	DIL 16
		2 gr. npn-Transistoren	
ID 118	I ² L	2 pnp-Lateral-Transistoren mit je 4 C	DIL 16
ID 124	I ² L	2x (0,5;1;2,5;5;10) k Ohm	DIL 16
ID 141	I ² L	I ² L-Gatter	DIL 16
ID 142	I ² L	NOR-Schaltung	DIL 16
ID 143	I ² L	2 RS-Flip-Flops	DIL 16
ID 144	I ² L	2 D-Flip-Flops	DIL 16
ID 151	I ² L	Eingangsstufen ITSA (TTL-I ² L)	DIL 16
ID 155	I ² L	Ausgangsstufen ITSA (I ² L-TTL)	DIL 16

3. Schaltungsvorschläge. Schaltungseigenschaften

Die Realisierung von Schaltungen in integrierter Technik enthält eine Reihe spezifischer Merkmale, die durch die folgenden Teilschaltungsbeispiele näher erläutert werden sollen. Die Schaltungstechnik ist vor allem durch die vorrangige Verwendung aktiver Bauelemente zum Erreichen einer bestimmten Funktion gekennzeichnet, wobei weitgehendst auf den Einsatz von Widerständen verzichtet wird. Die Gleichheit der auf einem Chip enthaltenen integrierten Strukturen ermöglicht dabei Lösungen, die eine maximale Stabilität und Reproduzierbarkeit der Schaltungsparameter gewährleisten. Die vorgestellten Teilschaltungen sind in ISA-Kundenwunschsaltungen häufig vorkommende Strukturen und sollen die Spezifik der ISA-Schaltungstechnik besser verstehen helfen. Ausführliche Parameter werden dabei nur für die ITSA-Schaltung IA 301 genannt, wobei grundsätzliche Werte (z. B. Offsetgrößen) aus den in Pkt. 2.2.-2.4. enthaltenen Angaben abgeschätzt werden können.

3.1. Schaltungsbeispiele

3.1.1. npn-/pnp-Stromquelle ohne I_B-Entlastung

Die Stromquelle liefert einen von der Belastung weitgehendst unabhängigen Ausgangsstrom I₂, wobei das Spiegelverhältnis durch die Flächen der Transistoren bestimmt werden kann. Bei gleichen Transistoren ergibt sich für die Schaltung nach Bild 1 ein Spiegelverhältnis

$$\frac{I_2}{I_1} = \frac{B}{B+1}$$

Diese einfache Schaltung erlaubt aber nur für hohe B (>50) eine genügende Genauigkeit (B = 50, I₂/I₁ = 0,98)

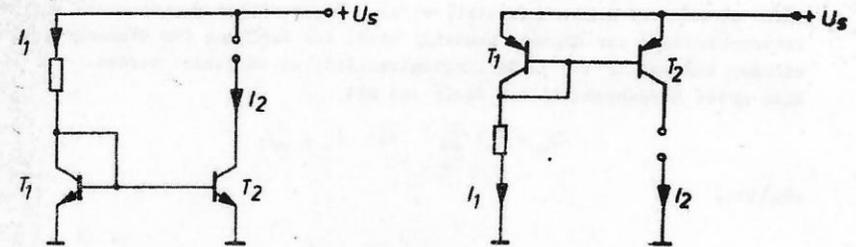


Bild 1

3.1.2. npn-/pnp-Stromquelle mit I_B-Entlastung

Die Stromentlastung erfolgt bei diesen Schaltungen durch Reduzierung des Basisstromeinflusses durch einen zusätzlichen Transistor. Für gleiche B aller Transistoren erhält man einen Spiegelfaktor von

$$\frac{I_2}{I_1} = \frac{B^2 + 2B}{B^2 + 2B + 2} \quad \text{für npn-Stromquelle}$$

$$\frac{I_2}{I_1} = \frac{B^2 + B}{B^2 + B + 2} \quad \text{für pnp-Stromquelle}$$

Damit ergeben sich beispielsweise folgende Spiegelverhältnisse:

	npn	pnp
B = 10	0,984	0,982
B = 30	0,998	0,998

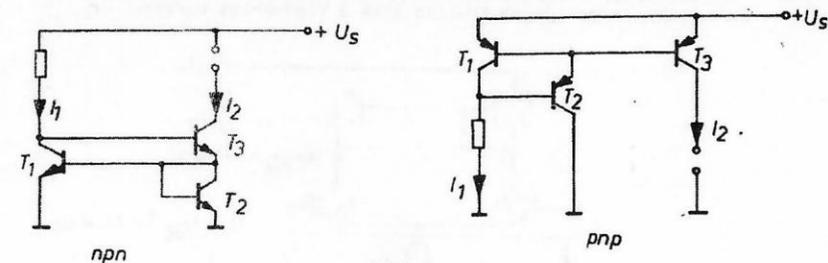


Bild 2