

Berlin, den 20. März 1983

Bericht - INT - TB 4 11/83

CSGT - 2N - Standardzellenkatalog V.3/83

Bearbeiter:

Gerd Heinz

ZFTM

Stand 8/1982

Standardentwurfsregeln CSGT 2-N (Stand 12/82)

Bez.	Beschreibung	zu- lässig	Wert [µm]	Beispiele (1 Rastereinheit = 2 µm)
A1	Breite aktive Gebiete		6	
A2	Abstand aktive Gebiete	3	4	
A3	Breite der Transistoren	7	8	
B1	Breite Poly-Si-1	5	6	
B2	Abstand Poly-Si-1	3	4	
D1	Breite Alu		8	
D2	Abstand Alu	3	4	
C1	Breite C-Fenster	3	4	
C2	Abstand C-Fenster	3	4	
AC2	C außerhalb A		4	
AC1	C innerhalb A	5	6	
BC2	C außerhalb B		4	
BC1	C innerhalb B		4	
CD1	C innerhalb D	5	6	
DE1	E innerhalb D		12	
AB4	Überlappung A-B		6	
BC3	Überlappung C-B } bei Brückenkontakt		4	
BC4	Innenabstand C-B	3	4	
AB1	Gateüberlappung	3	4	
AB2	Abstand Gate-Transistorrand	5	6	
AB3	Abstand A-B		0	
P1	Abstand Wanne-Wanne		18	
AP1	A-Gebiete innerhalb Wanne	1	2	
AP2	A-Gebiete außerhalb Wanne		10	

Ebenenfolge: A P L Q B N M(s) C D E

Darstellung: | | | | | | | |

Symbol	Bedeutung	Entw.-regel Maßeinheit	Merkmale
A1	Breite der Bahn im akt.Gebiet	7	
A2N	Kanalbreite n-k-T	7	
A2P	Kanalbreite p-k-T	7	
A3N	Abstand n*-Gebiete in 1 Wanne	4	dig. 5V
		4	dig. 15V
		4	anal. 15V
A3P	Abstand p*-Gebiete	4	dig. 5V
		4	dig. 15V
		7	anal. 15V
Z1N	Kanallänge n-k-T	6	dig. 5V
		6	dig. 15V
		8	anal. 15V
Z1P	Kanallänge p-k-T	7	dig. 5V
		9	dig. 15V
		11	anal. 15V
Z2	Breite d. Poly-I-Bahn	6	
Z3	Abstand Poly-I-Bahnen	4	
H1	Breite d. Poly-II-Bahn	6	
H2	Abstand Poly-II-Gebiete	4	
S1	Fenster	24x4	
X1	Fenster	4x4	
C1	Fenster	4x4	
Z1	Breite d. Leitbahn	8	
Z2	Abstand Leitbahnen	4	
-1	Abstand Separatorbahnen	9	U ⁺ -U ⁻ =5V
	N,O-Fenster	12	U ⁺ -U ⁻ =15V
-	P,L,G,M,N,O-Fenster	24x4	
AP1	Innenabst. n*-akt.Gebiet in Wanne	2	
AP2	Abst. p*-akt.Gebiet zu Wanne		
PL1	Innenabst. Wanne in p*-Kanalst.	3	
AL1	Abst.p*-akt.Gebiet zu p*-Kanalst.	9	U ⁺ -U ⁻ =5V
		12	U ⁺ -U ⁻ =15V
AM1	Innenabst. n-k-T in M(n*-Dotierg.)	4	
AM2	Abstand n-k-T von M(keine n*-Dot.)	4	
AN1	Innenabst. p-k-T in N(p*-Dotierg.)	4	
AN2	Abst. p-k-T von N(keine p*-Dot.)	4	
AB1	Gateüberlappung	4	
AB2	Innenabst. Gate-akt.Gebiet(Pe-Rand)	4	
AB3	Abstand akt.Gebiet-Poly I	1	
HO1	Innenabst. Poly I in O-Fenster(p*-Dot.)	3	
HO2	Abstand Poly II zu O-Fenster(p*-Dot.)	3	
AK1	kontaktkulen d. Fensters	5	
AC1	Innenabstand	5	
BC1	kontaktkulen d. Fensters	7	
BC1	Innenabstand	4	
BK2	Abst. Gate zu kontaktfenster	5	
BC2		5	
HK1	kontaktkulen d. Fensters	5	
HC1	Innenabstand	5	
CD1	Innenabst.C in J	5	

Entwurfsgel.	Bedeutung	Entwurfsgel. Abst. v. Tr.	Entwurfsgel. Bemerkungen
B6.1	Innenabst. Gate-G-Träger	3	
B6.2	Abst. G-Träger-Nachbargate	4	f. Depletion-Tr.
A6.1	Innenabst. Gate-S-Träger	2	
A6.2	Abst. G-Träger-Nachbargate	3	
Entwurfsgel.	Hilfregeln	Entwurfsgel. Abst. v. Tr.	Entwurfsgel. Bemerkungen
A4	Abst. zu separaten Wandschaltern	8	aus AH, 402 bzw. AHU/MQ
A5	Abst. n-K-T zu p-K-T	18	SV } aus AH+ZM AL1
		24	SV
A0.1	als Unterscheidung n-p-K-Tr. und n^2/p^2 -Poly (p-Träger-n ²) (001:2)	4	Innenabst. A in O
C2	gleichabständige n-p-K-Träger	7	Stegbreite

CSGT-EN - STANDARDZELLEN - KATALOG

Bezeichnung	INHALTSVERZEICHNIS	Blatt	Blatt: 1
NAME		BLATT	AUSGABE
=====	=====	=====	=====
INHALTSVERZEICHNIS	1		3/1983
ERLÄUTERUNG	1 - 5		3/1983
AN03	1 - 2		8/1982
AN04	1 - 2		8/1982
AN024	1 - 2		8/1982
DFF	1 - 2		8/1982
DFFR	1 - 2		8/1982
DFFRS	1 - 2		8/1982
DFFS	1 - 2		8/1982
DYNDFF	1 - 2		8/1982
DYNTFF	1 - 2		8/1982
DYSTFF	1 - 2		8/1982
EXNOR	1 - 2		8/1982
EXOR	1 - 2		8/1982
LFF	1 - 2		8/1982
LFFS	1 - 2		8/1982
LFFTS	1 - 2		8/1982
NA2	1 - 2		8/1982
NA3	1 - 2		8/1982
NA4	1 - 2		8/1982
NA6	1 - 2		8/1982
NEG1	1 - 2		8/1982
NEG2	1 - 2		8/1982
NGT	1 - 2		8/1982
NO2	1 - 2		8/1982
NO3	1 - 2		8/1982
NO4	1 - 2		8/1982
ONA3	1 - 2		8/1982
ONA4	1 - 2		8/1982
ONA24	1 - 2		8/1982
RSNA	1 - 2		8/1982
RSNO	1 - 2		8/1982
TM2			
TM8			
PSW			
TRIS	Tristate- Setz- sichy		
RES	Reset- sichy		
ESIA	Pin-Ang. \rightarrow Zwei DIL-Ansg mit zweier-Treiber		
ASIA	DIL-Ansg mit invert. Tristate-Treiber		
AS2S	Pin-Ansg mit invert. Tristate-Treiber		

ERLAUTERUNG! CSGT-2N - STANDARDZELLEN - KATALOG Blatt 1

1. Einführung

Das vorliegende CSGT-2N-Standardzellenkonzept ist für die Anwendung beim rationalen Entwurf digitaler CMOS-Schaltkreise vorgesehen. Es bietet die Möglichkeit, mittels eines Schaltungskataloges mit fest vorsezogenen "Standardzellen" die gewünschte Schaltung ähnlich einem Logikbaustein aufzubauen und zu verdrahten. Dabei muss sich der Anwender nicht mit dem Entwurf der Zellen beschäftigen, sondern kann sich völlig auf den Entwurf der Verdrahtung konzentrieren. Diese erfolgt innerhalb eines Verdrahtungskanals, in den die Ein- und Ausgänge der Standardzellen in einem fest vorgeschriebenen Raster hineinrinnen. Die Ausführung der Verdrahtung kann entweder mit Hand erfolgen oder mit Hilfe von Rechnerprogrammen vorgenommen werden; die jedoch nicht Gegenstand dieser Beschreibung sind.

2. Anwendung des Standardzellenkonzeptes

1. Entwurf vollständiger Schaltkreise auf Kundenwunschbasis Der Entwurf kann bei Vorhandensein entsprechender technischer Voraussetzungen vom Anwender selbst vorgenommen werden.
2. Rationalisierungsmittel im Entwurf von Logikteilen bei MSI- und LSI-Schaltkreisen in den Entwurfsteilungen des ZFTM

Prinzipien der Anwendung:

1. Das Layout der Zellen ist für den Anwender fest vorgesehen und durch ihn nicht zu verändern.
2. Neue Standardzellen können vom Anwender auf Grundlage der geltenden Entwurfsregeln der CSGT-2N-Technologie entworfen werden. Sie dürfen aber erst nach Abstimmung mit dem Herausgeber und Aufnahme in den Katalog verwendet werden.
3. Für technologische Sonderstrukturen (z.B. Marken, usw.) ist der Herausgeber zuständig. Derartige Strukturen sind nicht Inhalt des Kataloges.
4. Der Katalog unterliegt einem Änderungsdienst, der durch den Herausgeber wahrgenommen wird.

3. Allgemeiner Aufbau der Standardzellen

Den Standardzellen der CSGT-2N-Technologie wurde ein 16 um-Raster zugrunde gelegt, d.h. die Anschlüsse der Zellen ragen in diesem Abstand in den Verdrahtungskanal. Sie sind ausschließlich in Poly-Silizium ausgelegt. Dabei müssen nicht alle möglichen Anschlusspositionen der Zellen besetzt sein.
Bei Flip-Flops bestehen zusätzlich in der Aluminiumebene ausgeführte Anschlüsse zur zeilenweisen direkten Zusammenschaltung.

Die Standardzellen können eine unterschiedliche Höhe (innerhalb des 16 um-Rasters) besitzen. Gewählt wurden für Logikgatter : 128 um
Flip-Flops u.s. : 160 um
Die Leiste der Zellen ist ebenfalls variabel, aber trotzdem an das 16 um-Raster gebunden.

ERLÄUTERUNG: CSOT-2N - STANDARDZELLEN - KATALOG

Blatt: 2

Die Zellen sind so entworfen, dass keine Wannen- bzw. Substratkontakte vorhanden sind. Bei Verwendung mehrerer Verdrehungskanäle werden die Zellen der nächsten Zeile um 180 Grad gedreht bzw. an der X-Achse gespiegelt, sodass die n-Kanal-Transistoren zueinander zeigen. Der Zwischenraum dient zur Kontaktierung der p-Wanne und beträgt 16 um. In den Zellen sind die Ebenen 2,3,5,15,13 nicht enthalten, sie werden nach Fertigstellung des Gesamtlayout erzeugt.

4. Verdrehung im Kanal:

Die Verdrehung der Standardzellen kann von Hand vorgenommen werden oder mit Hilfe von Rechnerprogrammen erfolgen. Bei Handverdrehung sollten folgende Grundregeln beachtet werden:

1. Längsverdrehung im Kanal wird in der Aluminium-Ebene vorgenommen.
2. Die Anschlüsse der Standardzellen werden in der Poly-Silizium-Ebene bis zur Aluminiumleitbahn geführt.

Damit ist eine übersichtliche Führung der Signalleitungen, weitgehende Minimierung der parasitären Leitbahnkapazitäten und der Leitbahnwiderstände bei langen Leitungen gewährleistet.

Entwurfsregeln im Kanal:

C1	Kontaktfenster	4 um x 4 um
BC1	Abstand C-Fenster innerhalb Poly-Si	4 um
CD1	Abstand C-Fenster innerhalb Alu	4 um
B1	Breite Poly-Bahn	8 um
B2	Abstand Poly-Si	4 um
D1	Breite Alu-Bahn	12 um
D2	Abstand Alu-Bahn	4 um

Hilfsmittel für die Layoutarbeit:

Zur Vereinfachung der Layout- und Verdrehungsarbeit sind folgende Hilfen vorsehen:

1. In der Ebene 90 ist ein layoutbezogenes Logiksymbol mit Bezeichnungen vorhanden.
2. In der Ebene 91 kann die Beschriftung der Signale erfolgen.

Beide Ebenen sind unter Verwendung eines 0,1 um-Rasters entworfen.

Das Layout selbst braucht während der Verdrehung nicht berücksichtigt werden.

ERLÄUTERUNG: CSGT-2N - STANDARDZELLEN - KATALOG , Blatt 3

- Bezeichnung:
- eindeutige Bezeichnung der Standardzelle
 - besteht aus maximal sechs Buchstaben oder Ziffern
 - durchgehende Numerierung der Blattzahl je Zelle

Beschreibung:

- verbale Beschreibung der logischen Funktion der Standardzelle
- Angabe der wichtigsten Besonderheiten (z.B. Schaltflanken bei Flip-Flops, Hinweise zur Verdrahtung usw.)

Transistor-
dimensionierung:

- Angabe der im Layout verwendeten Transistorbreite fuer alle N- und P-Kanal-Transistoren
- durchgehende Numerierung der Transistoren (z.B. N1 bis N12, P13 bis P24)
- Kanallaenge, seltig fuer alle Standardzellen

N-Kanal : 6 um
P-Kanal : 6 um

Transistorplant

- Schaltung der vollständigen Standardzelle
- Bezeichnungen der Transistoren entsprechen den in der Transistordimensionierung angegebenen
- zusätzliche Kennzeichnung der P-Kanal-Transistoren durch einen Punkt
- Numerierung der internen Knoten

ERLÄUTERUNG: CSGT-2N - STANDARDZELLEN - KATALOG Blatt: 4

Bezeichnung:

Blatt:

Logiksymbol:

- Rahmen des Logiksymbols maßstäblich zum Zellenlayout
- eindeutige Zuordnung der Anschlussbelegung am Zeilenrand
- Anwendung im Verdrahtungsentwurf

! Lage der Anschlüsse:

- ! - 0-1-Zahlenfolge
- ! - kennzeichnet Anschlusspositionen im Raster
- ! 0 kein Anschluss
- ! 1 Anschluss

! Logikgleichung:

- ! - beschreibt logische Funktion der Gatter

Layout Fläche: X x Y Maßstab: 1000:1 für Y=128 um
Anschlüsse: 500:1 für Y=160 um

- Bezeichnung der Anschlüsse am Layout

Linienarten im Layout:

EBENE	LA	LB	TON	technologische Bedeutung	Ebenenzuordnung	
					TOPE	KAP
1 A	6	3	0	aktives Gebiet	A	1
2 P	8	3	0	P-Wanne	P	2
3 L	7	1	0	P+Kanalstopper	L	3
13 Q	1	1	0	P+Kanalstopper	Q	13
4 R	1	3	0	Polysilizium	B	4
5 S	2	3	0	n+-Source/Drain	M	5
15 T	4	1	0	p+-Source/Drain	N	15
6 U	1	1	0	Kontaktfenster	C	6
7 V	1	1	2	Alu-Leitbahn	D	7
8 W	8	1	0	Passivierung	E	8
41 B-Kanal	3	0		Hilfsebenen für die Verdrahtung		
61 C-Kanal	1	0		Polysilizium im Kanal		41
71 D-Kanal	1	2		Kontaktfenster im Kanal		61
91 Signale	1	0		Alu-Leitbahn im Kanal		71
90 Logikgrd	1	0		Beschriftung der Signale		91
				Logiksymbol		90

- Bemerkungen:
- die Ebenen 2,3,5,15 sind nicht in den Standardzellen enthalten; sie werden nach der Logikverdrahtung als Gesamtheit entworfen
 - die Ebene 8 kommt in den Standardzellen nicht vor
 - die Ebene 13 wird aus der Ebene 3 generiert
 - die Ebenen 41, 61 und 71 werden nach Entwurfschluss zu den entsprechenden Grundebenen addiert

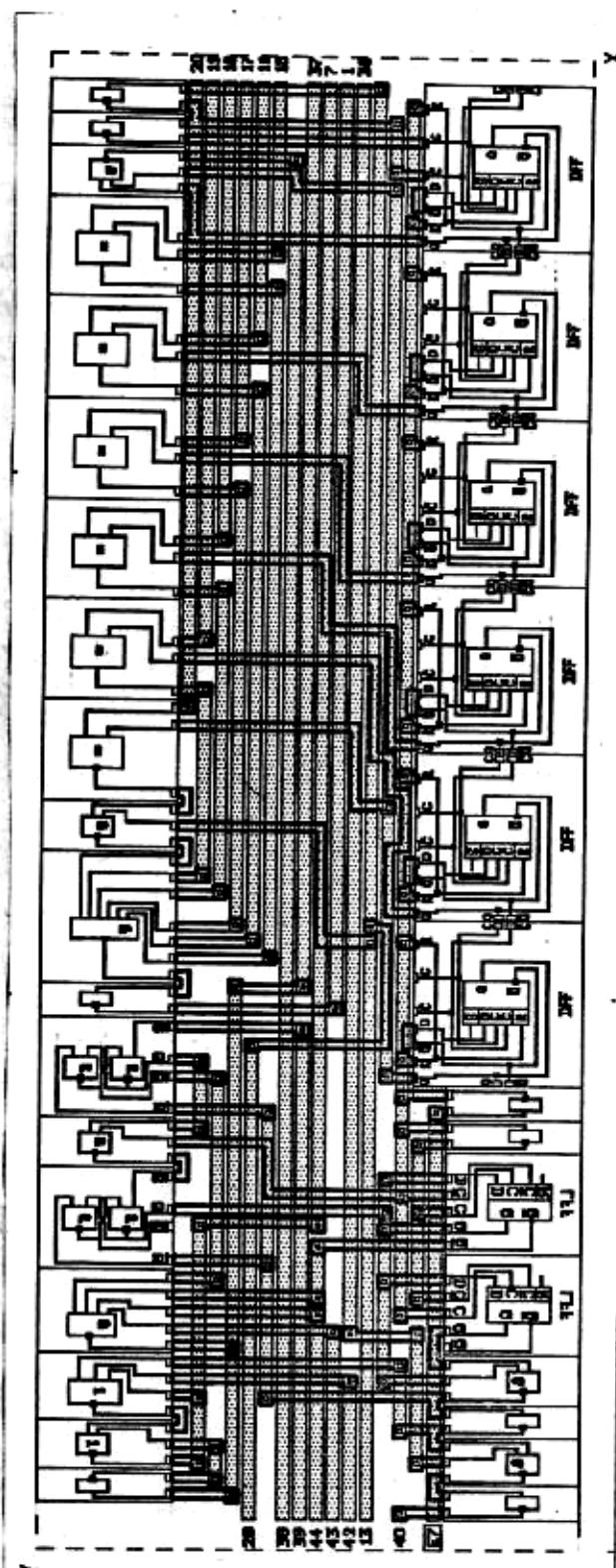
ERLÄUTERUNG: CSGT-2N - STANDARDZELLEN - KATALOG

Blatt 5

Bezeichnung:

LAYOUTBEISPIEL

- Hinweise:
- Darstellung der Ebenen 41,61,71,90,91 (s.v.)
 - Standardzellen nur als Logiksymbol dargestellt
 - Kennzeichnung der Signale im Verdrahtungskanal möglich
 - Beispiel im Maßstab 140 : 1

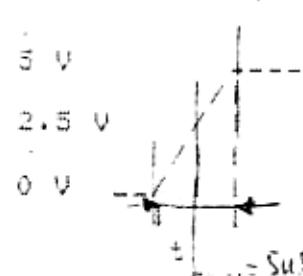


ERLAEUTERUNG: CGOT-2R - STANDARDZELLEN - KATALOG Blatt: 14

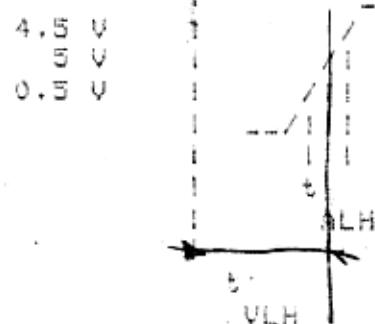
Dynamisches Verhalten der Standardzellen

Signalformen:

Eingangssignal



Ausgangssignal



Anstiegszeit des Eingangsimpulses $t_{ELH} \rightarrow t_{EHL} = 5 \text{ ns}$

$$t_{ELH} \rightarrow t_{EHL}$$

Verzögerungszeit des Ausgangsimpulses $t_{VLH} \rightarrow t_{VHL}$

$$t_{VLH} \rightarrow t_{VHL}$$

Anstiegszeit des Ausgangsimpulses $t_{ALH} \rightarrow t_{AHL}$

$$t_{ALH} \rightarrow t_{AHL}$$

Für die Verzögerungs- und Anstiegszeiten gilt:

$$t/\text{ns} = a + b * C / \mu\text{F}$$

L

Richtwerte für die Leitkapazität C sind:

L

- Alu - Leitbahn der Leende 1 mm (Breite $\frac{1}{12}$ mm) $= 0.3 \text{ pF}$ ✓
- Poly - Leitbahn der Leende 0,2 mm (Breite $\frac{1}{12}$ mm) $= 0.1 \text{ pF}$ ✓
- Flasche nt - Gebiet von 1000 nm ≈ 2 $= 0.35 \text{ pF}$
- Flasche pt - Gebiet Von 1000 nm ≈ 2 $= 0.25 \text{ pF}$

$$t_V = a + b \cdot C_L$$

ESL-ABUTTERUNG! CSGT-28 + STABILISIERZELLEN 3 KALIUM

- 10 -

Zellen	t VHL		t VLH		t AHL		t ALH		Berkunden
	t s	t b.	t s	t b.	t s	t b.	t s	t b.	
NEG1	1.6	1.8	1.9	3.1	2.2	3.5	3.3	6.9	E = 0.32 pF
NEG2	0.7	1.0	1.5	1.4	1.8	1.4	1.8	3.2	E = 0.53 pF
NGT	1.5	3.5	2.5	6.1	2.6	6.8	4.8	13.9	E = 0.28 pF
ES1	0.7	0.7	3.9	5.2	2.4	0.9	7.5	11.9	E = 0.46 pF
AS1	1.3	0.11	2.0	0.3	1.9	0.21	3.4	0.7	E = 3.45 pF
NA2	2.1	3.4	2.5	3.0	4.2	6.8	4.0	7.0	E = 0.31 pF
NA3	2.5	5.0	2.5	3.0	5.7	10.11	4.0	7.0	E = 0.32 pF
NA4	2.9	4.6	2.3	2.9	8.0	13.2	4.0	6.6	E = 0.31 pF
NA6	6.5	9.6	3.4	3.1	18.9	20.4	6.8	6.9	E = 0.32 pF
N02	1.3	1.7	2.6	6.1	2.1	3.5	6.0	13.8	E = 0.32 pF
N03	1.5	2.1	5.0	9.1	2.9	3.4	12.1	20.6	E = 0.32 pF
N04	2.0	1.5	6.3	12.4	4.0	2.5	110.5	28.5	E = 0.31 pF
AN03	2.8	3.1	5.1	6.2	4.3	6.9	6.7	14.0	E = 0.35 pF
AN04	3.0	4.0	9.5	9.4	6.0	7.0	12.9	20.7	E = 0.33 pF
AN024	3.0	3.5	6.6	6.3	5.5	7.0	9.3	13.5	E = 0.31 pF
ONA3	2.5	3.5	5.1	6.3	3.8	6.9	8.0	14.0	E = 0.36 pF
ONA4	4.0	5.0	5.6	6.3	7.0	10.0	10.8	13.9	E = 0.33 pF
ONA24	3.0	3.5	6.2	6.3	4.5	6.9	9.6	14.0	E = 0.32 pF
EXOR	2.5	7.5	5.6	6.5	4.5	7.0	7.8	14.5	E = 0.53 pF
EXNOR	2.5	3.5	6.0	7.5	4.4	6.9	9.4	15.9	E = 0.54 pF
RSNA	7.5	3.5	3.4	3.1	5.8	6.7	6.2	5.2	E = 0.31 pF
RSNO	2.5	1.8	5.8	6.2	3.5	3.0	9.0	13.9	E = 0.33 pF
LFF	9.6	2.3	7.6	5.3	4.5	3.6	7.3	11.8	D = 0.26 pF
LFF	3.0	4.5	5.5	7.5	5.9	8.2	11.2	17.0	DN = ausgesen
LFFTS	10.0	6.5	9.7	12.1	5.6	10.1	10.0	23.0	D = 0.26 pF
IC=H,CE=H									D = 0.22 pF
CE=L/H									DE = 0.07 pF
LFFTS	2.1	4.5	5.6	11.7	2.8	9.3	9.1	11.5	

ERLÄUTERUNG: CACT-2N = STANDARDFOLIE = KATALOG

DRAFT

Zellen	t VHL	t VLH	t AHL	t ALH	Berkunden
	s + b	s + b'	s + b	s + b	
LFFB	9.1 3.6	3.7 5.2	5.4 6.2	3.3 11.9	D = 0.26 pF
SN = H					C = 0.22 pF
LFFB	--	3.5 4.6	--	5.4 10.6	SN = 0.23 pF
SN=H/L					
DFF	19.3 3.1	8.9 4.2	8.6 3.7	4.8 10.5	D = 0.1 pF
					C = 0.2 pF
DFF	14.5 9.0	17.1 25.6	12.0 16.0	35.0 52.0	QN - Aussand
DFFR	19.2 3.1	11.5 8.0	9.5 3.8	11.6 17.3	D = 0.1 pF
R = L					C = 0.2 pF
DFFR	4.5 8.5	16.7 23.7	11.1 16.6	36.0 56.0	QN - Aussand
R = L					
DFFR	1.6 1.8	17.7 25.6	3.7 2.9	32.4 56.9	HL = Q - Aussand
R=L/H					LH = QN- Aussand
DFFR1	11.9 2.2	7.9 6.2	6.9 2.9	8.8 17.4	D = 0.19 pF
R = L					C = 0.25 pF
DFFR1	2.5 4.5	9.1 12.1	7.0 8.0	19.4 26.9	QN - Aussand
R = L					
DFFR1	1.5 1.5	11.5 12.5	2.9 2.4	19.5 26.7	HL = Q - Aussand
R=L/H					LH = QN- Aussand
DFFS	20.1 4.0	9.8 3.5	9.5 6.5	7.0 7.2	D = 0.1 pF
S = H					C = 0.2 pF
					SN = 0.49 pF
DFFS	5.0 8.5	16.7 25.6	11.0 17.0	36.0 57.0	QN - Aussand.
S = H					
DFFS	9.0 8.5	3.2 2.8	10.7 15.7	6.4 4.3	HL = QN- Aussand
S=H/L					LH = Q - Aussand
DFFRS	16.9 4.1	12.5 8.0	10.0 6.0	13.0 17.0	D = 0.1 pF
R,SN=L,H					C = 0.2 pF
					R,SN = 0.55 pF
DFFRS	4.5 3.0	13.5 25.0	9.0 17.0	29.0 56.0	QN - Aussand
R,SN=L,H					
DFFRS	2.0 3.5	2.6 3.3	4.5 5.6	7.4 5.6	Q - Aussand
R,SN=L/H					
DFFRS	11.5 9.0	15.5 25.6	9.9 16.4	28.0 56.0	QN - Aussand
R,SN=L/H					
DYSTFF	2.4 3.5	6.0 6.9	4.6 7.0	10.7 19.1	C = 0.26 pF
DYSTFF	7.9 2.2	5.1 3.3	4.2 2.8	5.0 7.2	QN - Aussand
DYNBFF	5.5 9.0	14.5 33.0	12.0 18.0	37.0 62.0	D = 0.01 pF
					C = 0.15 pF
DYNBFF	19.3 3.1	9.2 4.1	8.6 3.8	5.8 8.4	QN - Aussand

ZFT Mikroelektronik
Dresden

8/1980

CSGT-2N - STANDARDZELLEN - KATALOG

Rezeichnung: NEG1

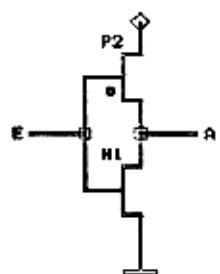
Blatt: 1

Beschreibung: Nessler

Transistor-
dimensionierung: $N1 = 38 \mu m$

$P2 = 62 \mu m$

Transistorplant



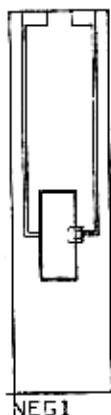
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NEGI

Blatt: 2

Logiksymbol:



! Lage der Anschluesse:

L 1

! Logikgleichung:

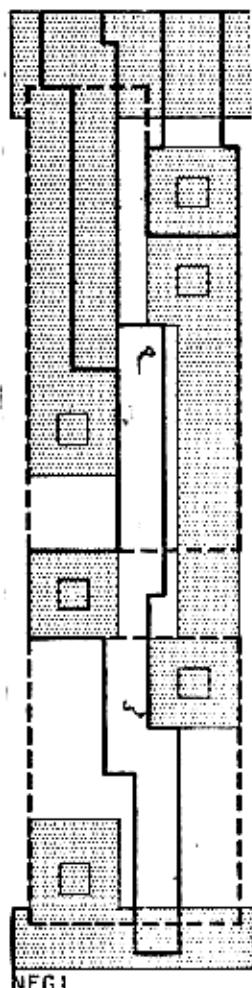
$$\bar{A} = E$$

Layout Flaeche: 32 x 128 um**2

Maßstab: 1000 : 1

Anschluesse:

A6y
E A



CGGT-2N - STANDARDZELLEN - KATALOG

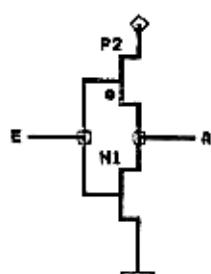
Bezeichnung: NEG2

Seite: 1

Beschreibung: N-Mesistor aus zwei parallellgeschalteten
Einfachmesistoren

Transistor-
dimensionierung:
 $N1 = 76 \mu m$
 $P2 = 124 \mu m$

Transistorplan:



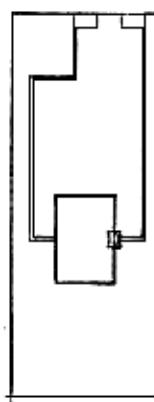
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NEG2

Blatt: 2

Logiksymbol:



Lage der Anschluessel:

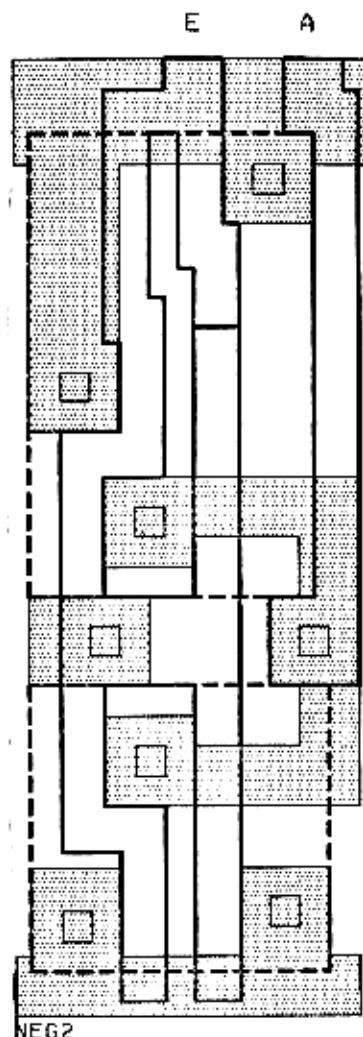
0 1 1

Logikgleichung:

$$\bar{A} = E$$

Layout Flaeche: 48 x 128 umk*2 Maßstab: 1000 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: NGT

Blatt: 1

Beschreibung: getakteter Inverter

Taktung durch C und \bar{C}

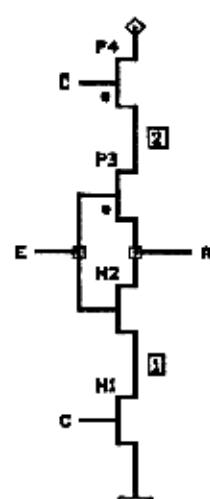
Transistor-
dimensionierung:

N1 = 38 μm P3 = 62 μm

N2 = 38 μm P4 = 62 μm



Transistorplan:



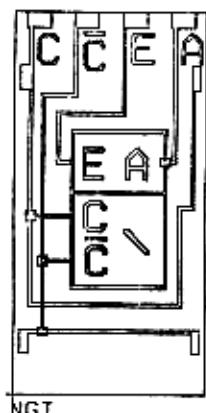
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NGT

Blatt: 2

Logiksymbol:



Leser der
Anschluessel:

1 1 1 1

Logikgleichung:

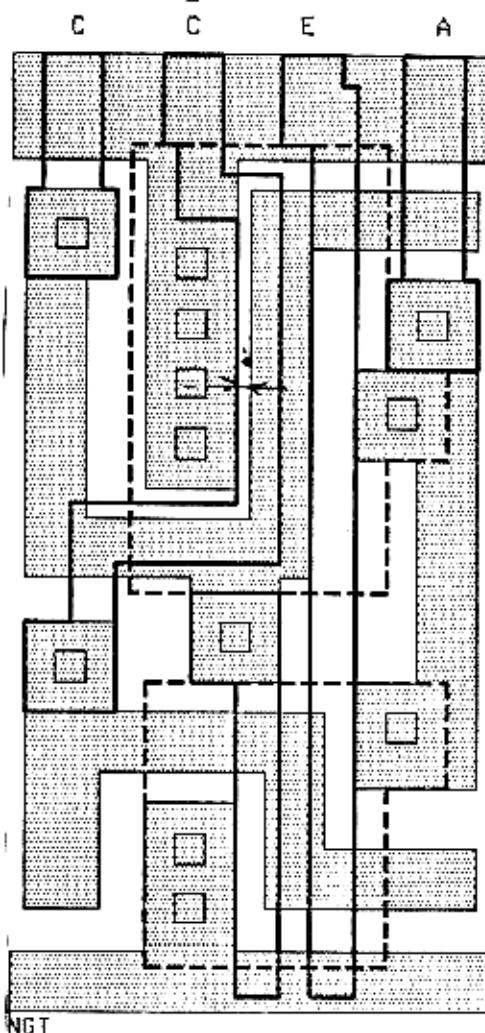
$$\bar{A} = E$$

fuer C = H

Layout Flaeche: 64 x 128 umk²

Masstab: 1000 : 1

Anschluessel:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: NA2

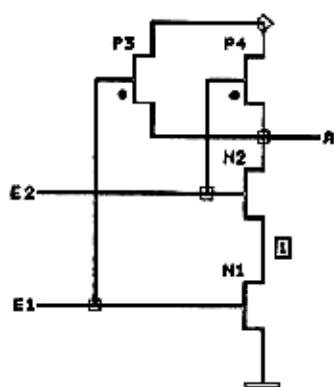
Blatt 1

Beschreibung: NAND mit 2 Eingängen

Transistor-

Dimensionierung: N1 = 38 µm P3 = 62 µm
N2 = 38 µm P4 = 62 µm

Transistorplätt



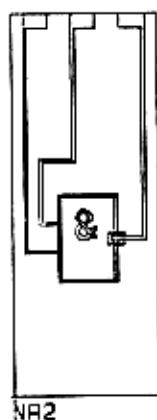
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NA2

Blatt: 2

Logiksymbol:



Leiste der
Anschluesse:

1 1 1

Logikleistung:

$$\bar{A} = E_1 \cdot E_2$$

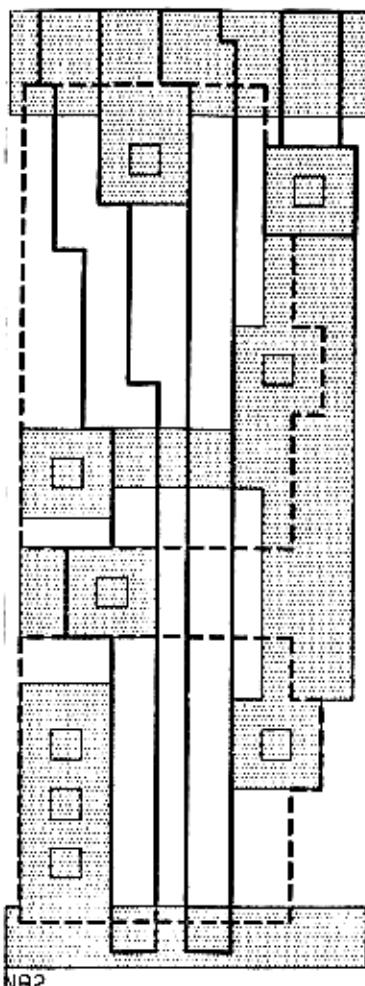
Layout

Flaeche: 48 x 128 um²

Masstab: 1000 : 1

Anschluesse:

E1 E2 A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: NA3

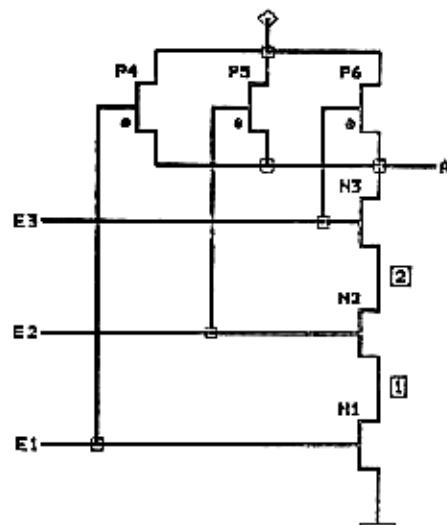
Blaett: 1

Beschreibung: NAND mit 3 Eingaessen

Transistor-
dimensionierung:

N1	= 38 um	P4	= 62 um
N2	= 38 um	P5	= 62 um
N3	= 38 um	P6	= 62 um

Transistorplant:



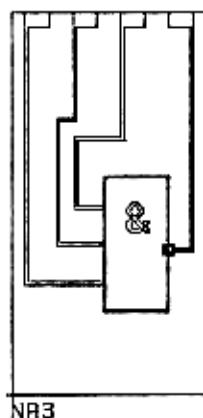
C3GT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NA3

Blatt: 2

Logiksymbol:



NR3

Liste der
Anschlüsse:

1 1 1 1

Logikschicht:

$$A = E_1 * E_2 * E_3$$

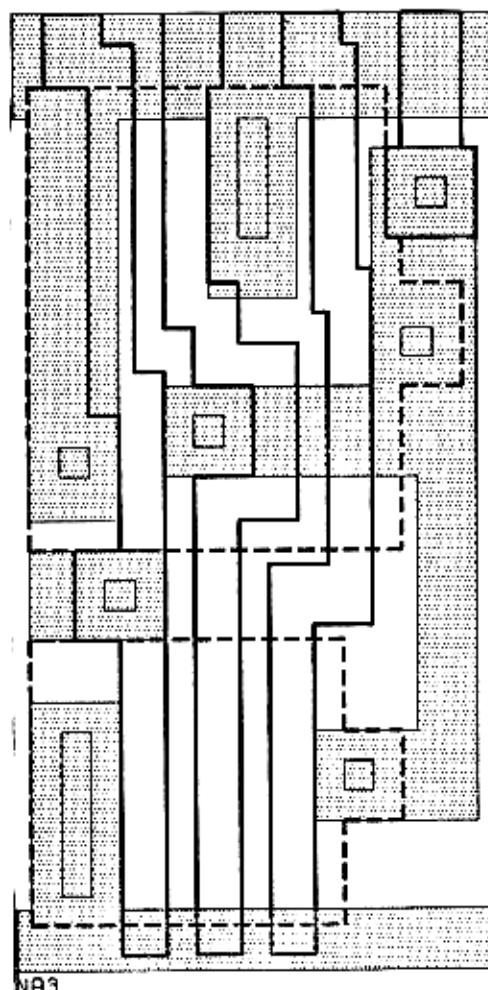
Layout

Fläche: 64 x 128 μm^2

Maßstab: 1000 : 1

Anschlüsse:

E1 E2 E3 A



CGGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: NA4

Blatt: 1

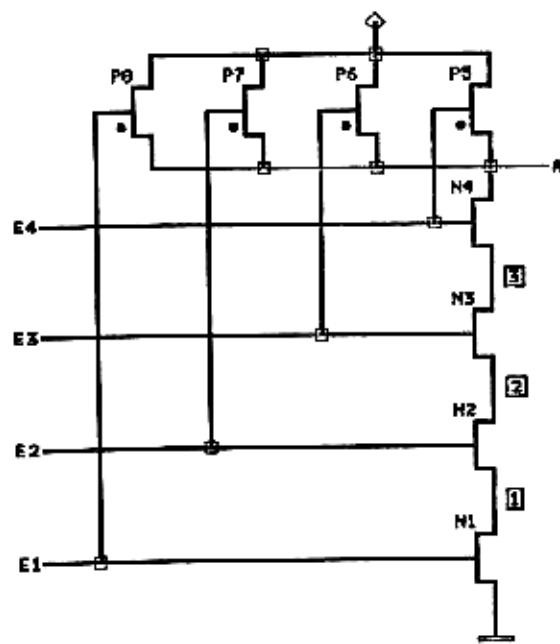
Beschreibung: NAND mit 4 Eingängen

Transistor-

dimensionierung:

N1	= 38	µm	P5	= 62	µm
N2	= 38	µm	P6	= 62	µm
N3	= 38	µm	P7	= 62	µm
N4	= 38	µm	P8	= 62	µm

Transistorplan:



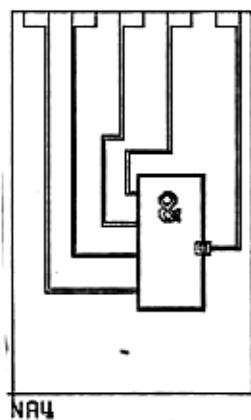
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NA4

Blatt: 2

Logiksymbol:



! Lage der
Anschluessel!

! 1 1 1 1 1

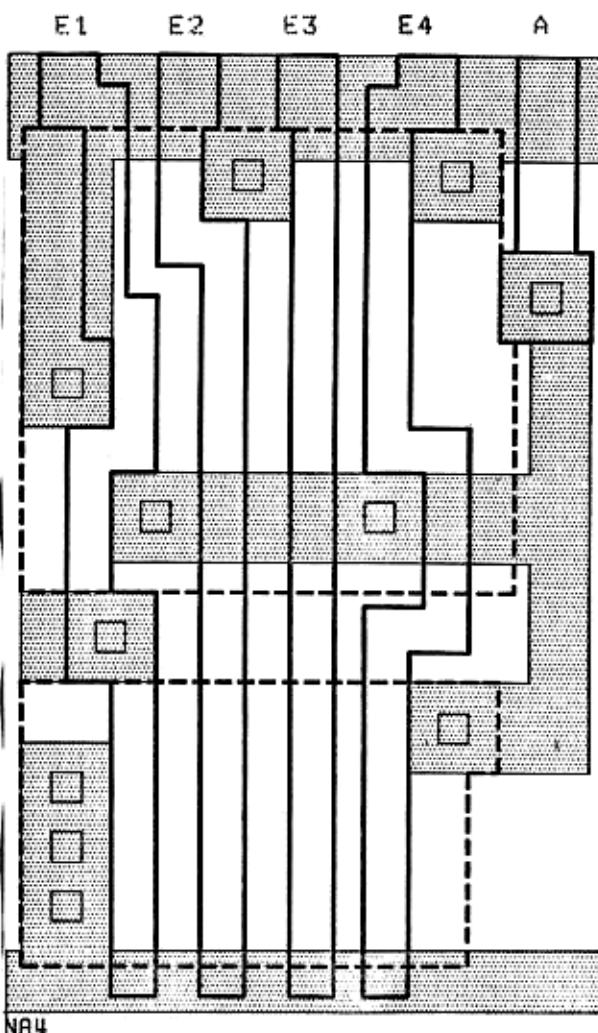
! Logikgleichung!

$$A = E1 * E2 * E3 * E4$$

Layout Flaeche: 80 x 128 um**2

Maessstab: 1000 : 1

Anschluessel:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: NA6

Blatt: 1

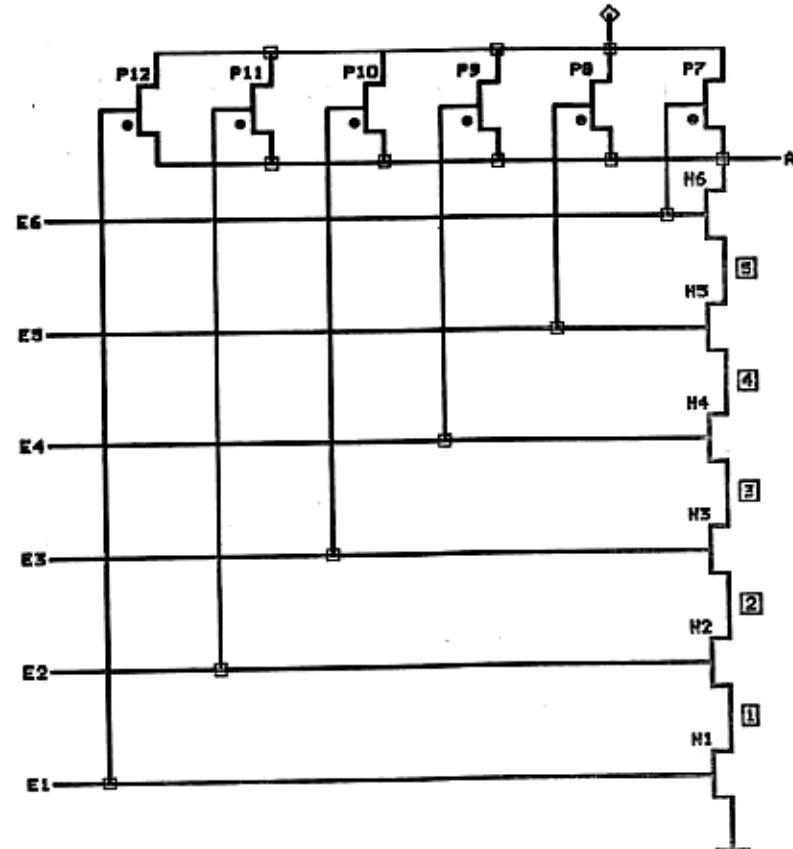
Beschreibung: NAND mit 6 Eingängen

(Das Layout wurde aus 2 NA3 erstellt)

Transistor-
dimensionierung:

N1	= 38 um	P7	= 62 um
N2	= 38 um	P8	= 62 um
N3	= 38 um	P9	= 62 um
N4	= 38 um	P10	= 62 um
N5	= 38 um	P11	= 62 um
N6	= 38 um	P12	= 62 um

Transistorplant:



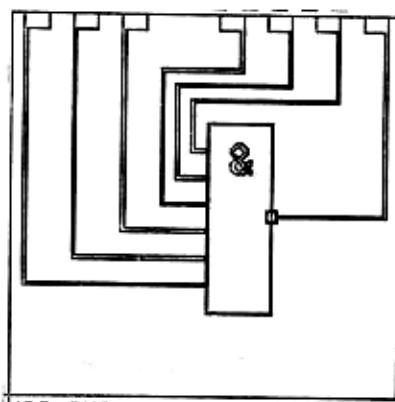
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

NA6

Blatt: 2

Logiksymbol:



NA6.PNG

Lage der
Anschluesse:

1 1 1 0 1 1 1 1

Logikgleichung:

$$A = E_1 \vee E_2 \vee E_3 \vee E_4 \vee$$

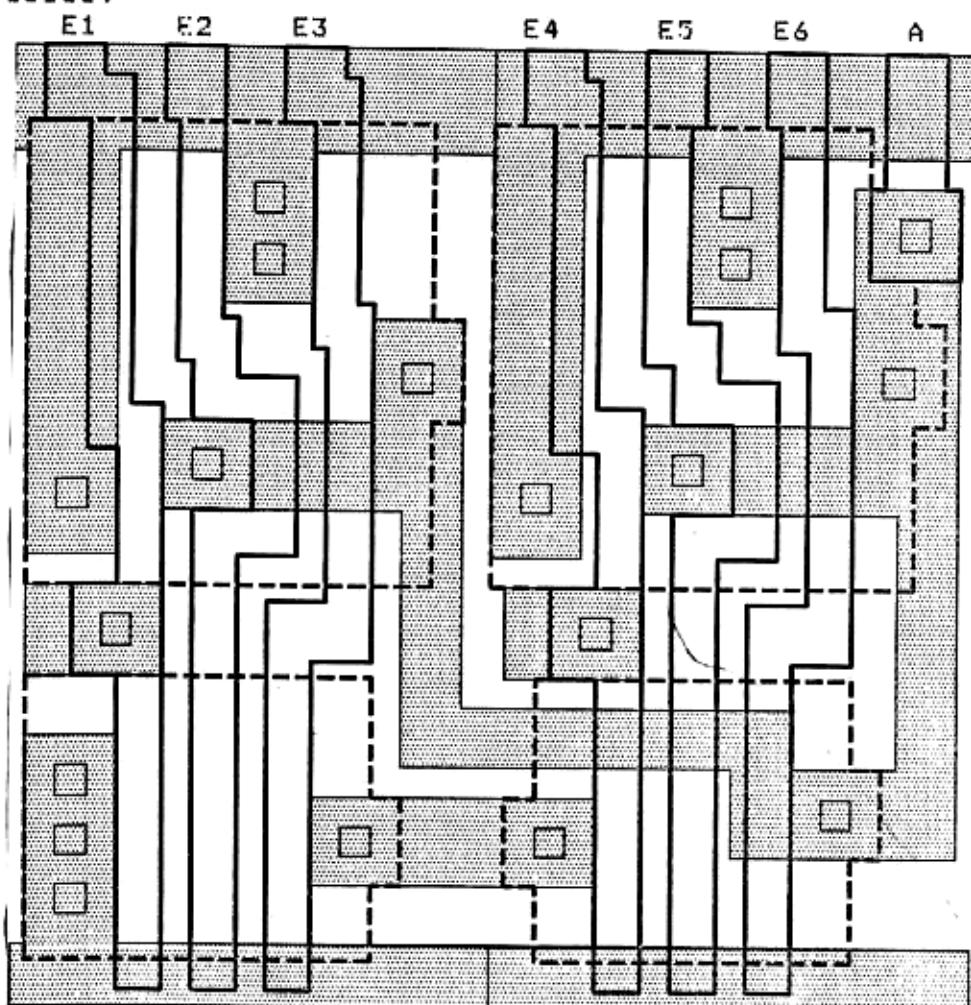
$$E_5 \vee E_6$$

Layout

Flaeche: 128 x 128 μm^2

Maßstab: 1000 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: N02

Blatt: 1

Beschreibung: NOR mit 2 Eingängen

Transistor-

dimensionierung:

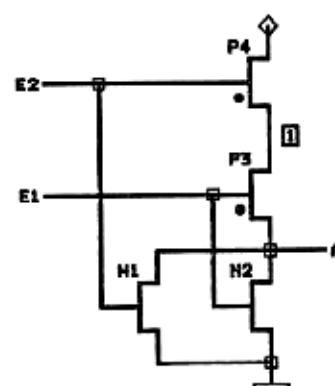
N1 = 38 µm

P3 = 62 µm

N2 = 38 µm

P4 = 62 µm

Transistorplan:



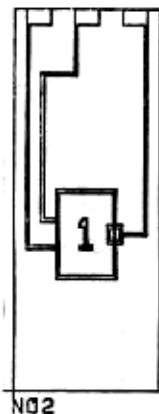
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

N02

Blatt: 2

Logiksymbol:



! Lage der
Anschluesse:

1 1 1

! Logikgleichung:

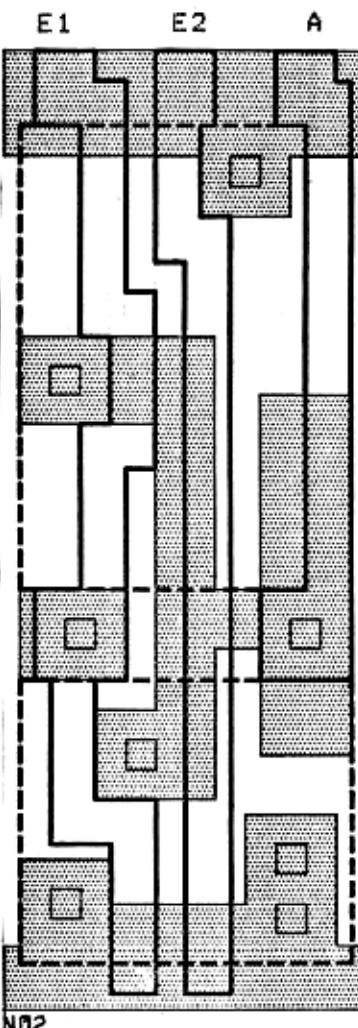
$$A = E1 \vee E2$$

Layout

Flaeche: 48 x 128 um**2

Masstab: 1000 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: N03

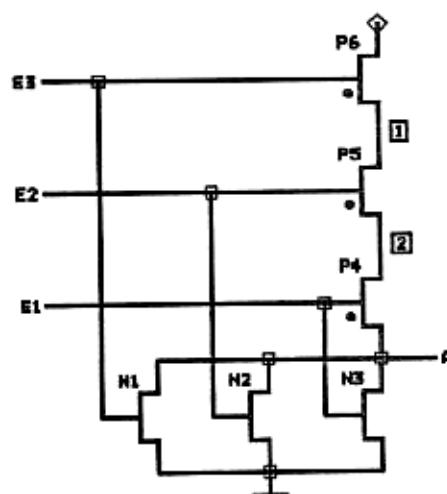
Blatt 1

Beschreibung: NOR mit 3 Eingängen

Transistor-
dimensionierung:

N1 = 38 um	P4 = 62 um
N2 = 38 um	P5 = 62 um
N3 = 38 um	P6 = 62 um

Transistorplan:



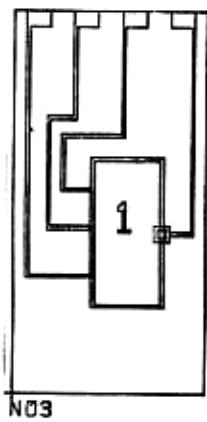
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

N03

Blatt: 2

Logiksymbol:



Lage der
Anschlüsse:

1 1 1 1

Logikgleichung:

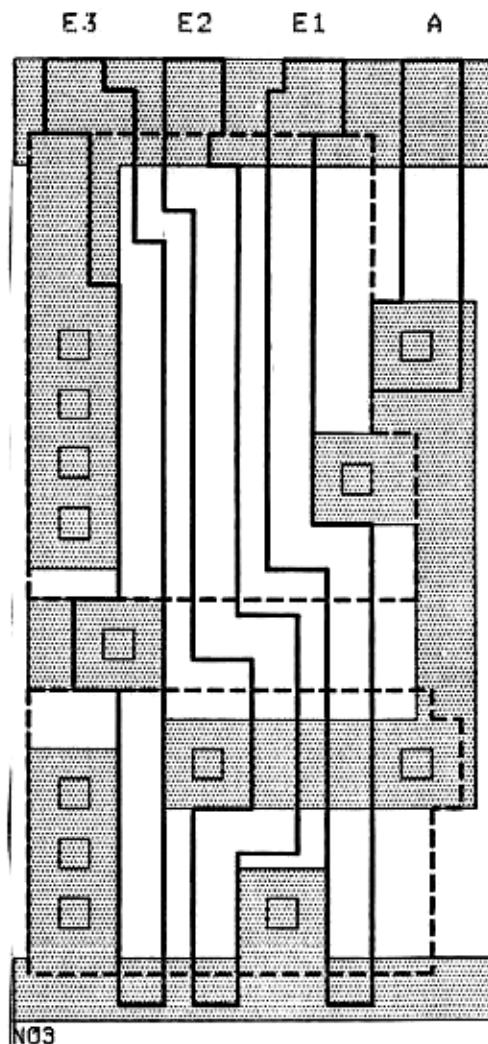
$$\bar{A} = E_1 \vee E_2 \vee E_3$$

Layout

Fläche: 64 x 128 μm^2

Masstab: 1000 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

N04

Blatt: 1

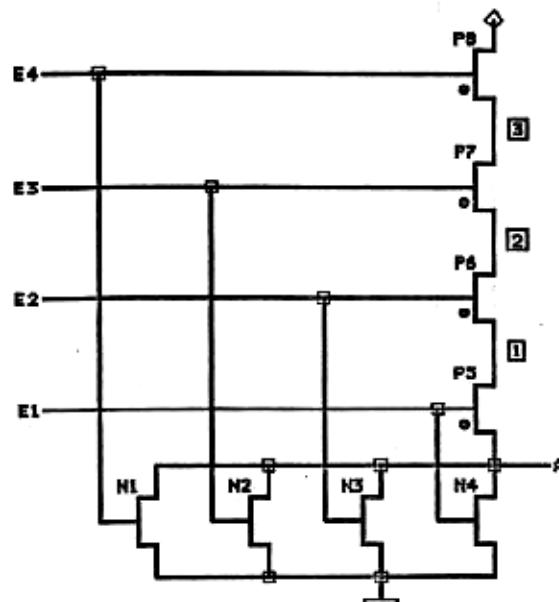
Beschreibung: NOR mit 4 Eingängen

Transistor-

dimensionierung:

N1	= 38 um	P5	= 62 um
N2	= 38 um	P6	= 62 um
N3	= 38 um	P7	= 62 um
N4	= 38 um	P8	= 62 um

Transistorplan:



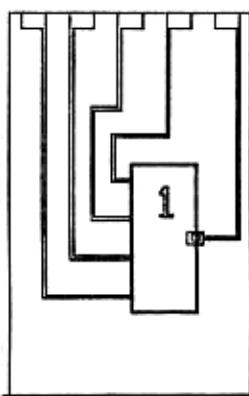
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

N04

Blatt: 2

Logiksymbol:



N04

Lese der
Anschluessel:

1 1 1 1 1

Logiksleichung:

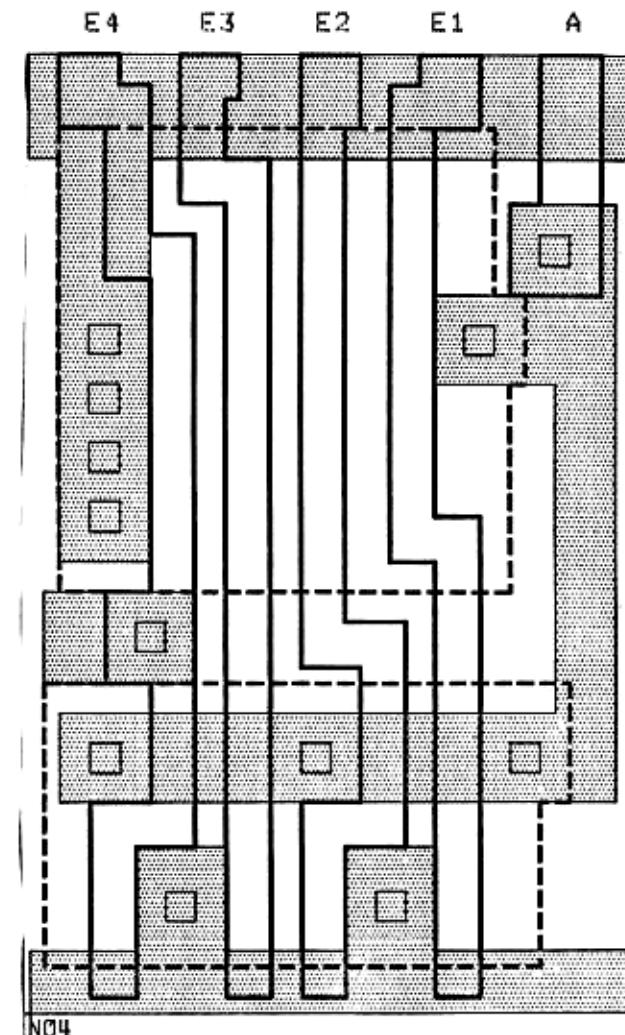
$$A = E1 \vee E2 \vee E3 \vee E4$$

Layout

Flaeche: 80 x 128 um**2

Masstab: 1000 : 1

Anschluessel:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: AN03

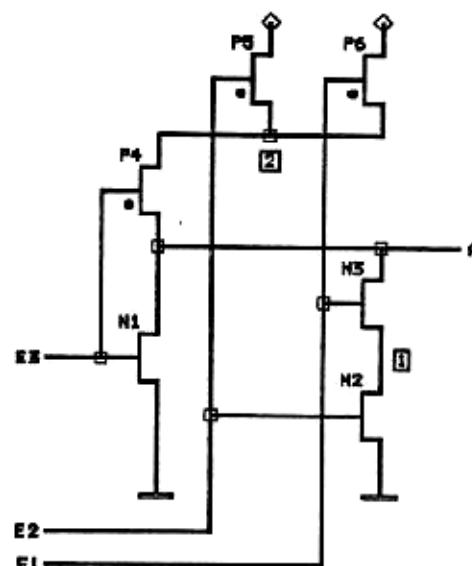
Blatt 1

Beschreibung: Kombinatorische Schaltung aus einer AND-Verknüpfung mit 2 Eingängen ($E_1 \cdot E_2$), die mit dem Eingang E_3 eine NOR-Verknüpfung bildet.

Transistor-
dimensionierung:

$N_1 = 38 \mu m$	$P_4 = 62 \mu m$
$N_2 = 38 \mu m$	$P_5 = 62 \mu m$
$N_3 = 38 \mu m$	$P_6 = 62 \mu m$

Transistorplan:



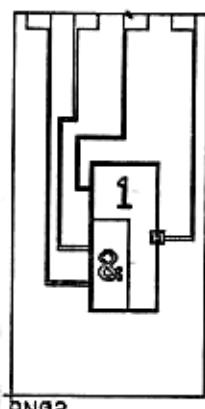
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

AN03

Blatt: 2

Logiksymbol:



Lage der
Anschluesse:

1 1 1 1

Logikgleichung:

$$\bar{A} = (\bar{E}_1 * \bar{E}_2) \vee \bar{E}_3$$

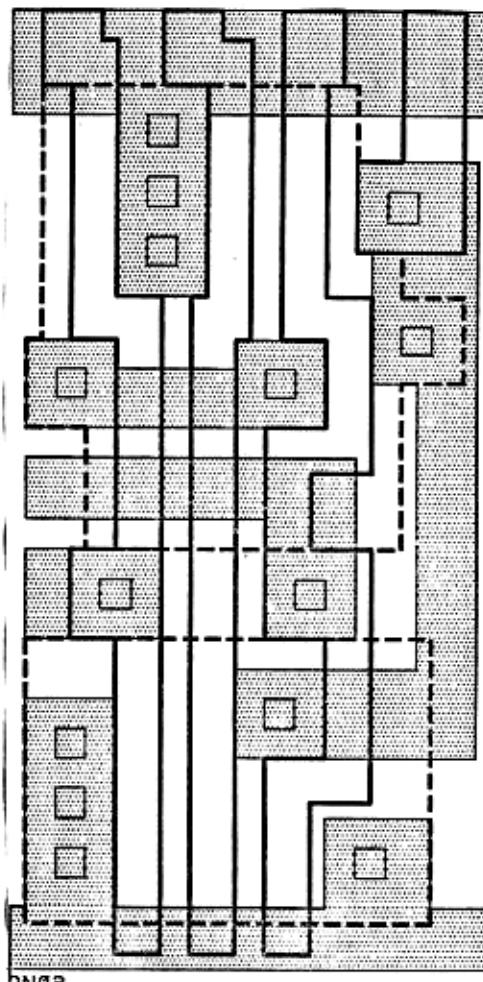
Layout

Flaeche: 64 x 128 μm^2

Masstab: 1000 : 1

Anschluesse:

E1 E2 E3 A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

AN04

Blatt: 1

Beschreibung: Kombinatorische Schaltung aus einer AND-Verknüpfung mit 2 Eingängen ($E1 \cdot E2$), die mit den Eingängen $E3$ und $E4$ eine NOR-Verknüpfung bildet.

Transistor-

dimensionierung:

N1 = 38 μm

P5 = 62 μm

N2 = 38 μm

P6 = 62 μm

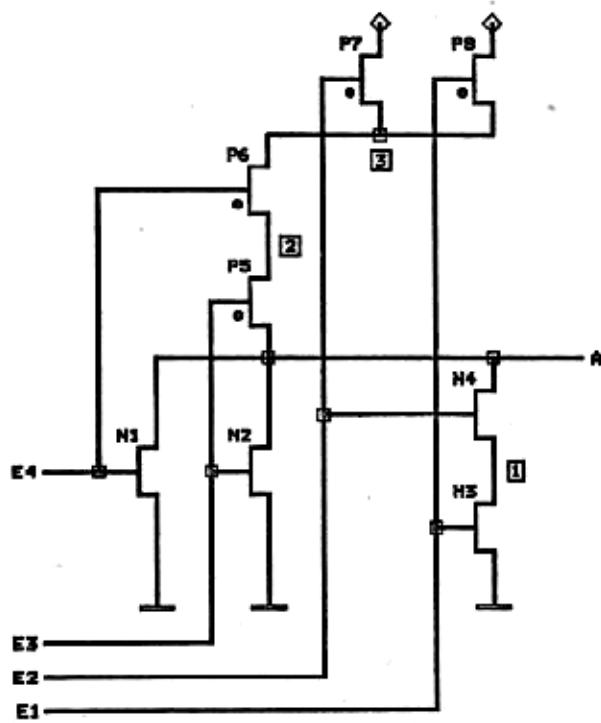
N3 = 38 μm

P7 = 62 μm

N4 = 38 μm

P8 = 62 μm

Transistorplan:



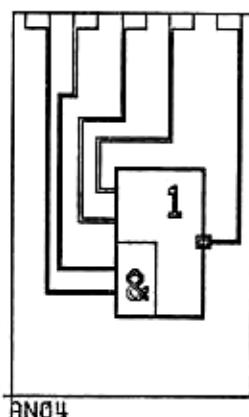
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

AN04

Blatt: 2

Logiksymbol:



Lade der
Anschluesse:

1 1 1 1 1

Logikgleichung:

$$A = (E1 \cdot E2) \vee E3 \vee E4$$

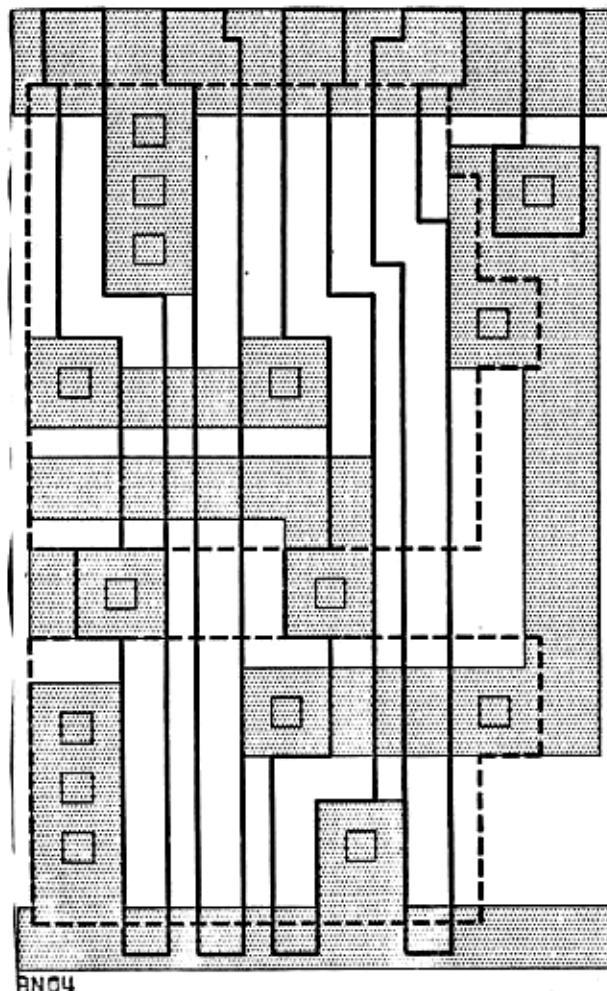
Layout

Flaeche: 80 x 128 um**2

Masstab: 1000 : 1

Anschluesse:

E1 E2 E4 E3 A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: AN024

Blatt: 1

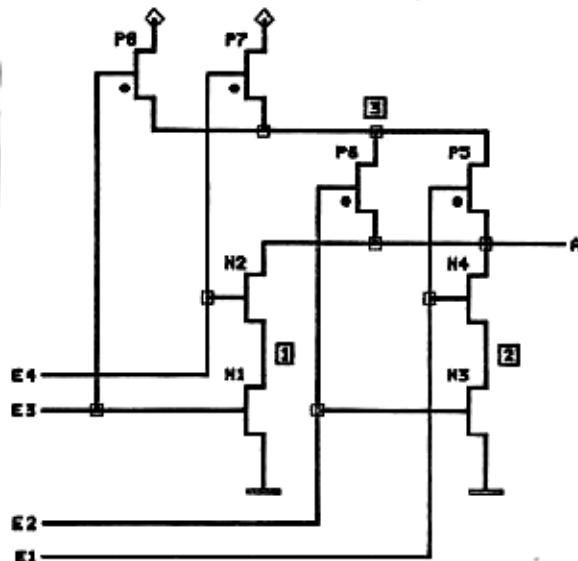
Beschreibung: Kombinatorische Schaltung aus 2 AND-Verknüpfungen von jeweils 2 Eingängen ($E1 \cdot E2, E3 \cdot E4$), die eine NOR-Verknüpfung bildet.

Transistor-

dimensionierung:

N1 = 38 μm	P5 = 62 μm
N2 = 38 μm	P6 = 62 μm
N3 = 38 μm	P7 = 62 μm
N4 = 38 μm	P8 = 62 μm

Transistorplan:



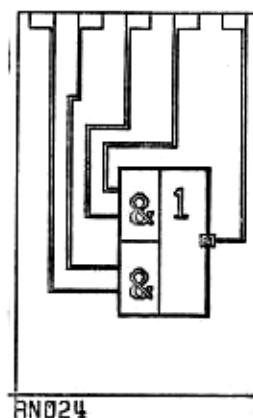
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

AN024

Blatt: 2

Logiksymbol:



Lage der
Anschluesse:

1 1 1 1 1

Logikgleichung:

$$A = (E1 \cdot E2) \vee (E3 \cdot E4)$$

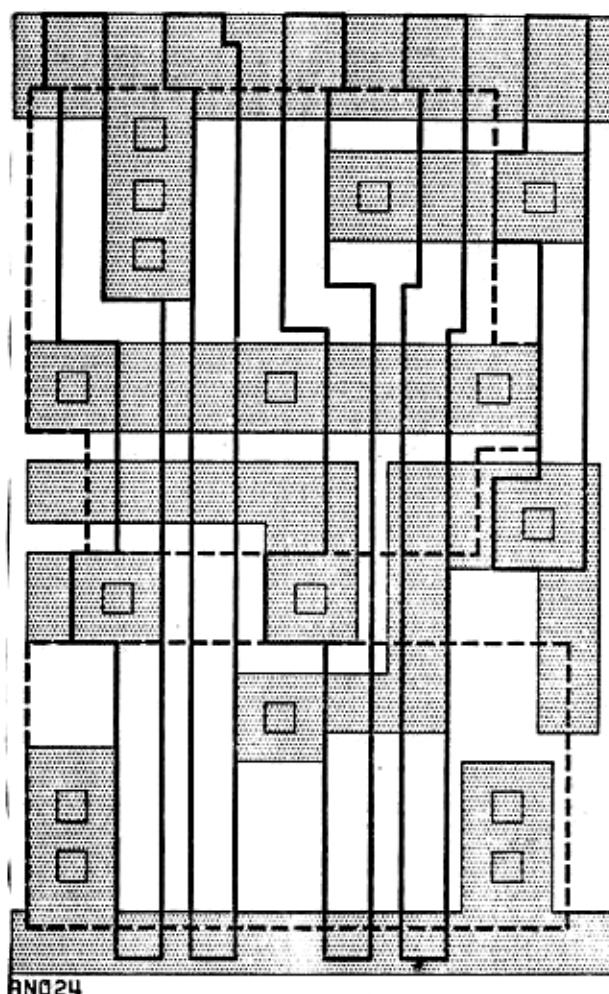
Layout

Flaeche: 80 x 128 um**2

Masstab: 1000 : 1

Anschluesse:

E3 E4 E2 E1 A



CSGT-2N - STANDARDZELLEN - KATALOG

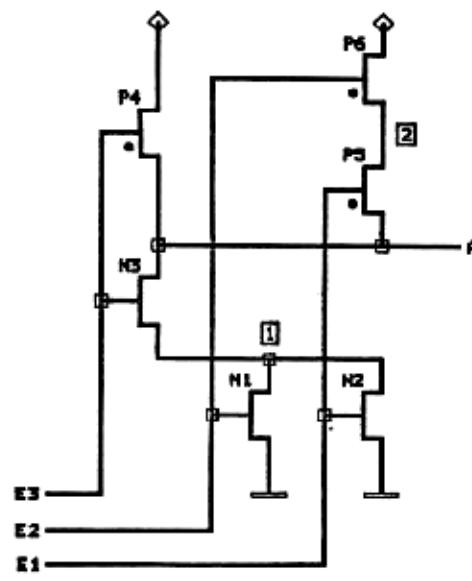
Bezeichnung: ONA3

Blatt: 1

Beschreibung: Kombinatorische Schaltung aus einer OR-Verknüpfung mit 2 Eingängen (E1vE2), die mit dem Eingang E3 eine NAND-Verknüpfung bildet.

Transistor-dimensionierung:
N1 = 38 μ m P4 = 62 μ m
N2 = 38 μ m P5 = 62 μ m
N3 = 38 μ m P6 = 62 μ m

Transistorplan:



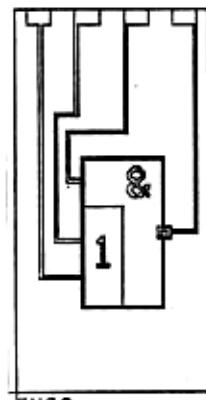
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

ONA3

Blatt: 2

Logiksymbol:



ONA3

Lage der
Anschluessel:

1 1 1 1

Logikgleichung:

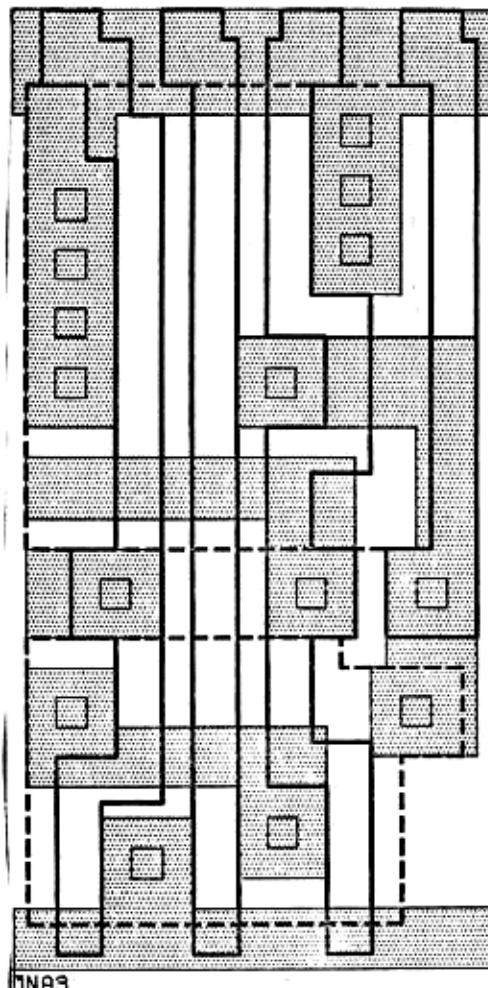
$$\bar{A} = (E_1 \vee E_2) * E_3$$

Layout Flaeche: 64 x 128 um**2

Masstab: 1000 : 1

Anschluesse:

E2 E1 E3 A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

ONA4

Blatt: 1

Beschreibung: Kombinatorische Schaltung aus einer OR-Verknüpfung mit 2 Eingängen (E1vE2), die mit den Eingängen E3 und E4 eine NAND-Verknüpfung bildet.

Transistor-
dimensionierung:

N1 = 38 um

P5 = 62 um

N2 = 38 um

P6 = 62 um

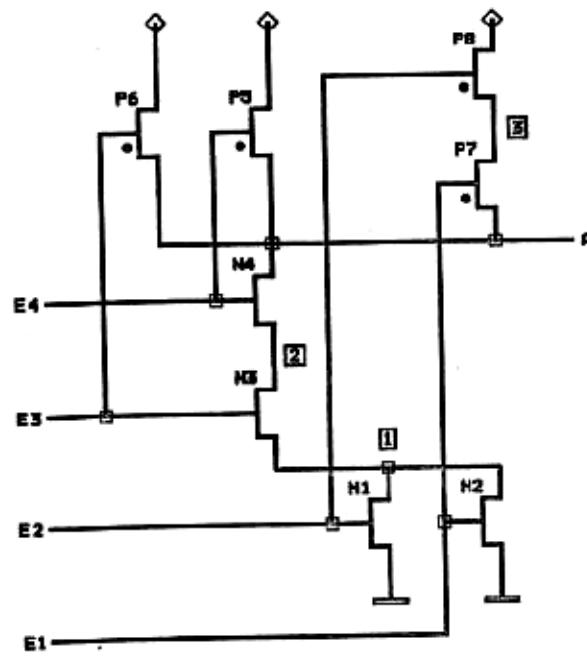
N3 = 38 um

P7 = 62 um

N4 = 38 um

P8 = 62 um

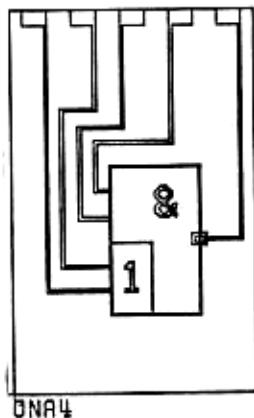
Transistorplan:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: ONA4 Blatt: 2

Logiksymbol:



Lage der Anschlüsse:

1 1 1 1 1

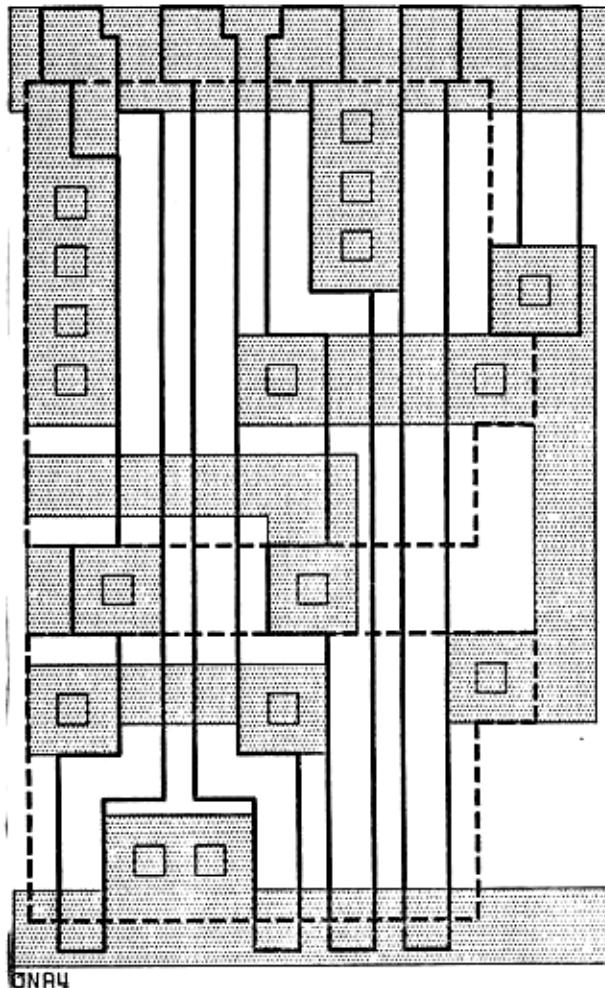
Logikgleichung:

$$A = (E1 \vee E2) * E3 * E4$$

Layout Fläche: 80 x 128 μm^2 Maßstab: 1000 : 1

Anschlüsse:

E2 E1 E3 E4 A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: DNA24

Blatt 1

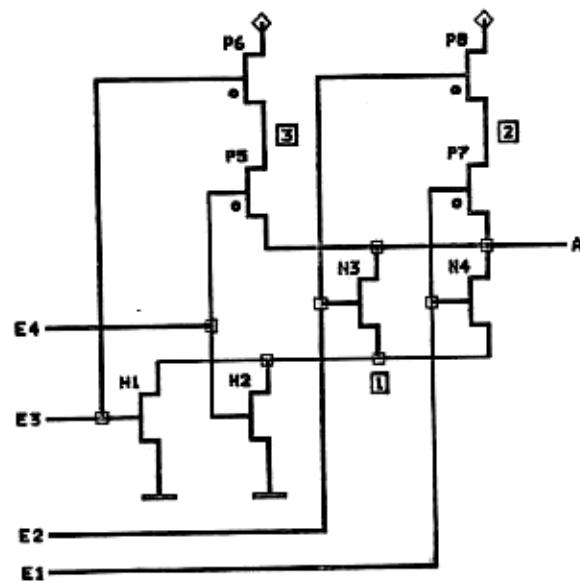
Beschreibung: Kombinatorische Schaltung aus 2 OR-Verknüpfungen von jeweils 2 Eingängen ($E1 \vee E2, E3 \vee E4$), die eine NAND-Verknüpfung bildet.

Transistor-

dimensionierung:

N1 = 38 um	P5 = 62 um
N2 = 38 um	P6 = 62 um
N3 = 38 um	P7 = 62 um
N4 = 38 um	P8 = 62 um

Transistorplan:



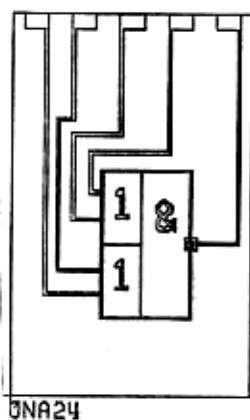
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DNA24

Blatt: 2

Logiksymbol:



| Lese der
| Anschluessel:

| 1 1 1 1 1

|-----|
| Logikgleichung:

$$A = (\bar{E}_1 \vee E_2) * (\bar{E}_3 \vee E_4)$$

Layout

Flaeche: 80 x 128 um**2

Masstab: 1000 : 1

Anschluessel:

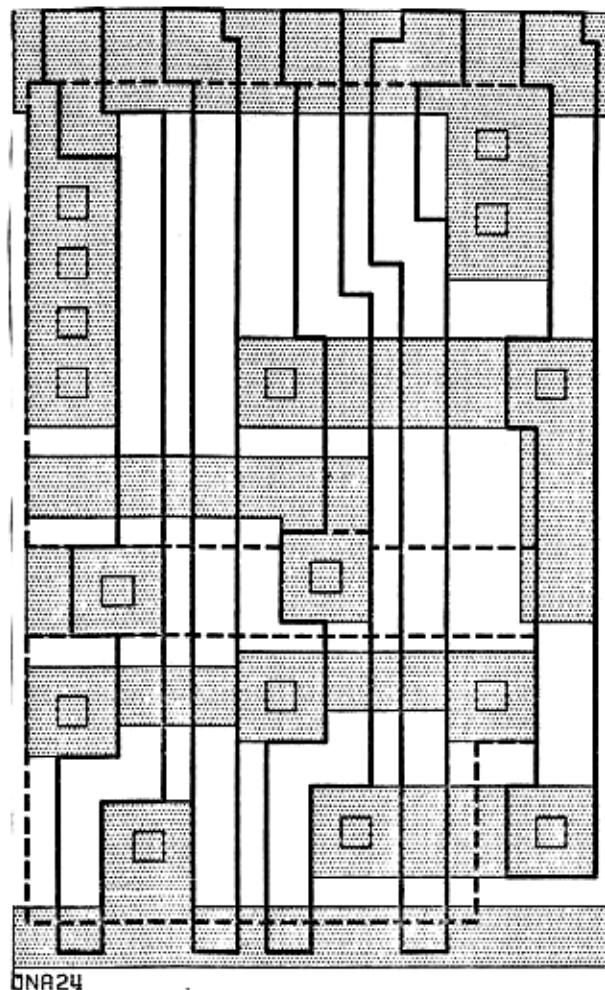
E3

E4

E1

E2

A



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

EXOR (ANT)

Blatt: 1

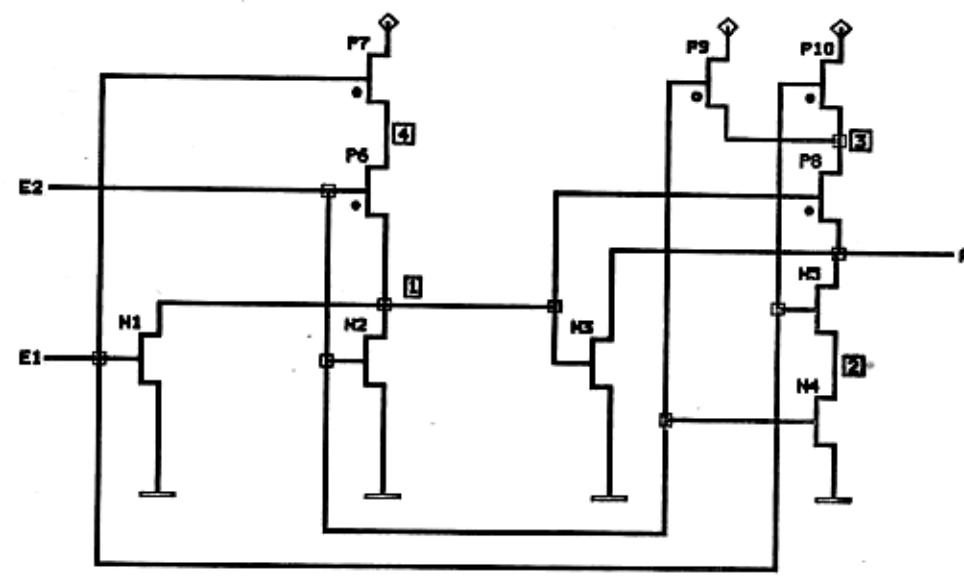
Beschreibung: Exklusiv - OR (Antivalenz)

Transistor-

dimensionierung:

N1	= 38 μm	P6	= 62 μm
N2	= 38 μm	P7	= 62 μm
N3	= 38 μm	P8	= 60 μm
N4	= 38 μm	P9	= 60 μm
N5	= 38 μm	P10	= 60 μm

Transistorplan:



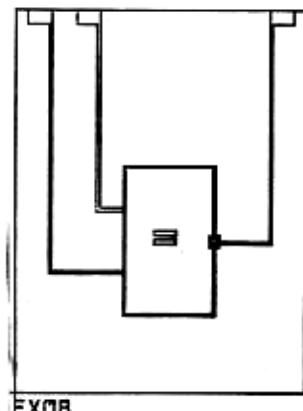
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

EXOR (ANT)

Blatt: 2

Logiksymbol:



Lage der Anschlüsse:

1 1 0 0 0 1

Logiksleichung:

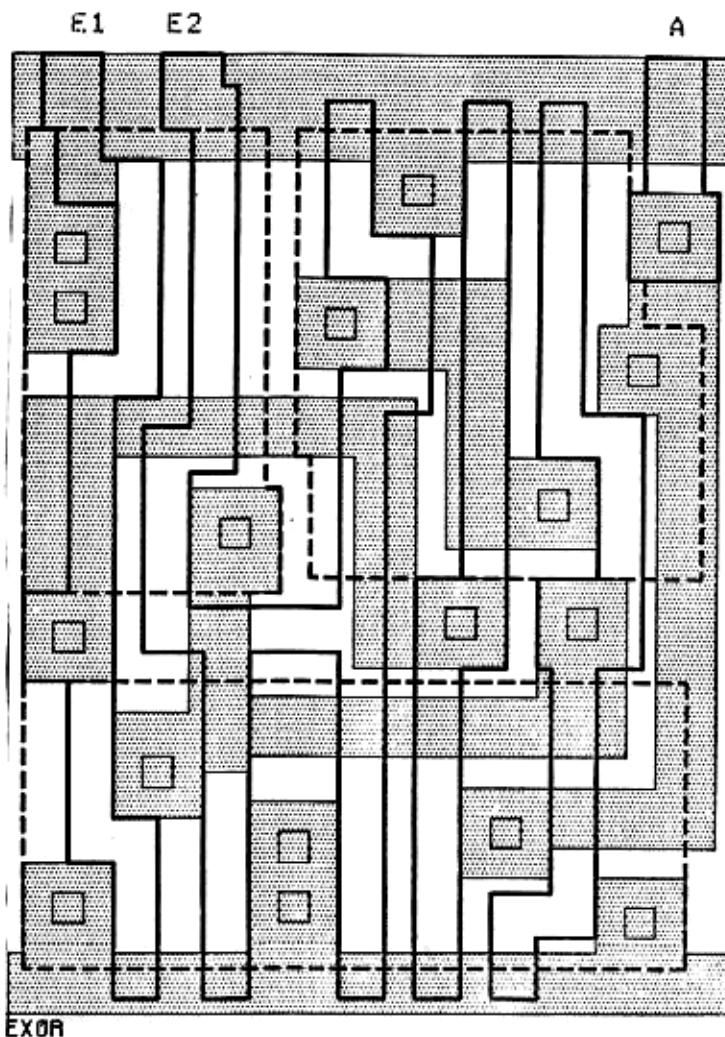
$$A = \overline{E1} \cdot E2 + E1 \cdot \overline{E2}$$

Layout

Fläche: 96 x 128 μm^2

Masstab: 1000 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

EXNOR

(AEQ)

Blatt: 1

Beschreibung: Exclusiv - NOR (Äquivalenz)

Transistor-

dimensionierung:

N1 = 38 μ m

N2 = 38 μ m

N3 = 38 μ m

N4 = 38 μ m

N5 = 38 μ m

P6 = 48 μ m

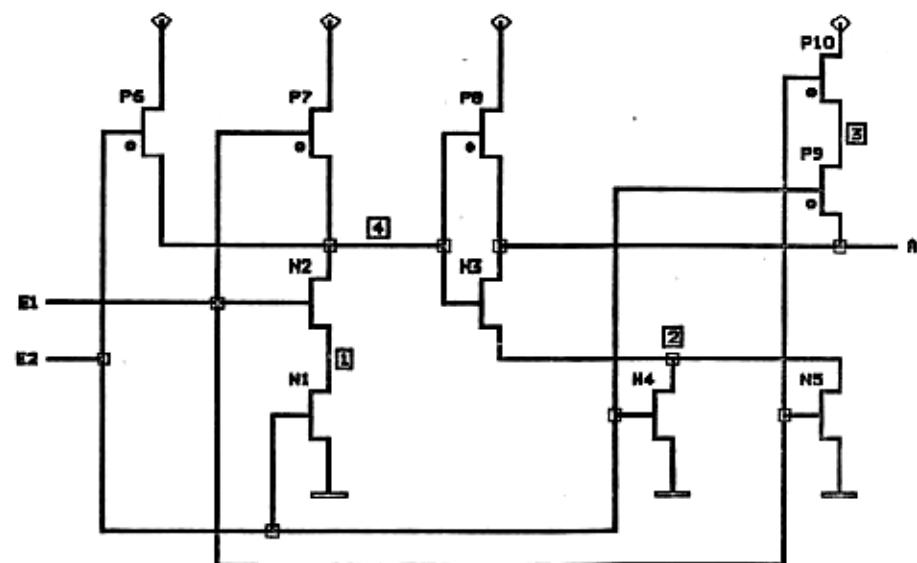
P7 = 48 μ m

P8 = 58 μ m

P9 = 58 μ m

P10 = 48 μ m

Transistorplan:



CSGT-2N - STANDARDZELLEN - KATALOG

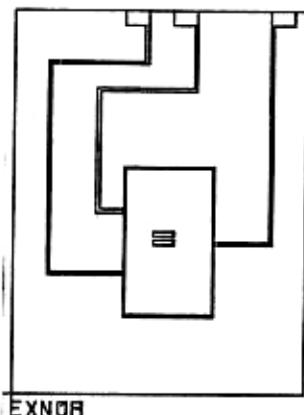
Bezeichnung:

EXNOR

(AER)

Blatt: 2

Logiksymbol:



! Lese der
Anschluessel:

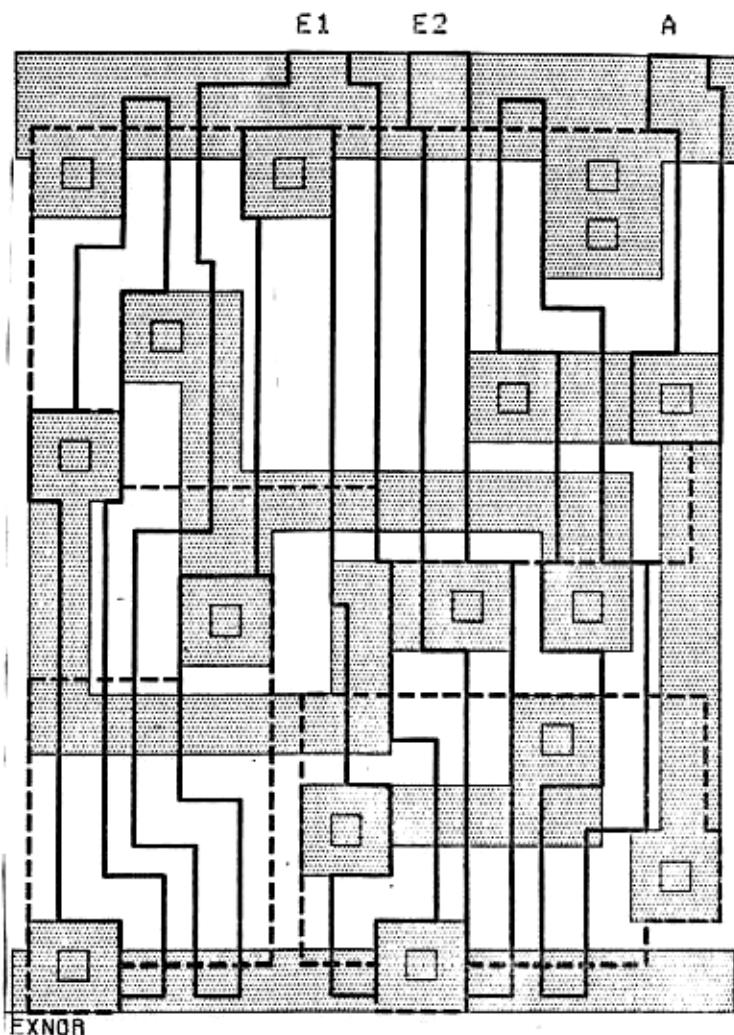
0 0 1 1 0 1

!-----
Logikgleichung:

$$A = \overline{E1} \cdot \overline{E2} + E1 \cdot E2$$

Layout Flaeche: 96 x 128 um**2 Maßstab: 1000 : 1

Anschluessel:



CSGT-2N - STANDARDZELLEN - KATALOG

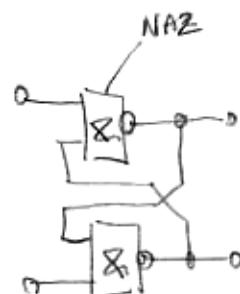
Bezeichnung: RSNA

Blatt 1

Beschreibung: RS-Flip-Flop, realisiert aus 2 NA2,
R,S sind bei L aktiv

Transistor-
dimensionierung: siehe NA2

Transistorplan: siehe NA2



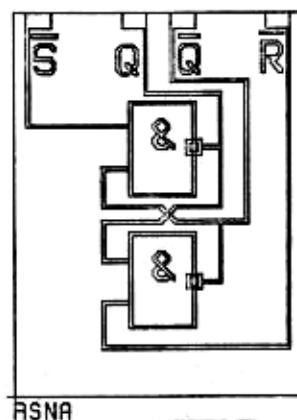
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

RSNA

Blatt: 2

Logiksymbol:



Lese der
Anschluessel:

1 0 1 1 0 1

Logikgleichung:

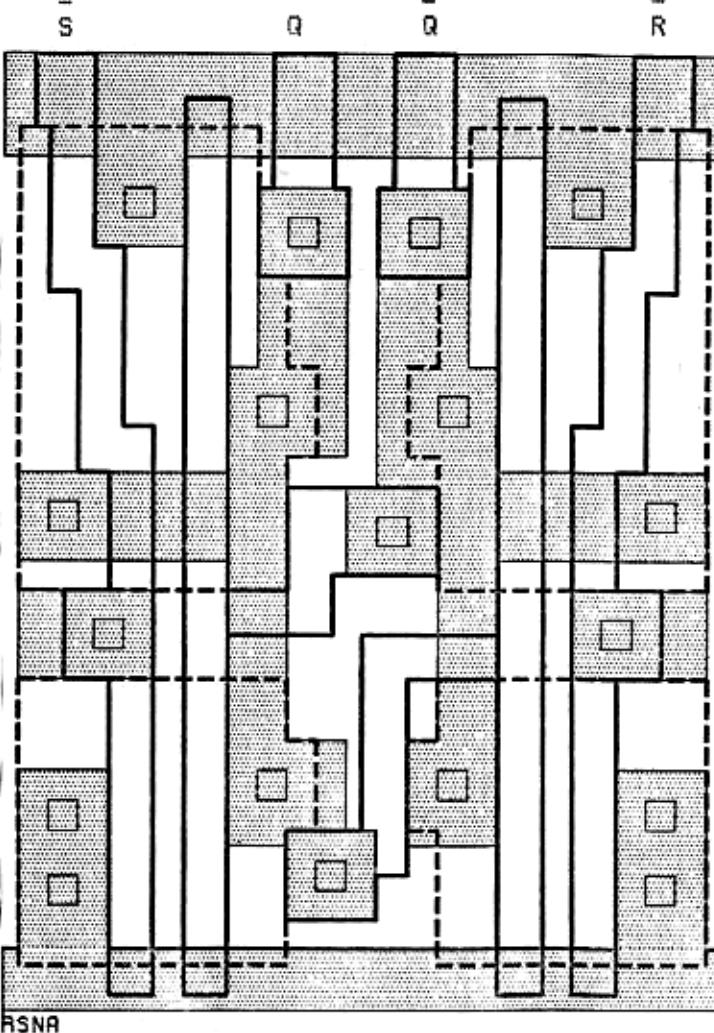
$$\begin{array}{llll} \bar{R} & \bar{S} & Q & \bar{Q} \\ H & H & Q & Q \\ H & L & H & L \\ L & H & L & H \\ L & L & H & H \end{array}$$

nicht erlaubt

Layout Flaeche: 96 x 128 um**2

Masstab: 1000 : 1

Anschluessel:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

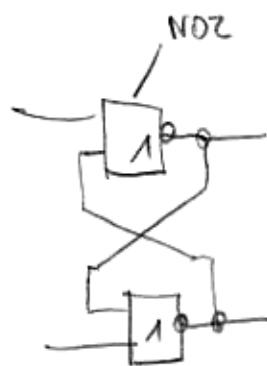
RSNO

Blatt: 1

Beschreibung: RS-Flip-Flop, realisiert aus 2 N02,
R,S sind bei H aktiv

Transistor-
dimensionierung: siehe N02

Transistorplan: siehe N02



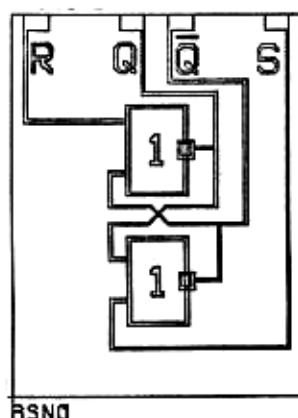
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

RSNO

Blatt: 2

Logiksymbol:



Lage der
Anschlüsse:

1 0 1 1 0 1

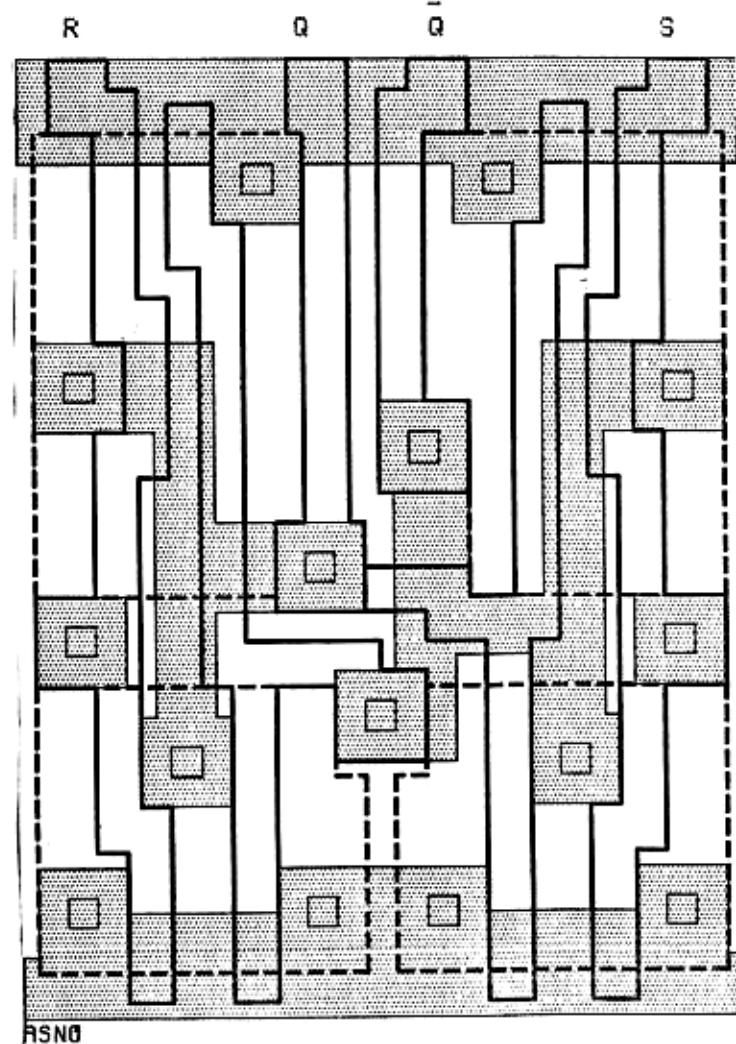
Logikgleichung:

R	S	Q	Q̄
L	L	Q	Q̄
L	H	H	L
H	L	L	H
H	H	L	L

nicht erlaubt

Layout Flaeche: 96 x 128 um**2 Masstab: 1000 : 1

Anschlüsse:



C5GT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: LFF

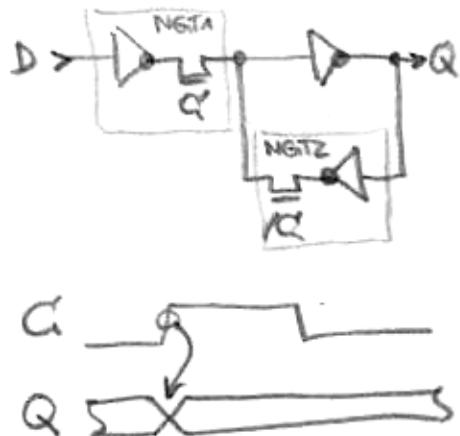
Blatt: 1

Beschreibung: taktzustandssteuertes D-Flip-Flop (Latch)

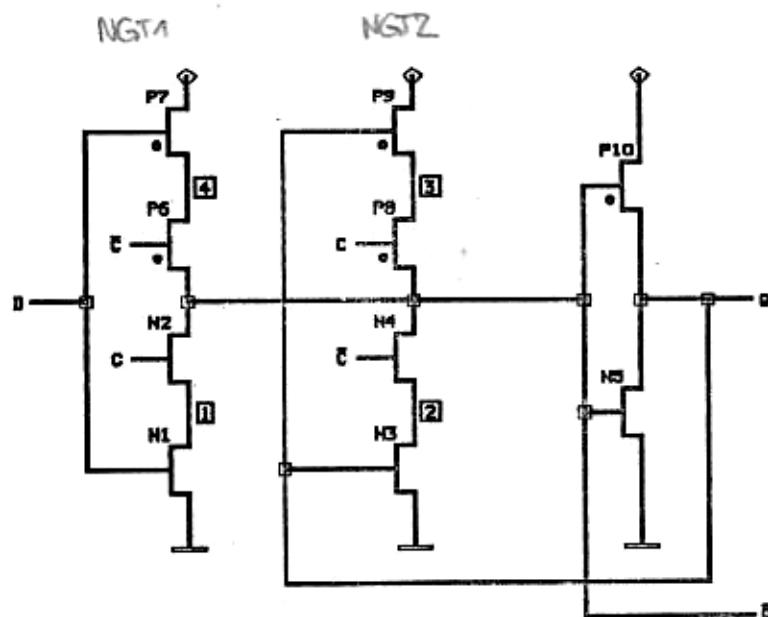
Transistor-
dimensionierung:

N1	w	38 um
N2	w	28 um
N3	w	26 um
N4	w	38 um
N5	w	38 um
P6	w	52 um
P7	w	52 um
P8	w	36 um
P9	w	52 um
P10	w	38 um

Prinzip:



Transistorplan:



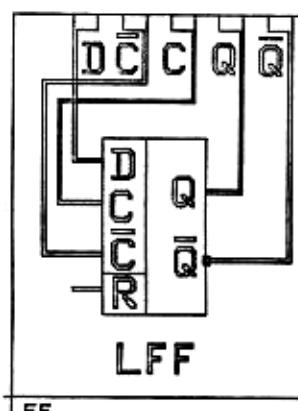
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

LFF

Blatt: 2

Logiksymbol:



Lesen der
Anschlüsse:

0 1 1 1 1 1

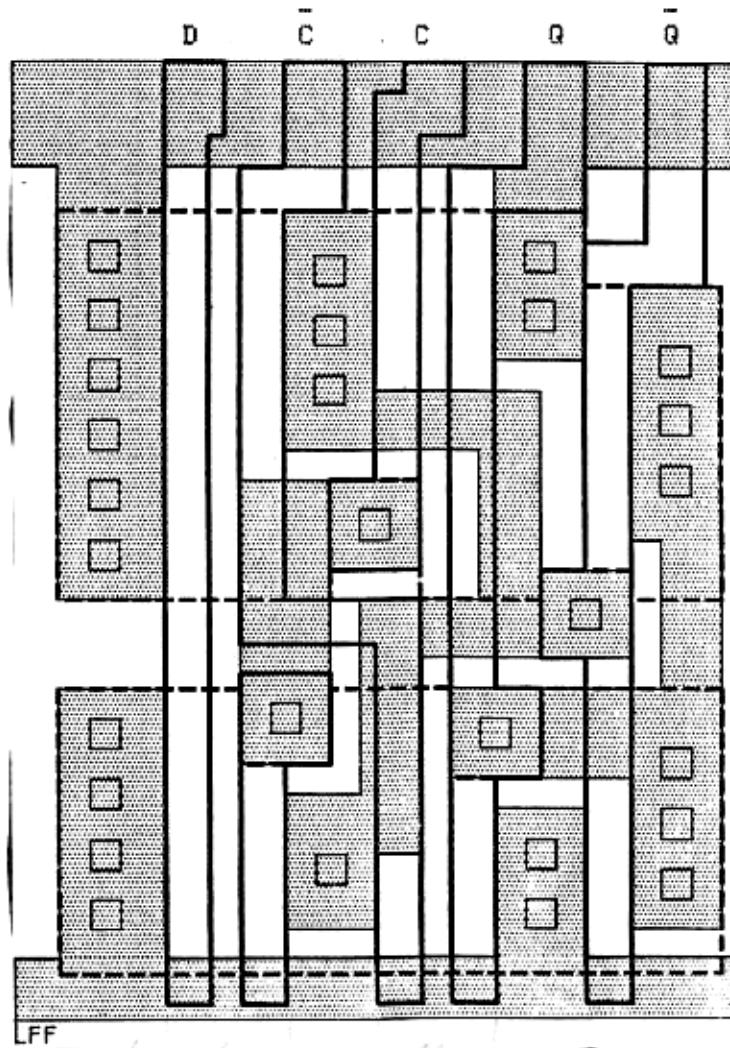
Logikgleichung:

C=H : Übernahme der
D -Information
ins Latch
C=L : Halten der
Information

Layout Fläche: 96 x 128 μm^2

Masstab: 1000 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

LFFS

Blatt: 1

Beschreibung: taktzustandssteuertes D-Flop-Flop (Latch)

Setzfunktion : Q = H fuer S = L

Transistor-
dimensionierung:

N1 w 38 um

N2 w 28 um

N3 w 26 um

N4 w 38 um

N5 w 38 um

N6 w 38 um

P7 w 52 um

P8 w 52 um

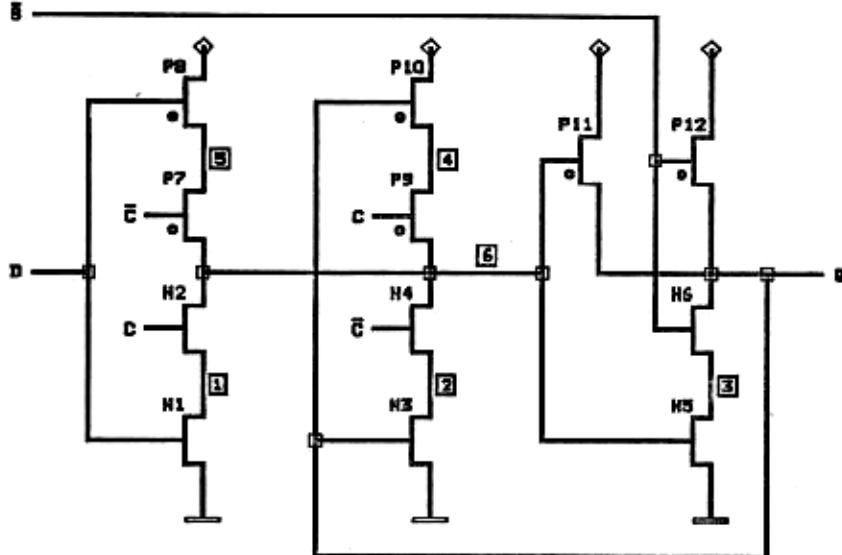
P9 w 36 um

P10 w 52 um

P11 w 38 um

P12 w 42 um

Transistorplan:



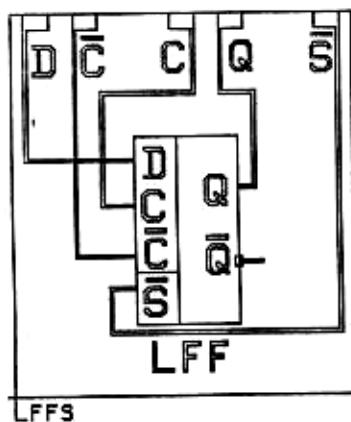
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

LFFS

Blatt 2

Logiksymbol:



Lage der Anschluesse:

1 1 0 1 1 0 1

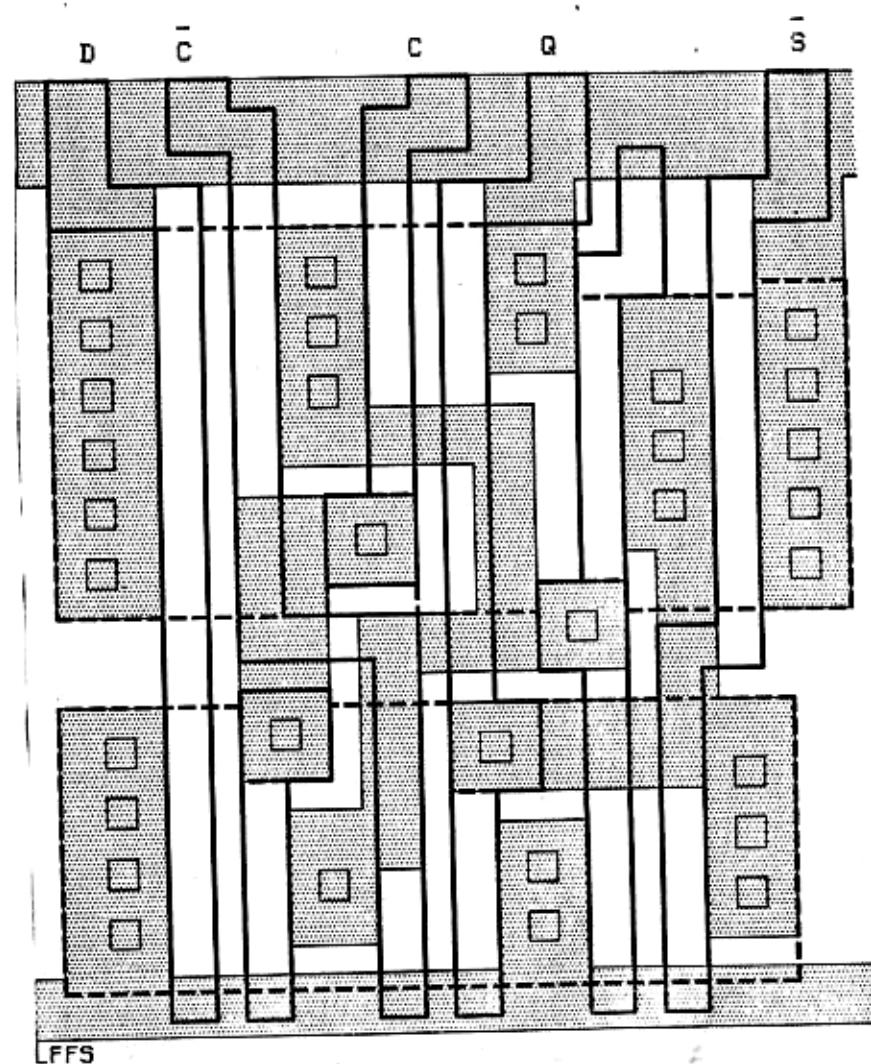
Logikgleichung:

- C=H : Uebernahme der D -Information ins Latch
- C=L : Halten der - Information
- S=L : Setzen Q=H

Layout Flaeche: 112 x 128 μm^2

Masstab: 1000 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

LFFTS

Blatt: 1

Beschreibung: taktzustandssteuertes D-Flip-Flop (Latch)

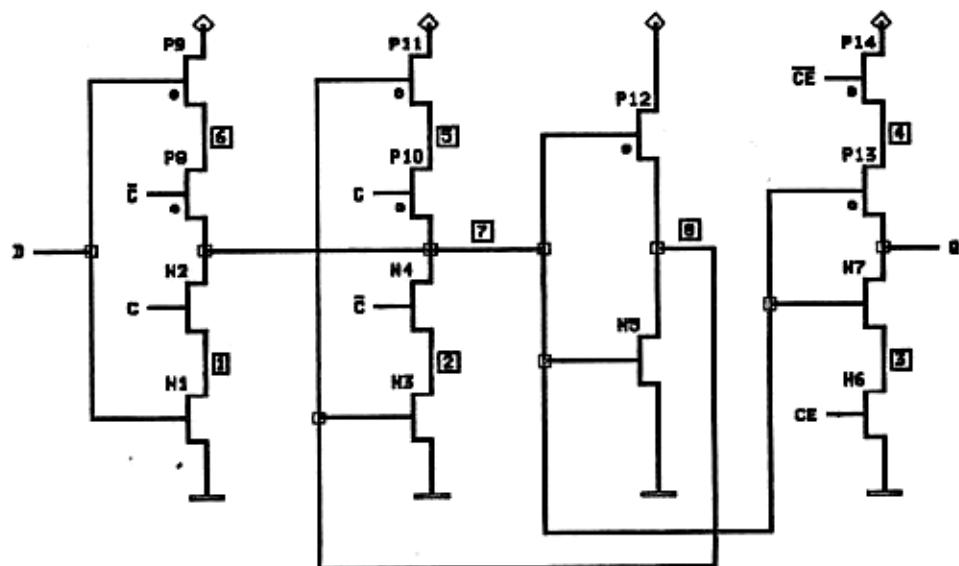
- mit Tristate-Ausgäf
Aussang Q detaktet, fuer CE=L ist der
Aussang Q hochohmig.

Transistor-

dimensionierung:

N1 = 38 μ m	P8 = 52 μ m
N2 = 28 μ m	P9 = 52 μ m
N3 = 26 μ m	P10 = 36 μ m
N4 = 38 μ m	P11 = 52 μ m
N5 = 38 μ m	P12 = 38 μ m
N6 = 28 μ m	P13 = 34 μ m
N7 = 28 μ m	P14 = 34 μ m

Transistorplan:



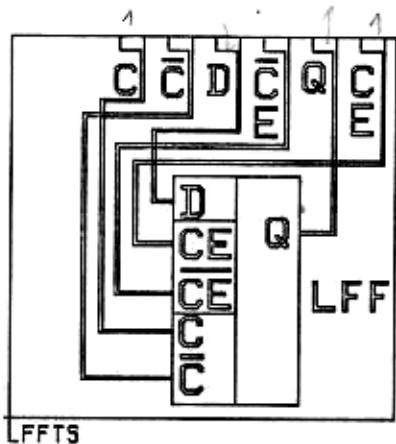
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

LFFTS

Blatt: 2

Logiksymbol:



Leser der
Anschluesset:

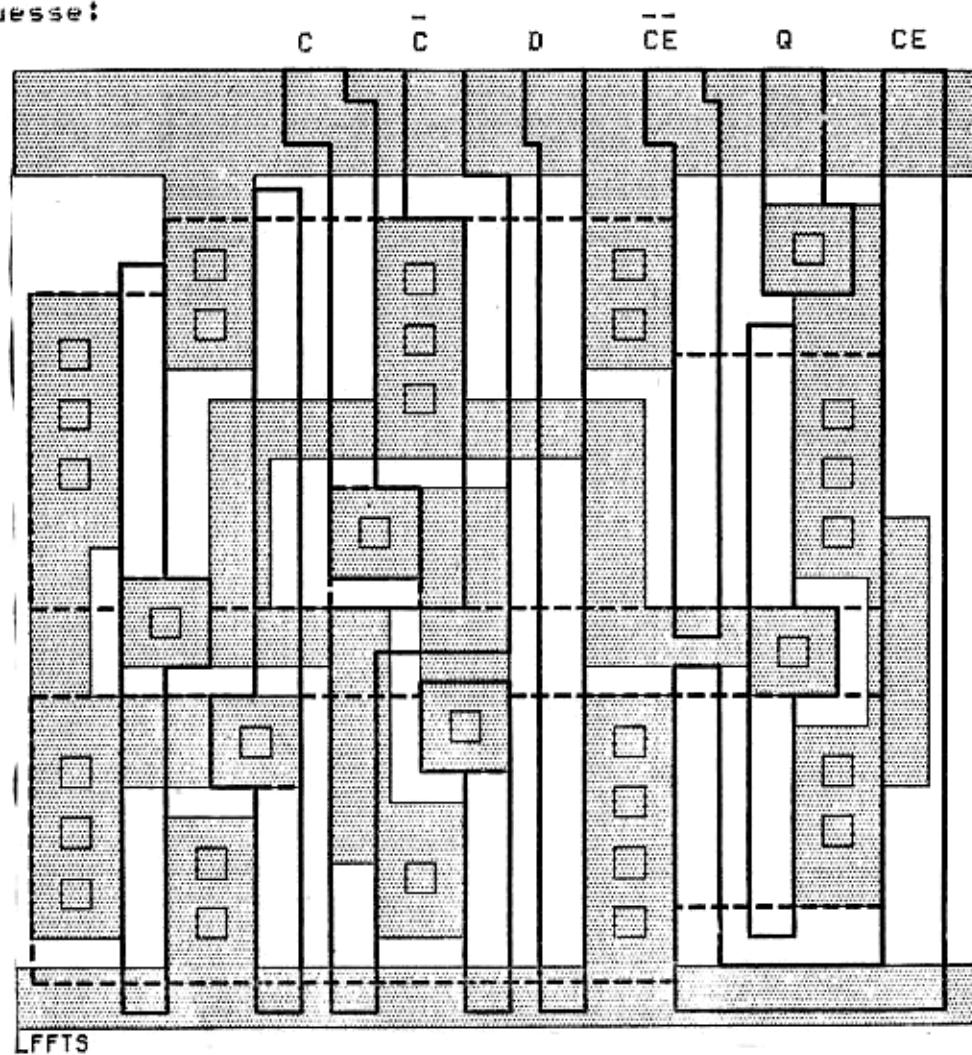
0 0 1 1 1 1 1 1

Logikgleichung:
C=H : Uebernahme der
D -Information
ins Latch
C=L : Halten der
Information
CE=L: Q = hochohmig
CE=H: Ausgang aktiv

Layout Flaeche: 128 x 128 um**2

Masstab: 1000 : 1

Anschluesset:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung: DFF

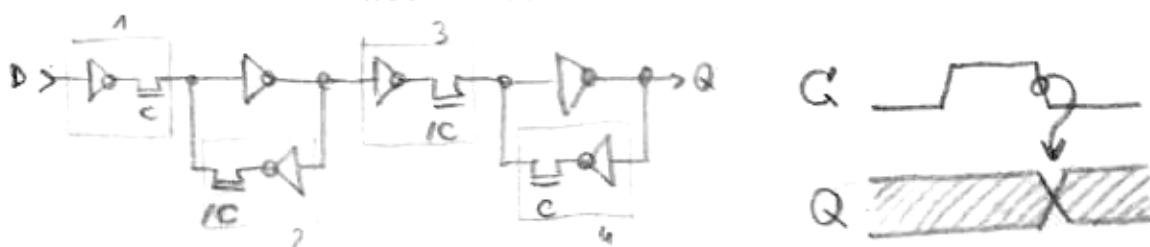
Blatt: 1

Beschreibung: D-Flip-Flop (Master-Slave-Flip-Flop)
Mit C-H wird die Information am D-Einsatz in den Master eingeschrieben und mit C-L in den Slave übernommen. Das DFF schaltet auf der H/L-Flanke von C. Um sogenannte Teilerketten zu realisieren, ist im DFF eine Rückführung Q auf D (Teiler-FF TFF) und zum benachbarten Flip-Flop eine entsprechende Verbindung der C-Ein-
gangse und der Q-Ausgangs möglich.

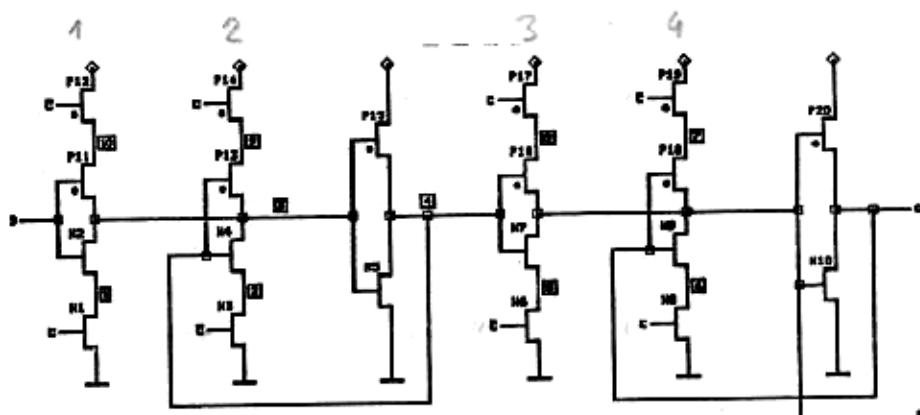
Transistor-

dimensionierung:	N1 = 16 μm	P11 = 18 μm
	N2 = 16 μm	P12 = 18 μm
	N3 = 16 μm	P13 = 18 μm
	N4 = 16 μm	P14 = 18 μm
	N5 = 38 μm	P15 = 50 μm
	N6 = 16 μm	P16 = 18 μm
	N7 = 16 μm	P17 = 18 μm
	N8 = 16 μm	P18 = 18 μm
	N9 = 16 μm	P19 = 18 μm
	N10 = 38 μm	P20 = 50 μm

Prinzip:



Transistorplan:



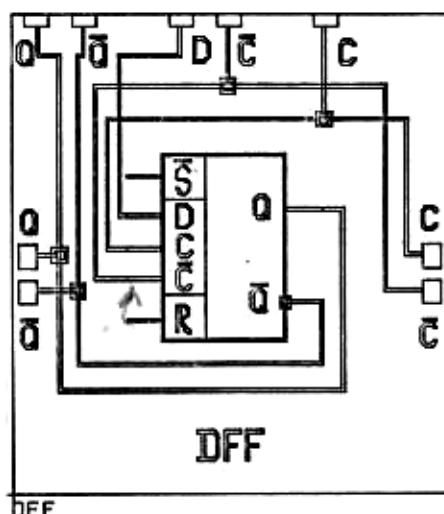
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFF

Blatt: 2

Logiksymbol:



Legge der Anschluesse:

1 1 0 1 1 0 1 0 0

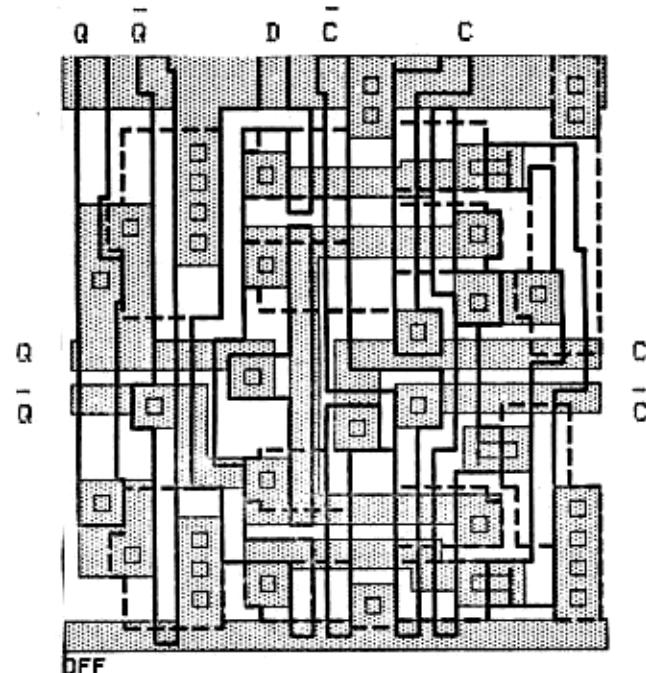
Logikgleichung:

Layout

Flaeche: 144 x 160 μm^2

Masstab: 500 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFR

Blatt: 1

Beschreibung: D-Flip-Flop mit Ruecksetzeinsatz
Das DFFR schaltet auf der H/L-Flanke von C.
Mit R=H ist das Flip-Flop taktunabhängig
ruecksetzbar ($\bar{Q}=L$). Die Verbindung der beiden
R-Eingänge muss im Verdrantungskanal realisiert
werden!

Reset: $R=1$

Transistor-

dimensionierung:

N1 = 16 μm

P13 = 18 μm

N2 = 16 μm

P14 = 18 μm

N3 = 16 μm

P15 = 18 μm

N4 = 16 μm

P16 = 18 μm

N5 = 36 μm

P17 = 50 μm

N6 = 38 μm

P18 = 60 μm

N7 = 16 μm

P19 = 18 μm

N8 = 16 μm

P20 = 18 μm

N9 = 16 μm

P21 = 18 μm

N10 = 16 μm

P22 = 18 μm

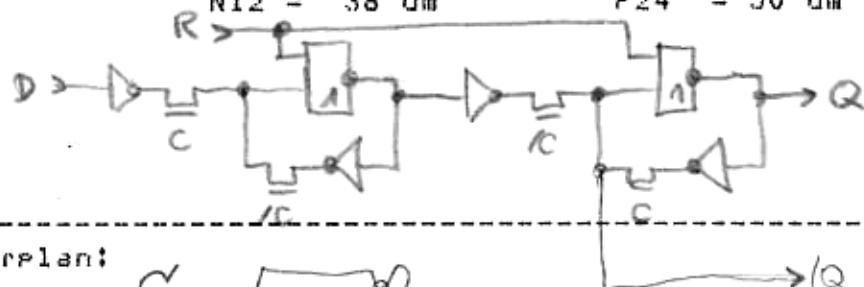
N11 = 38 μm

P23 = 50 μm

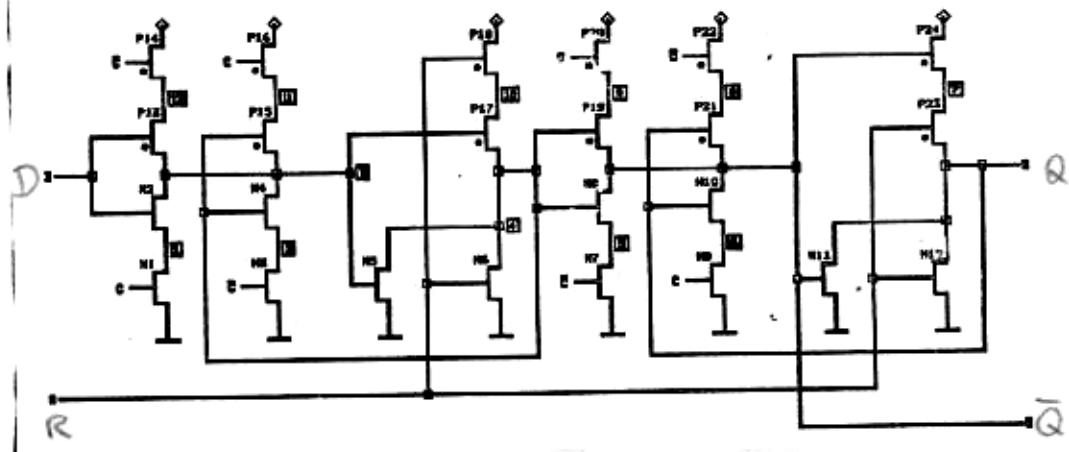
N12 = 38 μm

P24 = 50 μm

Prinzip:



Transistorplan:



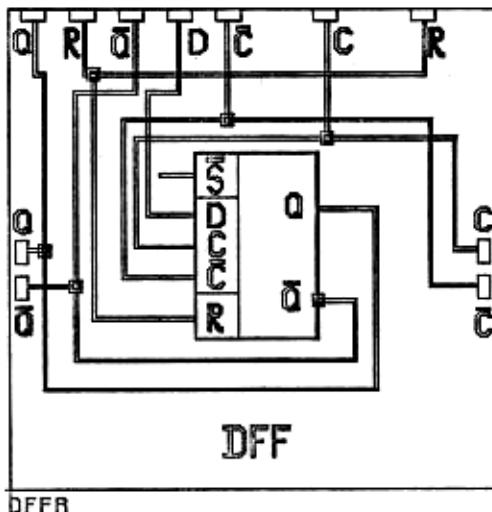
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFR

Blatt 2

Logiksymbol:



Lage der Anschlüsse:

1 1 1 1 1 0 1 0 1 0

Logikgleichung:

R=H: Rücksetzen

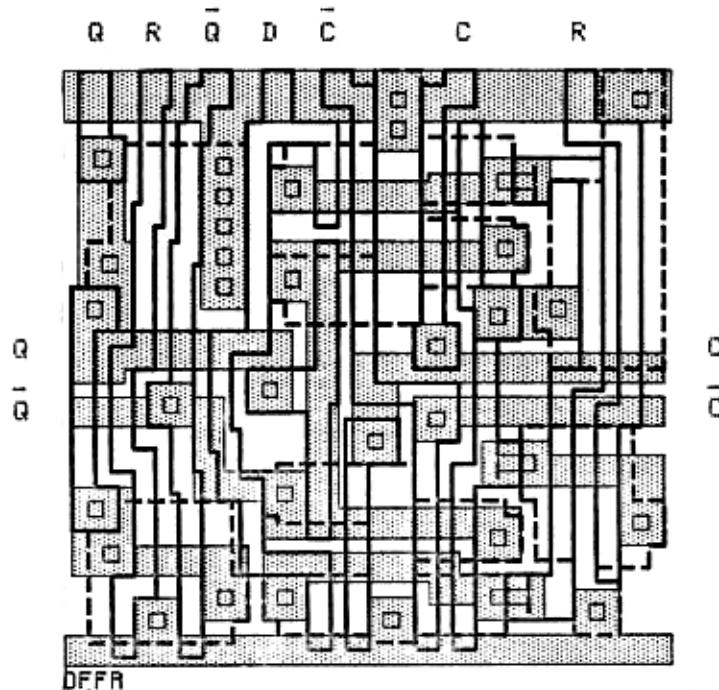
Q=L, Q=H

Layout

Fläche: 160 x 160 μm^2

Masstab: 500 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFS

Blatt 1

Beschreibung: D-Flip-Flop mit Setzeinsatz
Das DFFS schaltet auf der H/L-Flanke von S.

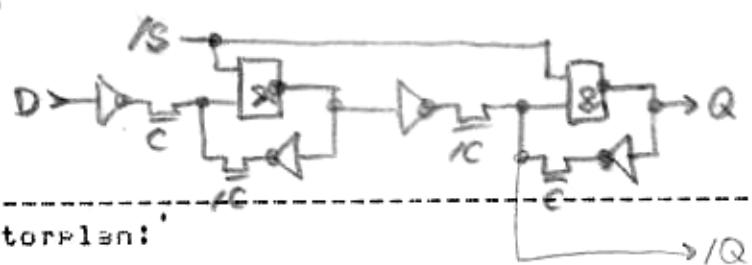
Mit S=L ist das Flip-Flop taktunabhängig -
setzbar (Q=H). Die Verbindung der beiden S-
Eingänge muss im Verdrahtungskanal realisiert
werden!

Setzen mit $\bar{S}=0$

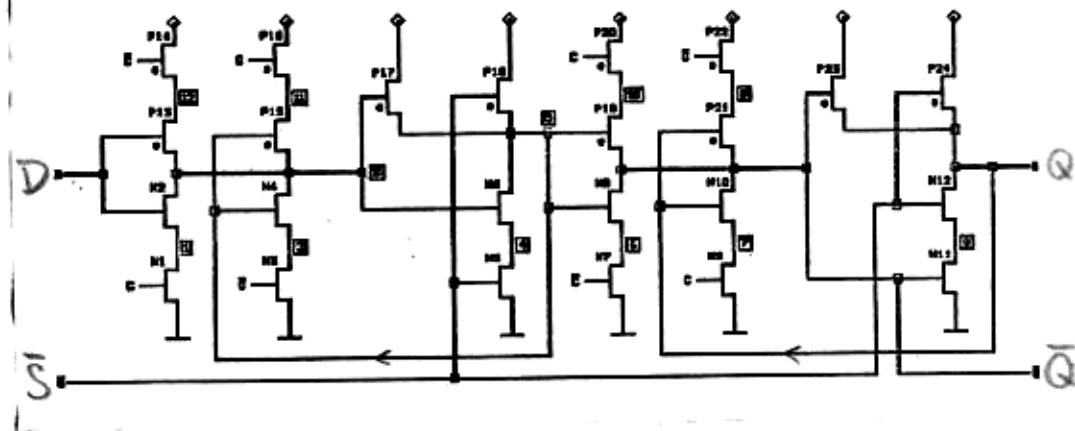
Transistor-
dimensionierung:

N1	=	16 μm	P13	=	18 μm
N2	=	16 μm	P14	=	18 μm
N3	=	16 μm	P15	=	18 μm
N4	=	16 μm	P16	=	18 μm
N5	=	28 μm	P17	=	44 μm
N6	=	28 μm	P18	=	44 μm
N7	=	16 μm	P19	=	18 μm
N8	=	16 μm	P20	=	18 μm
N9	=	16 μm	P21	=	18 μm
N10	=	16 μm	P22	=	18 μm
N11	=	38 μm	P23	=	50 μm
N12	=	38 μm	P24	=	50 μm

Prinzip:



Transistorplan:



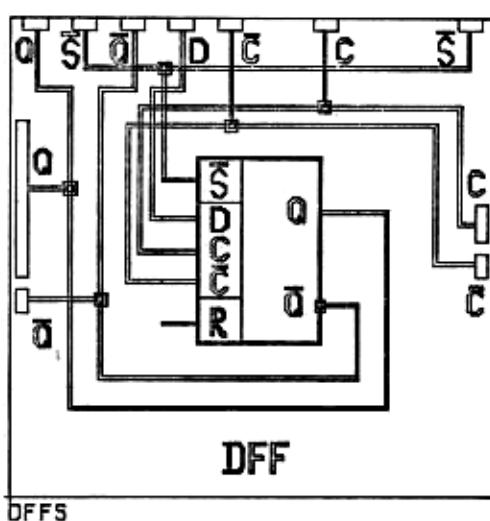
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFS

Blatt: 2

Logiksymbol:



Lage der Anschluesse:

1 1 1 1 1 0 1 0 0 1

Logikgleichung:

S=L: Setzen

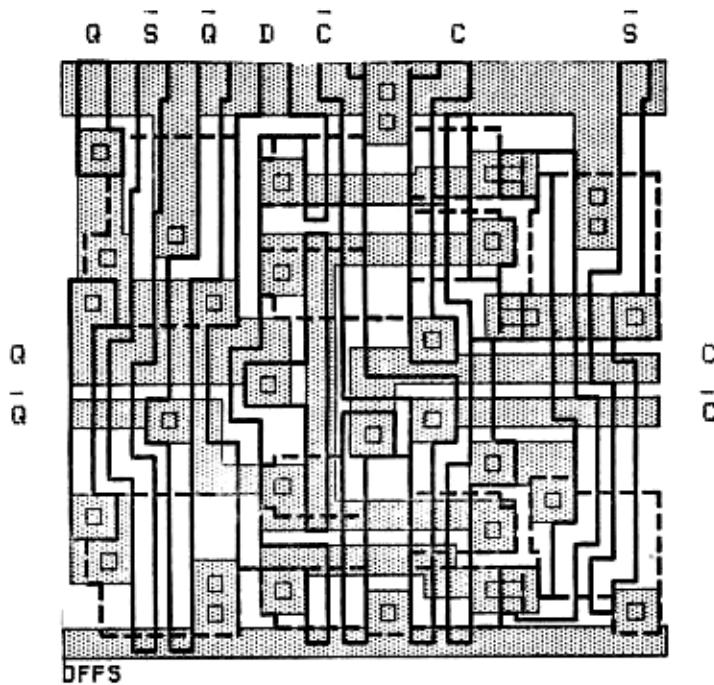
Q=H, Q-bar=L

Layout

Flaeche: 160 x 160 μm^2

Masstab: 500 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFRS

Blatt: 1

Beschreibung: D-Flip-Flop mit Setz- und Rücksetzeingang.
Das DFFRS schaltet auf der H/L-Flanke von C.

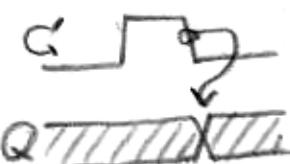
Mit R=H (S=H!) ist das Flip-Flop taktunabhängig
rücksetzbar ($Q=L$) und mit S=L (R=L!) setzbar
($Q=H$). Die Verbindung der R- bzw. S-Eingänge
muss im Verdrahtungskanal realisiert werden.

Transistor-

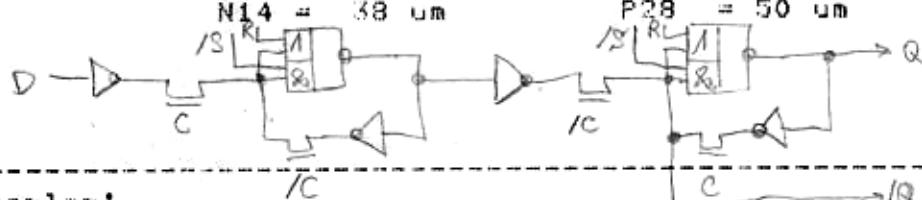
dimensionierung:

Setzen: $/S = 0$

Reset: $R = 1$

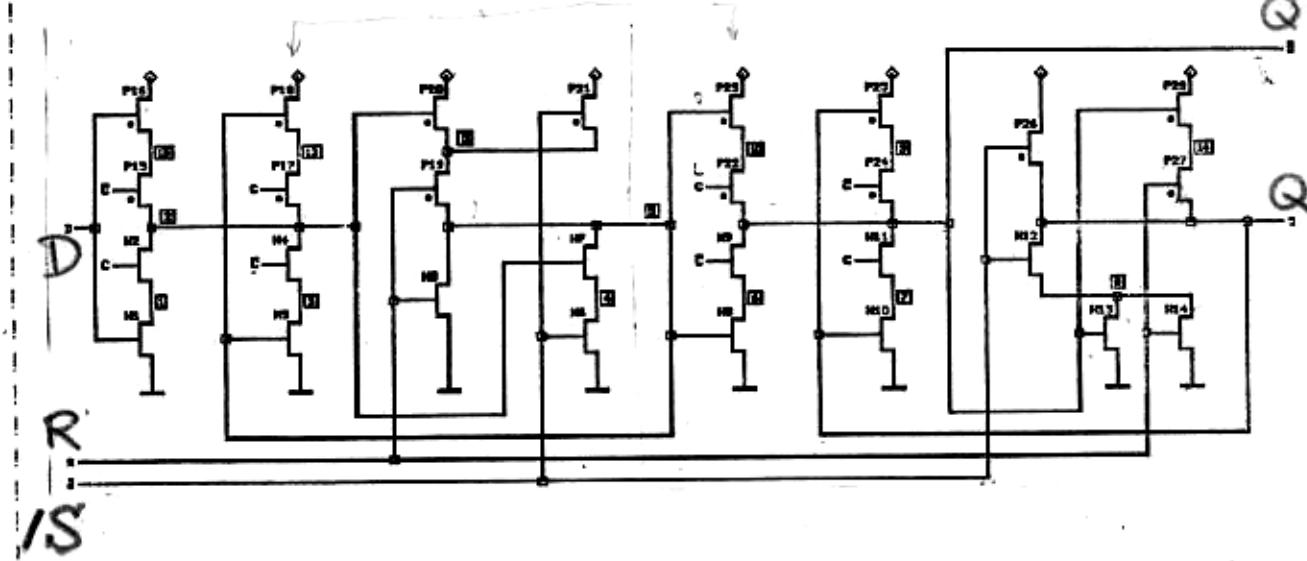


Prinzip:



Transistorplan:

$P_{18} = P_{23}, N_5 = N_8$!



Σ 287m

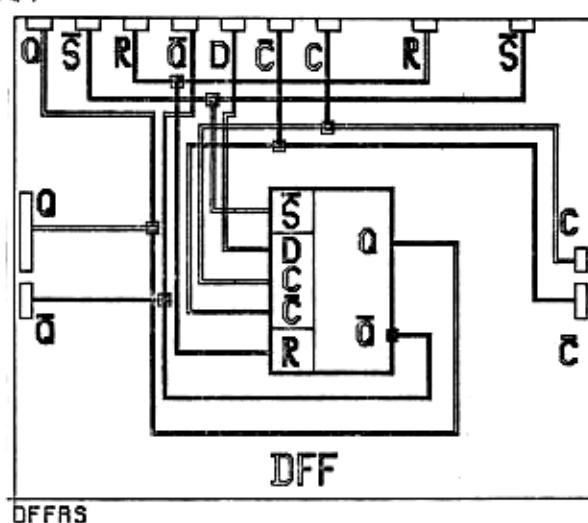
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DFFRS

Blatt 2

Logiksymbol:



! Lese der
Anschlüsse:

! 1 1 1 1 1 1 1 0 1 0 1 0 !

! Logikgleichung:

! R S Q Q̄ !

! L H Q Q̄ !

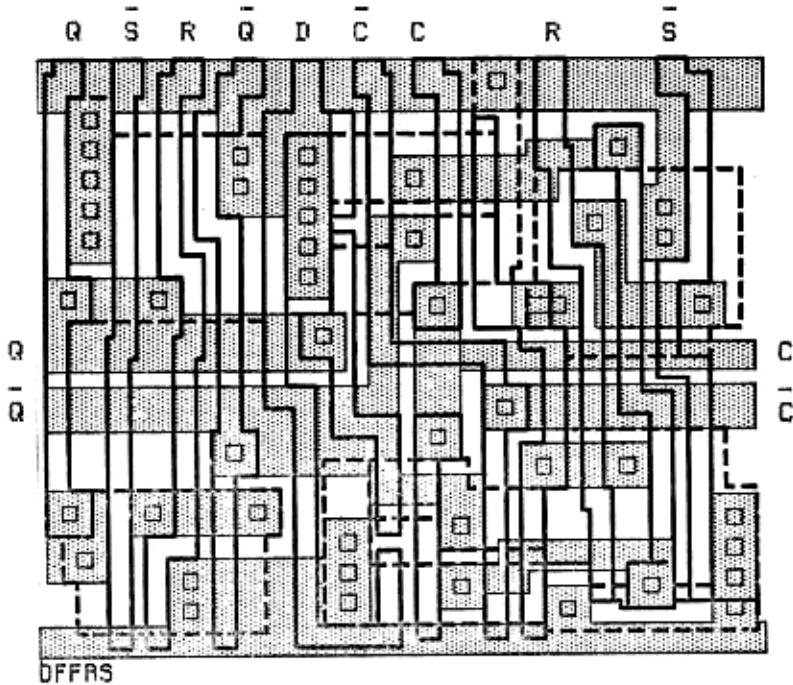
! L L H L !

! H H L H !

! H L nicht erlaubt !

! Layout Fläche: 192 x 160 μm^2 Maßstab: 500 : 1

Anschlüsse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYNDF

Blatt: 1

Beschreibung: dynamisches D - Flip-Flop

Mit C=L wird der D-Einsatz abgetrennt und der erste Inverter hochohmig. Am Knoten 3 erfolgt die dynamische Zwischenspeicherung. Der zweite Inverter wird aktiv und gibt die Information ins Latch weiter. Mit C=H wird die Information gehalten. Durch die dynamische Speicherung bedingt ist die Zeitdauer C=L beschränkt auf 1ms. Das Flip-Flop schaltet auf der H/L-Flanke von C.

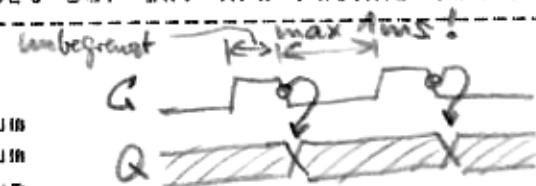
Transistor-
dimensionierung:

Zeitdauern:

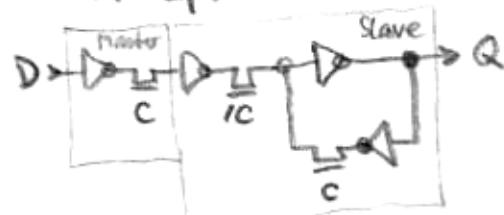
C=1 : unbegrenzt

C=0 : max. 1ms

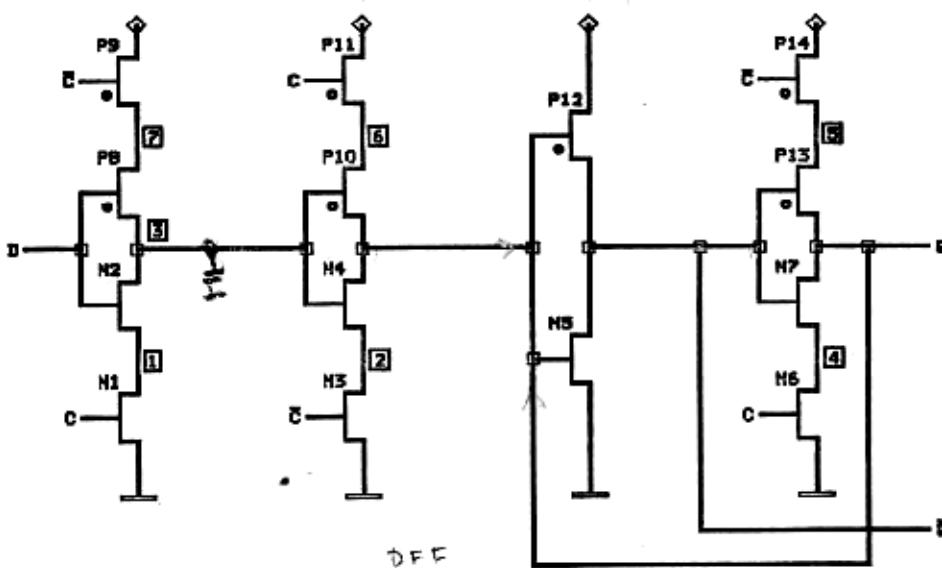
N1	=	16	um
N2	=	16	um
N3	=	16	um
N4	=	16	um
N5	=	38	um
N6	=	16	um
N7	=	16	um
P8	=	18	um
P9	=	18	um
P10	=	18	um
P11	=	18	um
P12	=	50	um
P13	=	18	um
P14	=	18	um



Prinzip:



Transistorplan:



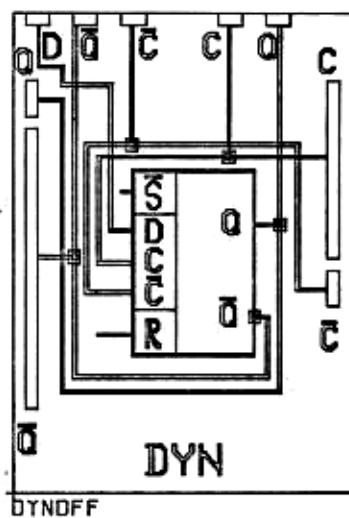
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYNDF

Blatt: 2

Logiksymbol:



Leiste der
Anschluesse:

1 1 1 0 1 1 0

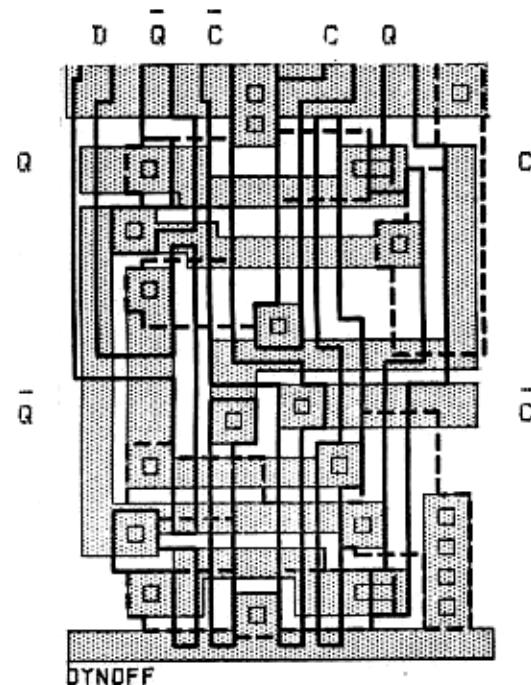
Logikgleichung:

Layout

Flaeche: 112 x 160 um**2

Masstab: 500 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYSTFF

Blatt: 1

Beschreibung: dynamisches Teiler-Flip-Flop
Das DYSTFF schaltet auf der H/L-Flanke von C.
Durch die dynamische Zwischenspeicherung
bedingt, muss eine untere Taktfrequenz und
eine minimale Flankensteilheit eingehalten
werden.

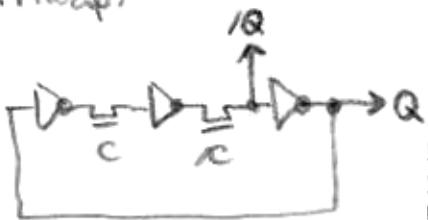
$$f_{min} \geq 1\text{ kHz}$$

Transistor-
dimensionierung:

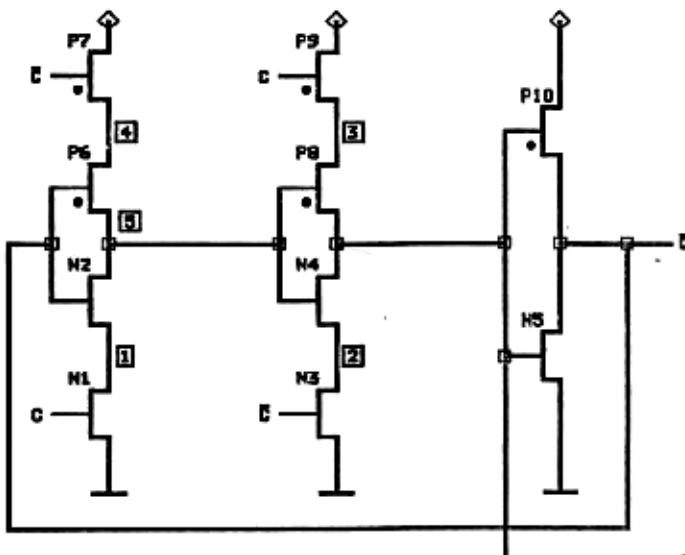
N1	=	40	μm
N2	=	40	μm
N3	=	40	μm
N4	=	40	μm
N5	=	46	μm

P6	=	48	μm
P7	=	48	μm
P8	=	48	μm
P9	=	48	μm
P10	=	60	μm

Prinzip:



Transistorplan:



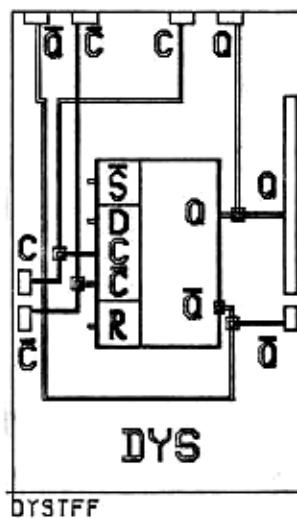
CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYSTFF

Blatt: 2

Logiksymbol:



Lege der
Anschluesse:

1 1 0 1 1 0

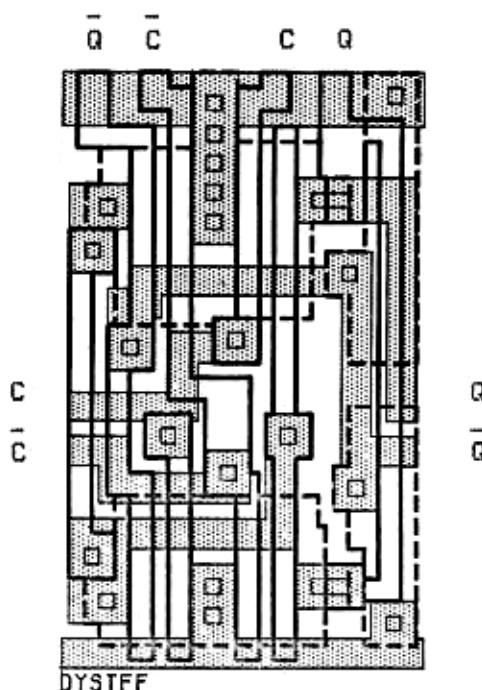
Logikgleichung:

Layout

Flaeche: 96 x 160 μm^2

Masstab: 500 : 1

Anschluesse:



CSGT-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYNTFF

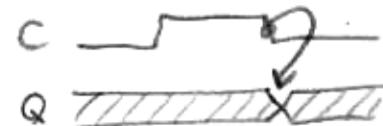
Blatt 1

Beschreibung: dynamisches Teiler-Flip-Flop
Das DYNTFF schaltet auf der H/L-Flanke von C.
Durch die dynamische Zwischenspeicherung
bedingt, muss eine untere Taktfrequenz und
eine minimale Flankensteilheit eingehalten
werden. $f_{min} \geq 1 \text{ kHz}$
DYNTFF und DYSTFF sind schaltungstechnisch
identisch, unterscheiden sich aber im Layout
und in der Dimensionierung.

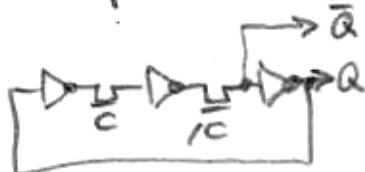
Transistor-
dimensionierung:

N1 = 24 μm
N2 = 24 μm
N3 = 24 μm
N4 = 24 μm
N5 = 26 μm

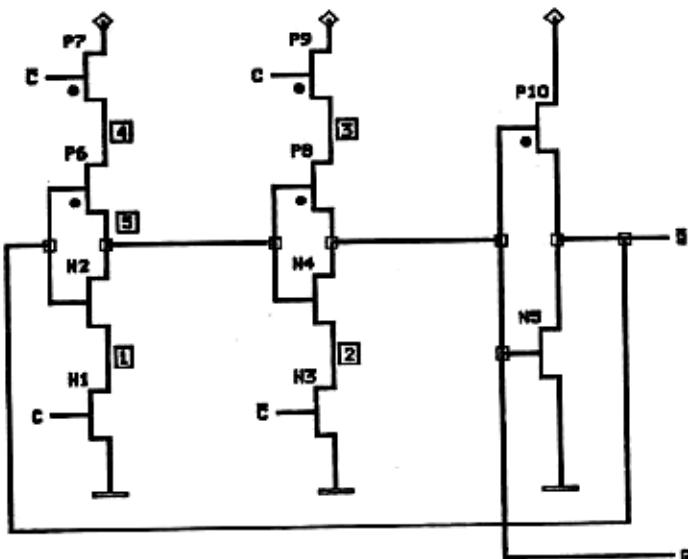
P6 = 32 μm
P7 = 32 μm
P8 = 32 μm
P9 = 32 μm
P10 = 46 μm



Prinzip:



Transistorplan:



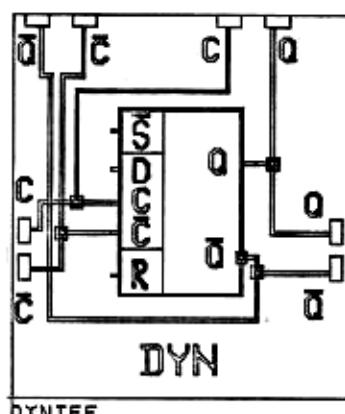
CST-2N - STANDARDZELLEN - KATALOG

Bezeichnung:

DYNTFF

Blatt: 2

Logiksymbol:



Lage der
Anschluesse:

1 1 0 0 1 1 0

Logikgleichung:

Layout

Flaeche: 112 x 128 um**2

Masstab: 1000 : 1

Anschluesse:

