

"Erfahrungen beim Vollkundenentwurf und Anforderungen an VLSI-Entwurfssysteme"

Softwarebasis:

INGE
LSI DIK
LSITRA
LSISYN
LSINBT
LSIA
NIFAN

Layouteditor
Entwurfsregelprüfung
Transisterrückübersetzung
elektr. Syntaxprüfung
Schaltstimulator f. Verifikation
Logiksimulator f. Synthese
elektr. Netzwerkanalyse

} global,
nicht hierarchisch!

Aufwand pro 10 000 Transistoren (digital, NHOS):

Layoutentw.	1 MJ
Entw. regelprüfung	< 7% CPU pro Job; total 150 h.
Logikentw.	> 2 MJ, abgerechnet.
Logik Sim.	ca. 500... 1000 h CPU, abgerechnet.
Rückübersetzung	< 7% pro Job; total 150 h.
elektr. Syntaxtest	total 30 h CPU
Testfolgenerstellung	1 MJ... 2h
Log. Verifikation	> <u>1000 h CPU</u> (Bedarf 10 fach höher)

Speicherplatz

INGE
HOST

ca. 300 KB \approx 2... 3000 Figuren (RAM)
 \varnothing 5KB pro Transistor (Platte): 50 MB total

↗ Gesamtchiffre: 10^6 Figuren

Hardwarebasis

Grafik-EAS

DNA

Host

INT-CAD-SYSTEM für den IC-Entwurf

- ADKON
- ANNET
- ARCHIMEDES
- ARCHIV
- CAL
- CONLS
- COMLS
- COMPOS
- DBLLS
- DMI
- DSGS
- DSING
- DSLBS
- DSKU
- DSOPC
- DSPLT
- DSPLT4
- DSPTX
- DS SHO
- DS STA
- DS TEK
- DS TOP
- DS VT
- DS44
- EDILS
- GSDB
- GS85
- HIRDB
- HPE
- HSE
- HTE
- ILSB
- ILSIM

- INGDS
- INGE
- KUDS
- LADY
- LAYGRAF
- LESDB
- LMS
- LSES
- LSEDK
- LSENET
- LSERES
- LSESIM
- LSE SUN
- N PLOT D
- NIFAN
- OPCDS
- PATSY
- PLO
- POLDS
- PPR
- PXE
- SBSDS
- SORBS
- SIMLS
- SORLS
- TEKDB
- TOPDS
- TOP
- TOPSY
- VTE
- WORK
- ZUZ

➤ **WORK** : hierarchisches, funktionell geordnetes Menusystem, das dem Entwerfer Hilfestellung bis zum Erreichen des Zielprogramms oder Programmkomplexes gestattet. Dazwischen sind ca. 20 Programme oder Programmsysteme im Rechnernetz implementiert.

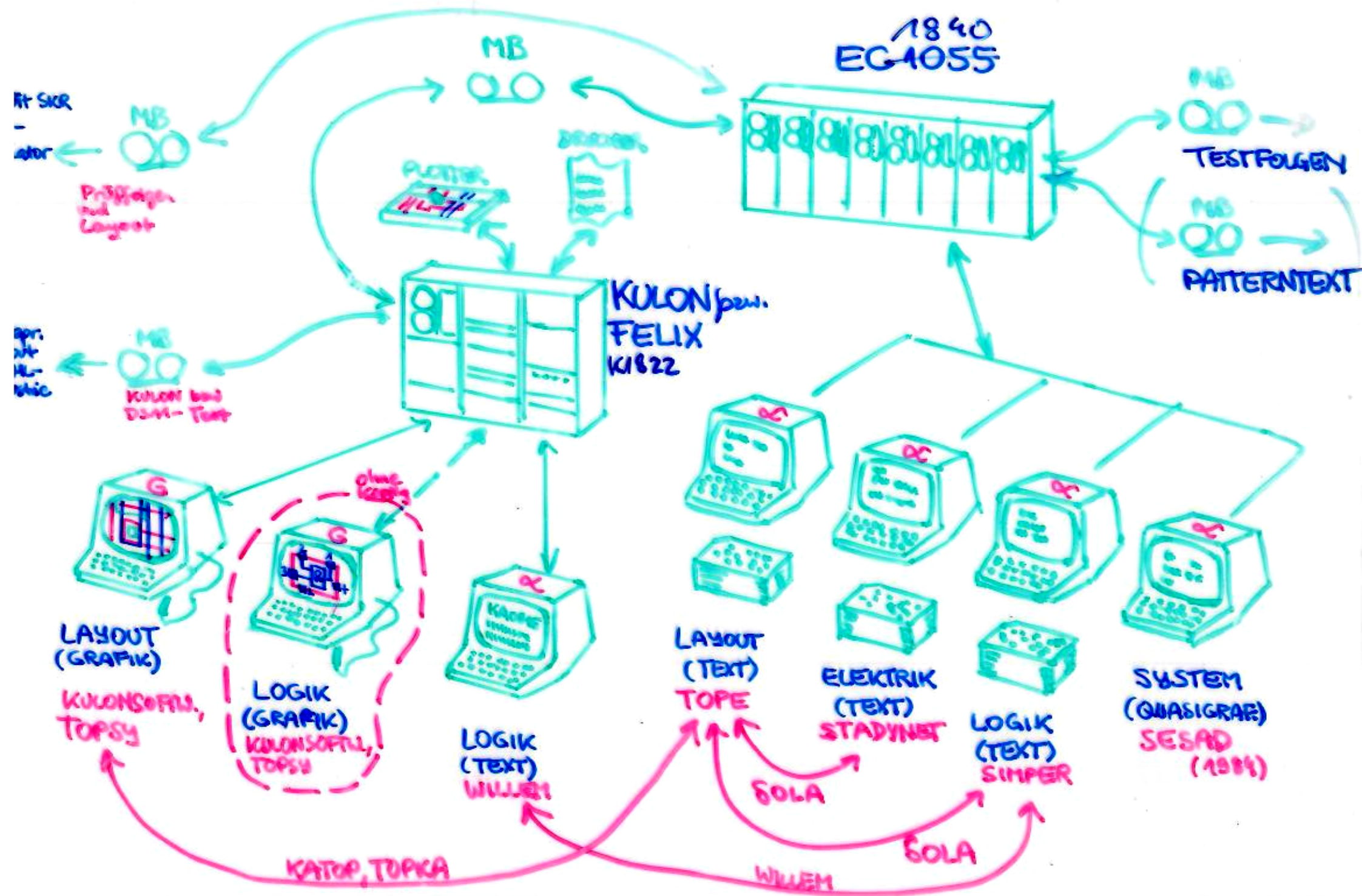
→ Softwareing. ↑ → Entwurf ↑ = große Erfahrungen

VERIFIKATION

(Kongruent verify: als Wahr erweisen, nachweisen,
verification: Wahrheitsbeweis)

- LAYOUTVERIFIKATION (TOPSY, TOPF, DISDS, MODDS, LSNET)
- STRUKTURVERIFIKATION - elektrisch (LSINET)
- DIMENSIONIERUNGSANALYSE - elektrisch (LSINET)
- TIMING-VERIFIKATION (LSINET)
- LOGIK-VERIFIKATION { funktional: LSENET, LSM
strukturell: SOLA, LAYVER, LSM
- Erprobung: TESTBARKEIT

LSI - HARD & SOFTWARE



SOFT & HARDWARE ENDZIEL (?)

