

Realisierung von nachrichtenspezifischen Schaltkreisen mit Hilfe von Halbkudentechniken der Bipolartechnologie

V. Tüngler, D. Warning, O. Hamann, Berlin

Mitteilung aus dem Institut für Nachrichtentechnik

1. Schaltkreise für die Nachrichtentechnik

Im Institut für Nachrichtentechnik (INT) wurden neben anderen Schaltkreisen die Bauelemente KD 310 D als Steuerschaltkreis für die digitale Zentrale OZ 100 und KD 320 D für die Fehlerortungseinrichtung der unbemannten Ämter (Regeneratorbehälter) des Leitungstraktes PCM 480 entwickelt. Für beide Bauelemente wurde der Master ID 30 des HFO-ISA-Systems verwendet.

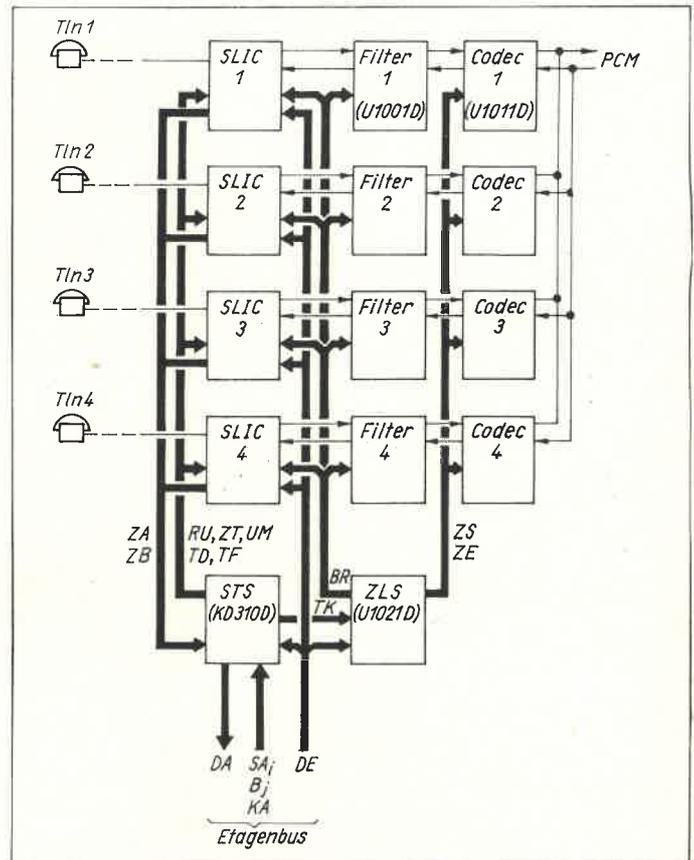
Tafel 1 gibt eine Übersicht über den durch das Halbleiterwerk Frankfurt (Oder) (HFO) angebotenen Master und ermöglicht eine Einordnung der Komplexität der Chips. Die Beschreibung der Funktion der Bauelemente soll anhand der Blockschaltbilder für die Teilnehmerkarte der OZ 100 (Bild 1), die den KD 310 enthält, bzw. der Fehlerortungskarte für die unbemannten Ämter des PCM-480-Leitungstraktes (Bild 2), die den KD 320 enthält, erläutert werden.

Im Bild 1 erkennt man die Funktion dieses Steuerschaltkreises KD 310. Das Bauelement übernimmt als Bindeglied zwischen dem zentralen Steuerrechner und dessen Peripherie (DA, SA_i, B_j, KA, DE) und den gezeigten Bauelementen SLIC und Zeitlagensteuerung folgende Aufgaben:

— Statische Steuerung

In Abhängigkeit von den Adresseneingängen SA0, SA1, den Befehlseingängen B0, B1, B2 und dem Dateneingang DE, wird durch

den Kartenauswahlimpuls KA jeweils einer der zwölf statischen Ausgänge UM1 ... UM4, ZT1 ... ZT4 und RU1 ... RU4 gesetzt bzw. rückgesetzt. Diese Signale dienen der statischen Einstellung der SLIC-Bausteine.



Tafel 1. ISA-Master – Übersicht

	Spannungsfestigkeit V	Bondinseln	Transistoren npn	Transistoren pnp	Widerstände	I ² L-Gatter
IA 10	20	16	59	18	167	
IA 20	20	16	69	12	203	
IA 30	36	16	67	20	114	
IA 40	36	16	50	16	128	
IA 50	36	16	62	10	250	
IA 60	20	24	96	50	132	
ID 10	7	23	58	12	280	280
ID 20	7	40	89	26	1036	280
ID 30	7	40	70	38	384	490

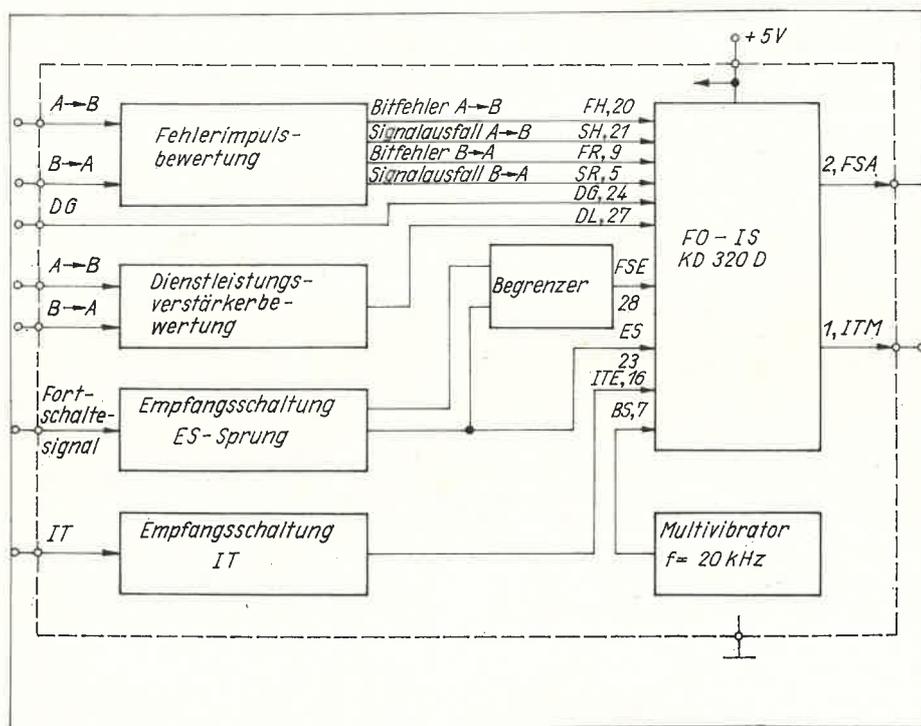


Bild 1. Signalflussbild der Steuergrößen im Teilnehmerersatz der OZ 100 D

ZA, ZB Schleifenzustände; DA Datenausgang (Multiplex ZA, ZB); SA_i Adresse SA0, SA1; B_j Befehl B0, B1, B2; KA Kartenadresse, Auslösungsimpuls; DE Dateneingang; RU, ZT, UM Statische Steuergrößen SLIC; TD, TF Steuer-(Schreib-)Impulse SLIC; TK Steuer-(Schreib-)Impulse Zeitlage; BR Bereitschaftssignal (power down); ZE, ZS Empfangs- bzw. Sendeschlitz

Bild 2. Blockschaltbild der Fehlerortungskarte der unbemannten Ämter des PCM-480-Leitungstraktes

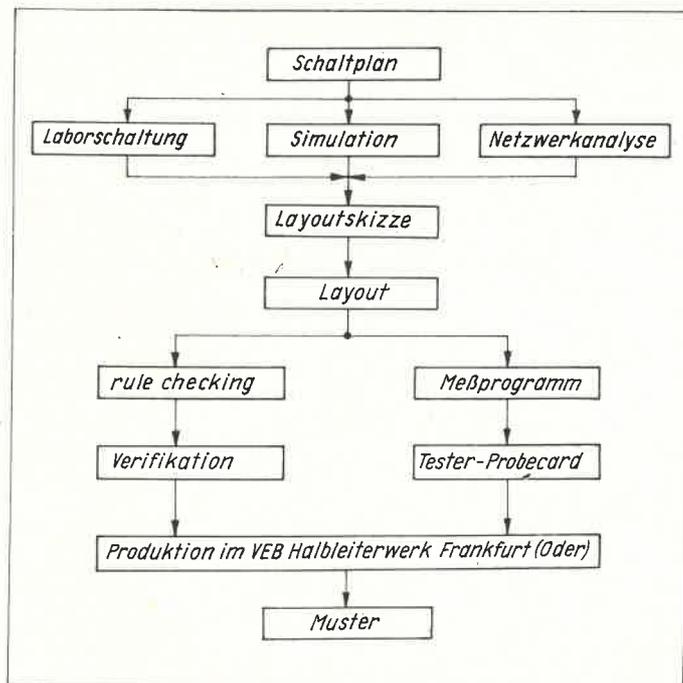


Bild 3. Ablauf einer ISA-Entwicklung

— Dynamische Steuerung

An den dynamischen Ausgängen TF1 ... TF4, TK1 ... TK4 wird in Abhängigkeit von SA0, SA1 und B0, B1, B2 durch KA jeweils ein Impuls ausgelöst.

Die Auslösung eines Impulses durch KA an TD hängt nur von B0, B1, B2 ab.

Das Signal TK (Einschreibetakt für Kanalsteuerwort) dient der Steuerung der Zeitlage.

Die Signale TD (Datenschiebetakt), TF (Datenübernahmetakt) steuern im Niedervoltteil des SLIC solche Funktionen wie die Pegelinstellung.

— Signalbewertung und Multiplexerfunktion

Die an den 8 Eingängen ZA1 ... ZA4 und ZB1 ... ZB4 liegenden logischen Signale werden hinsichtlich ihrer Länge bewertet, wobei der Rahmensynchronkontakt TR des PCM-Systems (488 ns Impuls, 125 µs Periodendauer) als Zeitbasis verwendet wird.

Die Signale ZA_i, ZB_j repräsentieren den Schleifenzustand des SLIC und werden in Abhängigkeit von SA0, SA1, B0 über den Datenausgang DA an den Steuerrechner ausgegeben.

Mit Hilfe von Bild 2 wird die Funktion des Bauelementes KD 320 erläutert. Es erfüllt folgende Aufgaben:

— Zählen der Fehlerimpulse für die A- und B-Richtung (Bitfehler) und Bewerten bezüglich der Aussagen „kleine Fehlerrate“ und „große Fehlerrate“ über den Zeitraum des Ortungszyklus, wofür die Eingänge FH, FR verwendet werden. Darüber hinaus werden von der Fehlerimpulsbewertung die Zustände Signalausfall für jeweils beide Richtungen SH, SR und die statischen Signale DG, DL übernommen.

— Ablaufsteuerung für die Funktionen „Aussenden des im Schaltkreis generierten Fehlerimpulstelegramms“ und „Regenerieren der an den Eingang ITE gelangenden Fehlerimpulstelegramme“.

Diese Ablaufsteuerung wird durch das Fortschaltesignal FSE ausgelöst. Aus FSE wird durch Teilung und logische Verknüpfungen der Multiplexertakt für die Aussendung der seriellen Impulstelegramme und die Steuersignale für die Funktionen „Aussenden ...“ und „Regenerieren ...“ gewonnen.

— Frequenzumtastung zur Darstellung der binären Zustände „High“ und „Low“ an den Ausgängen FSA (Fortschaltesignalausgang) und ITM (modulierter Impulstelegrammausgang).

Diese Umtastung erfolgt zwischen den Frequenzen der Signale FSE (5,12 kHz) und BS (durch interne Frequenzteilung auf ≈ 10 kHz eingestellt) und sichert das verwendete Übertragungsverfahren, das ein auf die PCM aufmoduliertes AM-Signal verwendet.

Für weitere Informationen zu den Schaltkreisen wird auf [1] [2] und den direkten Kontakt mit dem Institut für Nachrichtentechnik verwiesen.

2. Zusammenarbeit Entwurfszentrum — Halbleiterhersteller

Im zweiten Abschnitt wird das Verfahren beschrieben, nach dem im Entwurfszentrum des INT die Zusammenarbeit zwischen Anwender und Entwurf auf der einen Seite und zwischen Entwurf und Halbleiterbetrieb (HFO) auf der anderen Seite bei der Entwicklung von ISA-Schaltkreisen organisiert wird. Die Grundlage dazu bilden die im INT gesammelten Erfahrungen.

Bild 3 zeigt den Ablauf einer ISA-Entwicklung. Hier sind folgende Bemerkungen nötig:

Der Schaltplan wird vom Anwender mit den technischen Forderungen, die er an das Bauelement stellt, als vorläufiges Pflichtenheft übergeben. Aus diesen Materialien wird durch den Entwurf in Zusammenarbeit mit dem Anwender während der Phase der Voruntersuchung und Bilanzierung der Standardentwurf und das Meßtechnikkonzept erarbeitet, wobei die Frage der Realisierbarkeit im Vordergrund steht. Dazu dienen auch die in der zweiten Zeile genannten Verfahren zur Überprüfung der Schaltung.

Nach Abschluß der Bilanzierungsetappe liegen folgende Unterlagen vor:

— Standardentwurf und elektrische Schaltung für das Bauelement durch den Anwender und den Entwurf durch Unterschrift als verbindlich anerkannt

— Meßtechnikkonzept einschließlich des Nachweises der Realisierbarkeit durch die Komponenten kundenschaltkreisspezifische ANL (schaltkreisspezifische Anpaßeinheit) und Tester T 2000 einschließlich der Bereitschaftserklärung des Anwenders zur Realisierung der Meßtechnik für die Serienmessung.

In diesem Zusammenhang ist das Problem zu lösen, daß nur Hauptkenngrößen bei ISA-Bauelementen zugelassen sind, um den Meßtechnikaufwand in Grenzen zu halten, was aber oft den Kundenforderungen widerspricht. Dieser Widerspruch war Gegenstand einer Vielzahl von Abstimmungen zwischen den drei Partnern — Anwender — Entwurf — Halbleiterhersteller — bei der Konstruktion der Bauelemente KD 310 und KD 320.

Beim KD 320 mußte eine Layoutänderung am vollfunktionsfähigen Bauelement vorgenommen werden, um eine geeignete Teststruktur zur Korrelationsmessung des Parameters B_{eff} (Übersteuerungsgrad der I²L-Gatter) mit dem Ziel der Sicherung der Funktion bei -40 °C aus der Messung bei Normalbedingungen unterzubringen.

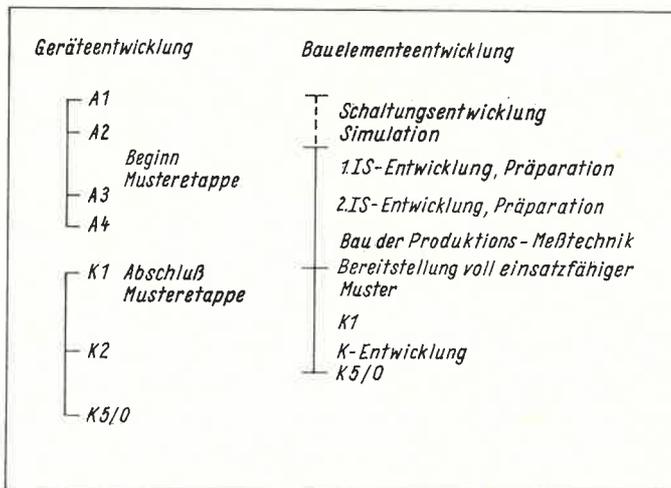
Nach Klärung dieser wesentlichen Fragen erfolgt der Abschluß der Verträge zur Entwicklung von Mustern mit dem Anwender und dem Halbleiterbetrieb HFO, in denen die weiteren Aktivitäten der gemeinsamen Bearbeitung festgelegt werden.

Der Rahmen ist durch die im Bild 4 gezeigte Zeitleiste zur Einordnung der Bauelemententwicklung in den Ablauf der Geräteentwicklung gegeben und wird durch die angegebenen Erfahrungswerte des INT gestützt.

Bild 4. Zeitleiste zur Einordnung der IS-Entwicklung in den Ablauf der Geräteentwicklung, Erfahrungswerte

Die Analyse der Entwicklung der Schaltkreise ergibt folgenden Ablauf für die Hauptetappen:

- Schaltungser(über)arbeitung und Simulation im INT
- Layoutbearbeitung im INT und Überführung in das HFO einschließlich der Verifikation des Layouts nach Fertigstellung
- Präparation im HFO, d. h. Schablonenlochstreifen, Zyklus I, Zyklus II und Endmessung
- Mustererprobung beim Anwender und teilweise im INT
- Erarbeitung eines Funktionsmusters der Serienmeßtechnik



Aus der Zielstellung, termingemäß mit zwei Präparationen voll funktionstüchtige und standardgerechte Muster zu haben, werden die oben gemachten Bemerkungen zur Vorbereitungsetappe und die Notwendigkeit der festgelegten Bedingungen deutlich.

Die weiteren Etappen bis zum Vorliegen der Muster sind vergleichsweise unkompliziert, da hier nur technische und kaum noch organisatorische Probleme zu lösen sind. Es muß insbesondere auf die gute und unkomplizierte Zusammenarbeit mit dem HFO hingewiesen werden.

Im Institut für Nachrichtentechnik wird die Layoutskizze auf einem ausgeplotteten Master (Grundchip) mit Bleistift gezeichnet.

Das Layout wird dann am graphischen Konstruktionsarbeitsplatz (KAP) KULON interaktiv konstruiert, wobei der Master, in diesem Fall der ID 30, in Quadranten zerlegt und für die Konstruktion nicht benötigte Ebenen gelöscht wurden, um die Reaktionszeit des KAP optimal zu gestalten. Nach Konstruktion aller Quadranten wird das Layout zusammengesetzt, die Entwurfsregelprüfung für die kundenspezifischen Ebenen mit dem System TOPSY des HFO durchgeführt und durch Handrückübersetzung die Schaltungsverifikation vorgenommen. Beim Erkennen von Fehlern wird entsprechend korrigiert.

Die Überführung der Layoutdaten in den Halbleiterbetrieb HFO erfolgt als KULON- oder TOPSY-Daten.

Parallel zur Layoutkonstruktion und -verifikation und der 1. Präparation muß die Meßtechnik (Meßprogrammvorlage und das Erprobungsmuster für die ANL) so weit vorbereitet und erprobt sein, daß die Messung der ersten Muster im HFO möglich wird. Während der Auswertung der Mustererprobung, im Kenndaten- und Applikationsbericht zusammengefaßt, erfolgt die Festlegung der Layoutänderungen, der Änderungen am Standard und der Änderungen an

der Meßtechnik, die durch Unterschrift des Kenndaten- und Applikationsberichts durch den Anwender und den Entwurf bestätigt werden.

Dieses Verfahren wurde beim KD 320 konsequent und beim KD 310 bedingt verwirklicht und von allen Partnern als günstig anerkannt.

Die weiteren Schritte gemäß Bild 4 sind Iterationen, wobei es gegenwärtig noch nicht das „perfekte Verfahren“ gibt, so daß hier immer wieder Abstimmungen zwischen den drei Partnern erforderlich sind, die aber erfahrungsgemäß Protokollcharakter haben müssen, um den komplizierten Organisationsprozeß zu überblicken.

Als Beispiel sollen hier die vorläufige Überleitung einer Layoutvariante des Bauelements KD 310 zur Sicherung der Musterproduktion der kleinen Zentrale OZ 100 bei gleichzeitiger Überarbeitung des Bauelements bezüglich der vollen Datenhaltigkeit und die Übernahme des Zuverlässigkeitsnachweises für das Bauelement KD 320 durch das INT erwähnt werden.

Generell ist abschließend festzustellen, daß der komplizierte Prozeß den die drei Beteiligten (Anwender — Entwurf — Halbleiterhersteller) beim Entwurf und der Überleitung von ISA-Bauelementen zu organisieren haben, nur durch kameradschaftliche sozialistische Gemeinschaftsarbeit möglich ist, wobei sich der „Entwurf“ des INT auch in koordinierender Funktion sieht.

NaA 9507

Literatur

- [1] Werkstandard des HFO, HFO-S 754.155 „Bipolarer ISA-Kundenschaltkreis KD 310 D“
- [2] Werkstandard des HFO, HFO-S 803.41 „Bipolarer ISA-Kundenschaltkreis KD 320 D“

Dr. sc. nat. Volker Tüngler, Dipl.-Ing. Dietmar Warning, Dipl.-Ing. Olaf Hamann, Institut für Nachrichtentechnik, 1160 Berlin, Edisonstr. 63

Eine neue Struktur zur Analog-Digital-Wandlung

H. Krambeer, KDT; U. Möller, K. Westendorff, Wismar

Mitteilung aus der Ingenieurhochschule Wismar, Sektion Technologie der Elektrotechnik/Elektronik

Es wird ein Analog-Digital-Wandler mit gemischt parallel-serieller Struktur beschrieben, der für den Einsatz in der Meßtechnik und Signalverarbeitung entwickelt und realisiert wurde. Die Vor- und Nachteile serieller Wandlung (niedriger Schaltungsaufwand, Bereitstellung des Wandlungsergebnisses erst nach einer von der geforderten Auflösung abhängigen Anzahl von Wandlungszyklen) sowie paralleler Wandlung (hoher Schaltungsaufwand, Wandlungsergebnis nach einem Wandlungszyklus) sind in [1] [2] hinreichend beschrieben. Die Verknüpfung der genannten Prinzipien ermöglicht es, für den jeweiligen Anwendungsfall einen Kompromiß bezüglich Aufwand, Genauigkeit und Wandlungsgeschwindigkeit zu finden.

1. Prinzip der parallel-seriellen Wandlung mit sukzessiver Approximation

Aus dem Wandler für rein serielle sukzessive Approximation [3] [4] ergibt sich die Grundstruktur für eine parallel-serielle Wandlung, indem statt eines DA-Wandlers und eines Komparators $2^n - 1$ DA-Wandler und ebensoviele Komparatoren eingesetzt werden, wenn n die Anzahl der je Zyklus zu wandelnden Bit ist (Bild 1). Mit einem solchen Wandler ist bei m Wandlungszyklen eine Auflösung von $z = n \cdot m$ bit zu erreichen, wenn die Auflösung und Genauigkeit der DA-Wandler das zulassen.

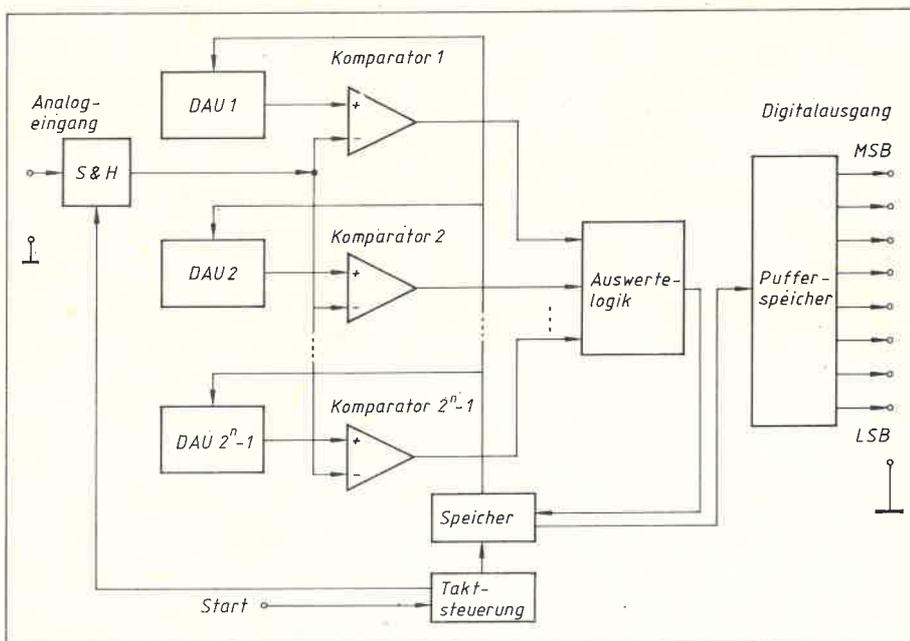


Bild 1. Grundstruktur der seriell-parallelen AD-Wandlung mit sukzessiver Approximation [5]