

Steuerschaltkreis KD 310 für Teilnehmereinrichtungen

1. Einleitung

Der Schaltkreis KD 310D ist eine auf der Basis des HFO-ISA-Systems entwickelte digitale nachrichtenspezifische Schaltung. Das HFO-ISA-System basiert auf der Verwendung erprobter Si-Grundchips mit fester Elementeanordnung und einer vom Anwender festzulegenden Verbindungsführung. Für den KD 310D wurde das digitale Grundchip ID 30 verwendet, dessen Logikelemente in der bipolaren I^2L -Technik realisiert sind. Die Chips werden im 40-poligen DIL-Gehäuse aus Plast montiert. Bild 1 gibt einen Überblick über die Komplexität der Masterchips ID 30 /1/.

Die Entwicklung der Schaltung, der Layoutentwurf der Verbindungsmaske und die Entwicklung der Produktionsmeßtechnik erfolgten im ZFTN Berlin in enger Kooperation mit dem VEB Halbleiterwerk Frankfurt/Oder. Der Schaltkreis KD 310D ist fester Bestandteil der Bauelementebasis bei der Geräteentwicklung in zwei Betrieben des Kombines Nachrichtenelektronik: dem VEB Nachrichtenelektronik Leipzig und dem VEB Fernmeldewerk Neustadt-Glewe.

2. Aufbau und Funktion des Steuerschaltkreises

Aufbau und Funktion des KD 310D sollten am Beispiel seines Einsatzes in der Teilnehmerschaltung der digitalen Telefonzentrale OZ 100D etwas näher erläutert werden. Im Bild 2 ist ein Blockschaltbild der Teilnehmerkarte der OZ 100D dargestellt, in dem die wichtigsten Signale angegeben sind /2/.

Der KD 310D stellt das Bindeglied zwischen dem zentralen Steuerrechner und den peripheren Einrichtungen für jeweils 4 Teilnehmersätze dar. Die Funktionen des KD 310D kann man in 4 Gruppen einteilen:

- a) statische Steuerung
- b) dynamische Steuerung
- c) Signalbewertung und
- d) Multiplexerfunktion

Zur Erfüllung dieser Aufgaben wurde eine komplexe digitale Schaltung, bestehend aus 16 Eingangsstufen, 22 Ausgangsstufen, 24 T-Flip-Flops, einem 1-aus-8-Multiplexer, einem 3-zu-8-Decoder, einem 2-zu-4-Decoder, einem 4 Bit-Zähler (maximal 8kHz), vier 2-Bit-Zählern, 8 D-Flip-Flops und anderen Logikelementen entwickelt. Im Bild 3 ist ein Übersichtsschaltbild des KD 310D gezeigt.

Für die erwähnte Anwendung auf der Teilnehmerschaltung läßt sich der Steuerschaltkreis in zwei große Funktionsblöcke aufteilen:

- a) die Teilnehmer- und Befehlsauswahl und
- b) die Signalbewertung mit dazugehöriger Taktaufbereitung und Multiplexer.

Die Teilnehmer- und Befehlsauswahl verarbeitet die zwei Adreßsignale (SA_0 , SA_1), die drei Befehlssignale (B_0 , B_1 , B_2), den Dateneingang (DE) sowie den Auslöseimpuls (KA). In Abhängigkeit von diesen Signalen erfolgt die statische Steuerung der SLICs über die zwölf statischen Ausgänge $UM_1 \dots UM_4$, $ZT_1 \dots ZT_4$, $RU_1 \dots RU_4$, von denen jeweils einer gesetzt oder rückgesetzt wird.

Im einzelnen bedeuten diese Signale:

UM_n = High: Umpolen der Teilnehmerspeisung des Teilnehmers n ,

ZT_n = High: Ausführen einer Teiloperation der Testbusaufschaltung und

RU_n = High: Aussenden eines 25 Hz-Rufes an den Teilnehmer n .

Für die dynamische Steuerung der Teilnehmerkarte sorgen die Taktausgänge TD , $TK_1 \dots TK_4$ und $TF_1 \dots TF_4$. Es handelt sich dabei um ein Durchschalten von H-Impulsen von KA . Der dynamische Ausgang TD ist nicht von den Adreßsignalen an SA_0 , SA_1 sondern nur von den Befehlssignalen B_0 , B_1 und B_2 abhängig. Mit dem wird ein an DE - dem Dateneingang vom Steuerschaltkreis, Zeitlagenschaltkreis und SLIC - liegendes 6-Bit-Wort seriell in alle 4 SLIC eingeschrieben und danach mit einem der Übernahmetakte $TF_1 \dots TF_4$ in den Arbeitsspeicher der durch die Adreßsignale SA_0 , SA_1 ausgewählten SLIC übernommen. Durch dieses 6-Bit-Wort werden Stellinformationen für verschiedene Übertragungs- und Speiseparameter, für die Gebührenimpulstastung und weitere Teiloperationen der Testbusaufschaltung eingeschrieben.

Der sogenannte Kanaltakt TK_n (Codec-Programmiertakt) schreibt ein

an DE anliegendes 8-Bit-Wort seriell in die Zeitlagensteuerung (U1021) ein, mit welchem neben der Art des zu programmierenden Zeitschlitzes (Senden, Empfangen bzw. Senden und Empfangen) und dessen Nummer auch der "power-down"-Zustand für SLIC und Filter eingeschrieben werden kann.

Im Folgenden werden einige Ausführungen zum zweiten Funktionsblock des KD 310D gemacht. Er umfaßt die Signalbewertung der von dem SLIC abgegebenen Signalen über den Schleifenzustand des jeweiligen von SA \emptyset , SA1 bestimmten Teilnehmers, die erforderliche Taktaufbereitung aus dem Rahmensynchrkontakt TRS, das Multiplexen auf den Datenausgang DA und eine Reihe von Registern für die interne Funktionssteuerung. So zum Beispiel das interne Register TEB, dessen Setzen einen konstanten H-Pegel an DA zur Folge hat, was für Kontrollvorgänge von Bedeutung ist.

Die Signalbewertung der Schleifenzustände erfolgt durch eine Entprellung, das heißt das Ausblenden von Zustandsänderungen, die kürzer als eine Zeit t_{aus} sind und das sichere Erkennen von Zustandsänderungen mit $t \geq t_{\text{erk}}$. Für Zeiten zwischen t_{aus} und t_{erk} hängt die Verarbeitung der Zustandsänderungen von ihrer Phasenlage bezüglich des inneren Verarbeitungstaktes ab. Die Größe von t_{aus} und t_{erk} ist vom Taktsignal TRS abhängig und beträgt

$$t_{\text{aus}} = \frac{13}{f_{\text{TRS}}} \quad \text{bzw.} \quad t_{\text{erk}} = \frac{29}{f_{\text{TRS}}}$$

Für die Teilnehmerschaltung ist t_{aus} also 1,625 ms und t_{erk} 3,625 ms. Für die ZA-Signale ist zusätzlich eine Verlängerung der Bewertungszeiten um den Faktor vier möglich. Das geschieht für das Signal ZA $_n$, wenn das interne Register AR $_n$ gleichzeitig mit dem oben bereits erwähnten Register RU $_n$ gesetzt ist. Erscheint am bewerteten Signal ZA $_n$ dann ein H-Pegel, so wird das entsprechende Register Ru $_n$ unabhängig von KA dominant zurückgesetzt.

Der für die Bewertung der Schleifensignale notwendige Takt wird aus dem Rahmensynchrkontakt durch Herunterteilung erzeugt.

Das Durchschalten des ZA $_n$ - bzw. ZB $_n$ -Signale auf den Datenausgang DA erfolgt ebenfalls unabhängig von KA über den von SA \emptyset , SA1 und B \emptyset gesteuerten Multiplexer. Ist also das interne Register TEB nicht gesetzt, so liegt an DA ständig einer der logischen Zustände ZA $_n$

bzw. $ZB_n + an$. Die Zeit, die für das Durchschalten einer Zustandsänderung erforderlich ist, liegt zwischen t_{aus} und t_{erk} und wird von der Phasenlage des Auftretens der Änderung bestimmt.

3. Eigenschaften

Im Folgenden werden die Interface-Stufen des KD 310D näher erläutert. Wie bereits erwähnt, beinhaltet der KD 310D 16 Input- und 22 Outputstufen. Für die Eingänge werden die Standard-TTL- I^2L -Interface-Stufen mit einem npn-Transistor verwendet. Einzig für die TRS-Eingangsstufen wurde wegen des externen Tstverhältnisses - 488-ns-Impuls im 8-kHz-Rythmus - eine Modifizierung zur Verlängerung der Impulsnadel für die nachfolgende I^2L -Schaltung vorgenommen /3/. Bei den Ausgangsstufen handelt es sich um einfache Open-Kollektor-Stufen mit interner Pull-up-Stromquelle und eine Stromaufnahme-fähigkeit von 1,6 mA im Low-Zustand. Die Ausnahme bildet der Ausgang DA mit einer Gegentaktendstufe und einem Low-Strom von 4 mA. Die Gesamtstromaufnahme des Steuerschaltkreises liegt bei 20 mA bei einer Nennbetriebsspannung von + 5 V. Der Betriebtemperaturbereich liegt zwischen 0°C und +70°C /4/.

4. Prüfung

Wie schon gesagt, wird der KD 310D im VEB Halbleiterwerk Frankfurt/Oder im 40-poligen DIL-Plastgehäuse produziert.

Die Produktionsmeßtechnik, sowohl für die Schreib- als auch für die Endmessung, wurde am üblichen Tester T 2000 mit einer - gemäß dem ISA-Verfahren im INT entwickelten und hergestellten - schaltkreisspezifischen Anpaßeinheit (ANL) realisiert. Dafür wurde - ebenfalls im INT - eine Meßprogrammvorlage erarbeitet, die von den Kollegen der Meßtechnik im VEB HFO in ein Meßprogramm für den Tester 2000 umgesetzt wurde. Mit dieser Meßtechnik werden die im Bauelementestandard festgelegten Hauptkenngrößen sowie die logische Funktion des Steuerschaltkreises nachgewiesen. Dabei werden die ebenfalls im Standard geforderten Lastbedingungen eingestellt und über die digitalen Aus- und Eingänge des Testers die entsprechenden Signale geliefert bzw. bewertet.

Abschließend möchte ich noch auf das vom VEB HFO gezeigte kooperative Verhalten hinweisen, das ermöglichte, die Entwicklung des

Steuerschaltkreises trotz vielfältiger Probleme durchzuführen und ihn in die Produktion zu überführen.

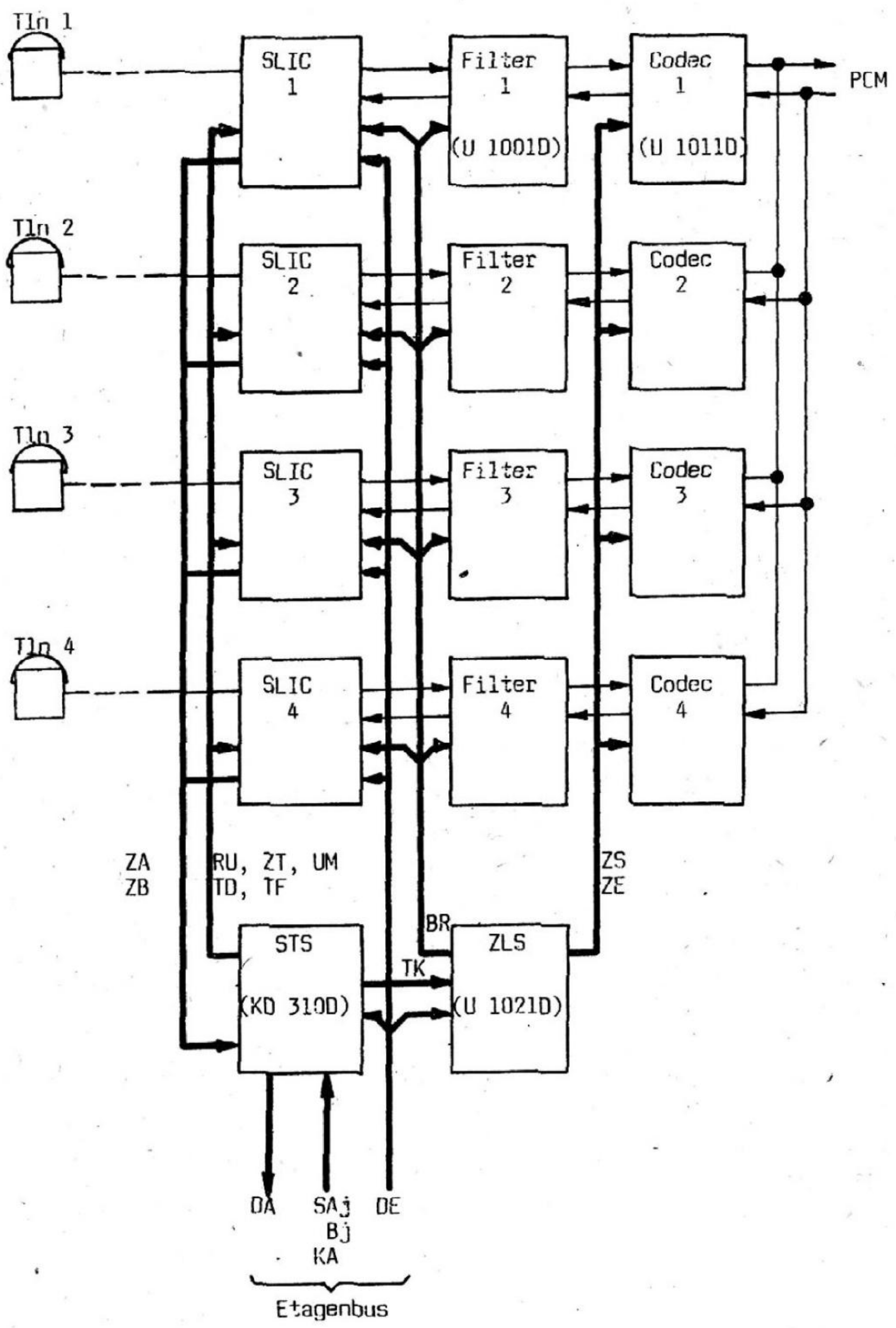
Literatur

- /1/ Jüngling; Neugebauer; Fulde: DAS HFO'IDA'SYSTEM. Kundeninformationsschrift
- /2/ Tüngler; Warning; Hamann: Realisierung von nachrichtenspezifischen Schaltkreisen mit Hilfe von Halbkudentechniken der Bipolartechnologie. NTE, Berlin 1986, Nr. 1
- /3/ Krahl; Weißflog: Tatent H03K 5/04 DD WP 223601
- /4/ Bipolarer ISA-Kundenschaltkreis KD 310D. Werkstandard des HFO, HFO-S 754.155

	Spannungs- festig- keit	Bond- inseln	Transistoren		Wider- stände	I ² L- Gatter
			npn	pnp		
IA 10	20	16	59	18	167	
IA 20	20	16	69	12	203	
IA 30	36	16	67	20	114	
IA 40	36	16	50	16	128	
IA 50	36	16	62	10	250	
IA 60	20	24	96	50	132	
ID 10	7	23	58	12	280	280
ID 20	7	40	89	26	1036	280
ID 30	7	40	70	38	384	490

Übersicht ISA-Grundchips

KD 310, Bild 1



KD 310, Bild 2

1. Statische Ausgänge (Register) und dynamische Ausgänge

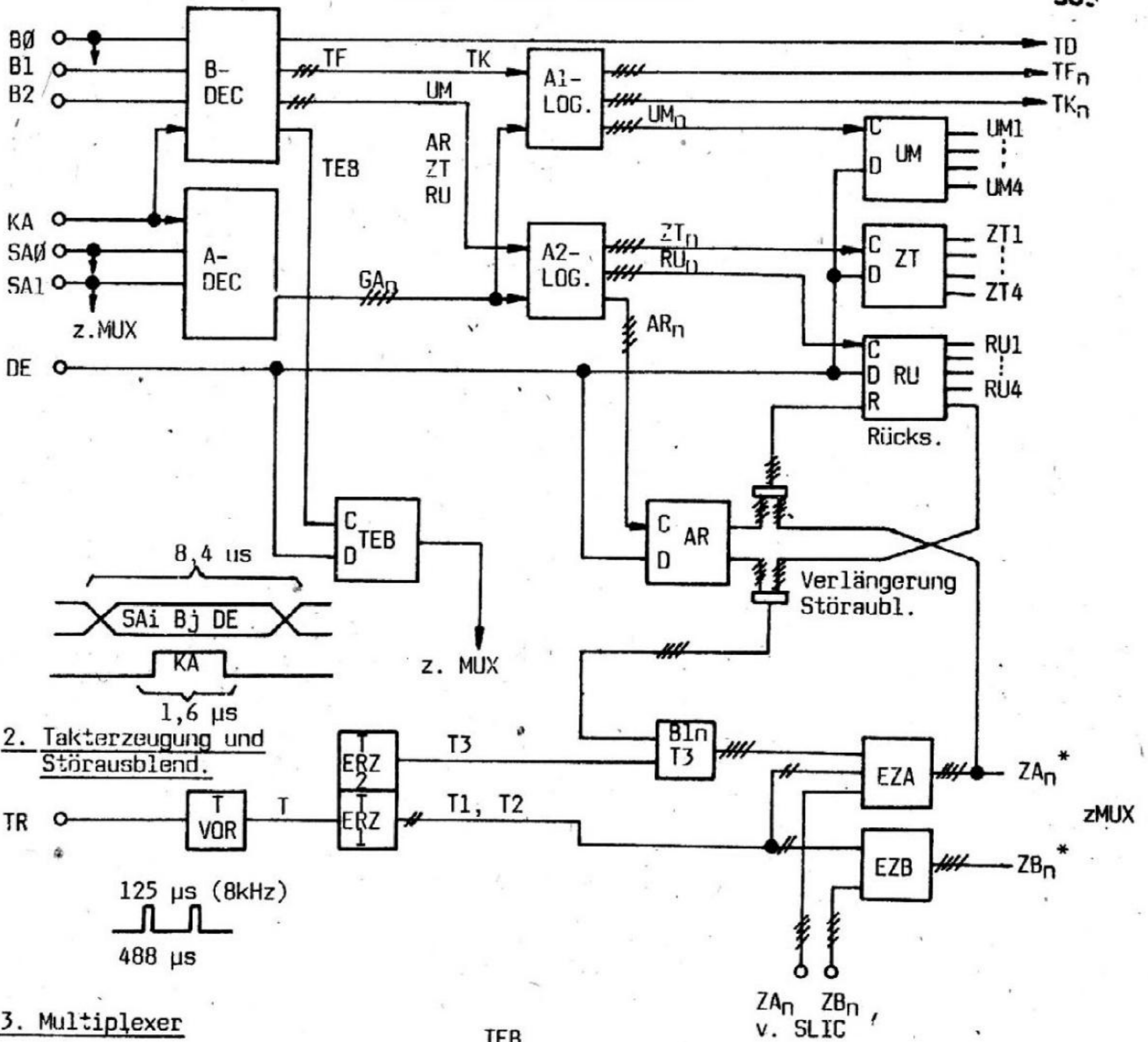


Bild 3: Funktionsgruppen des KD 310

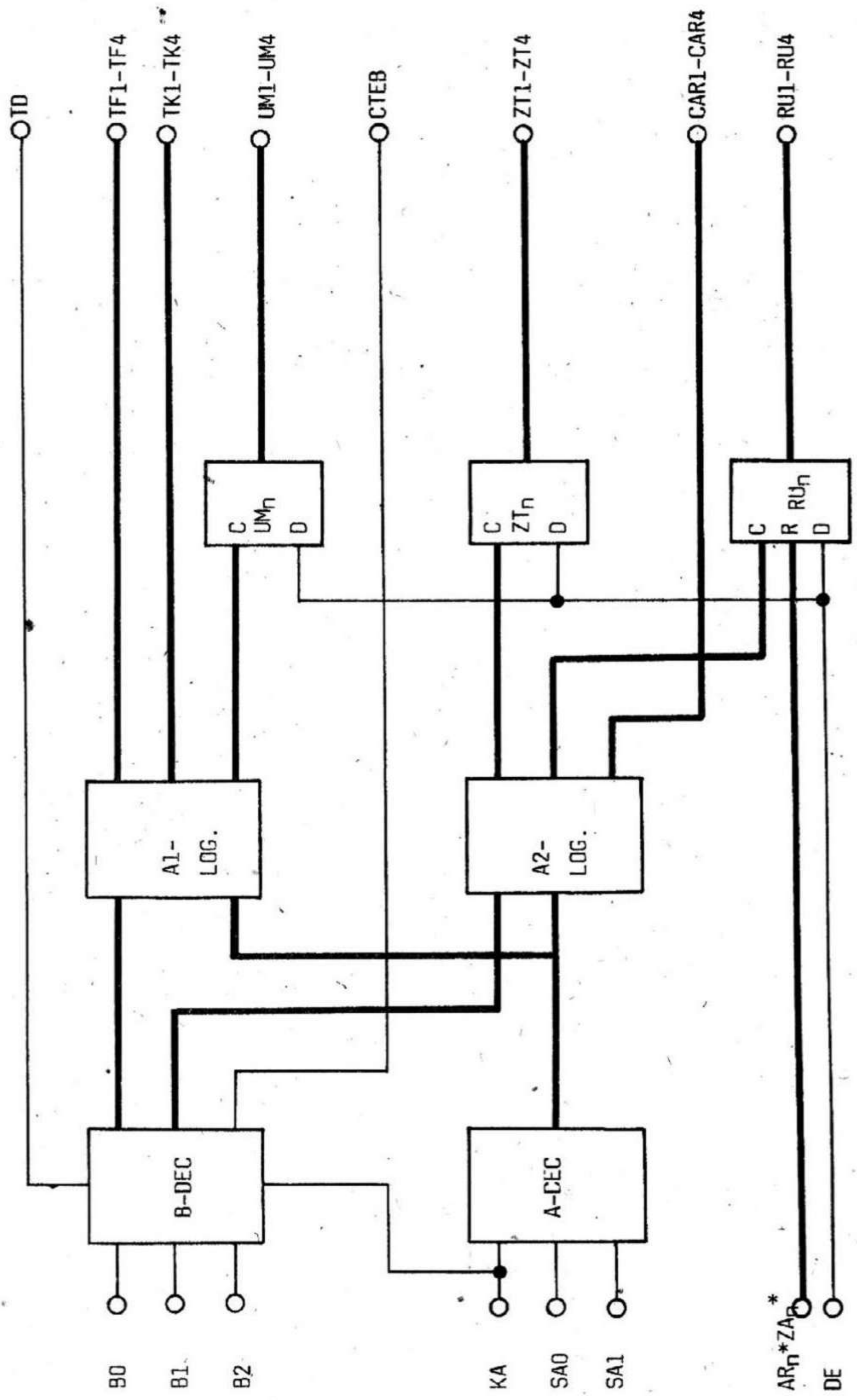


Bild 4: Blockschaltbild KD 31C Teil 1

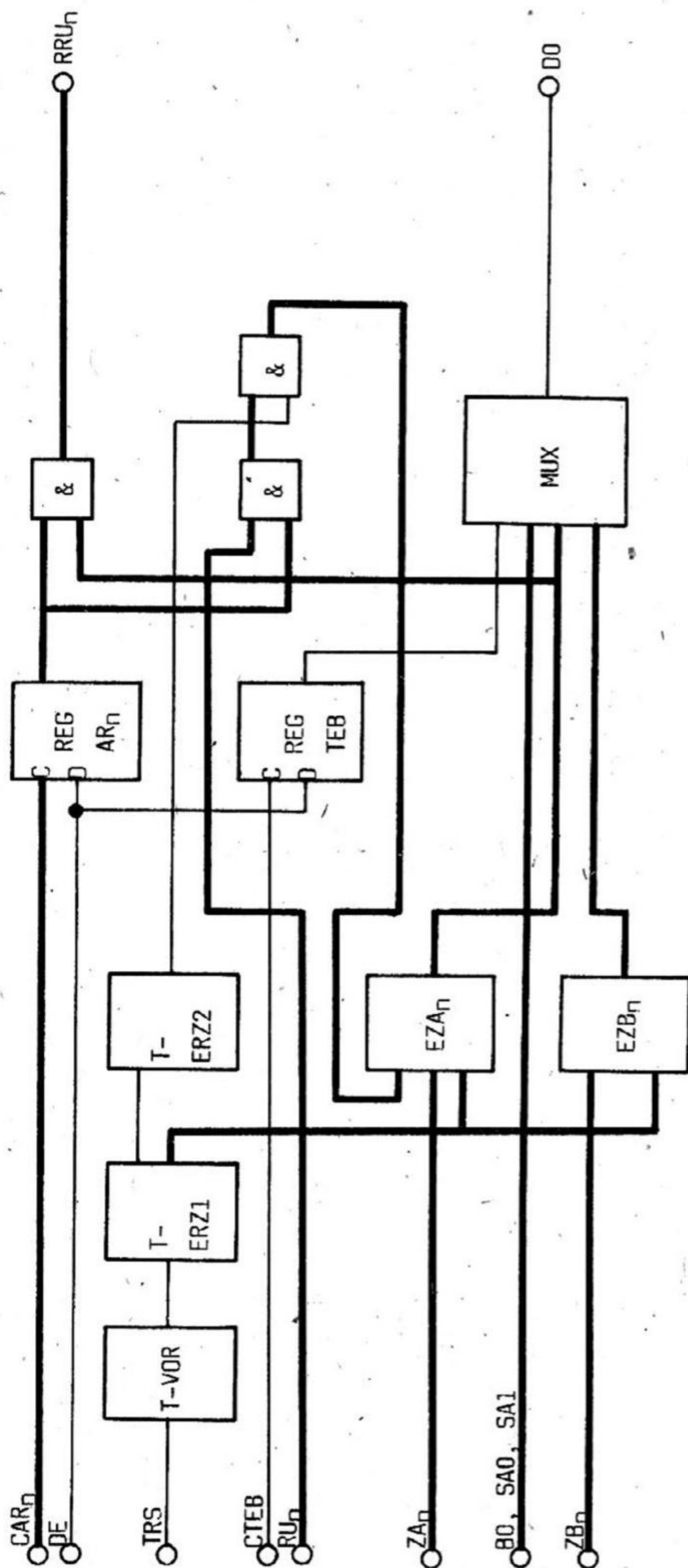


Bild 5: Blockschaltsbild KD 310 Teil 2

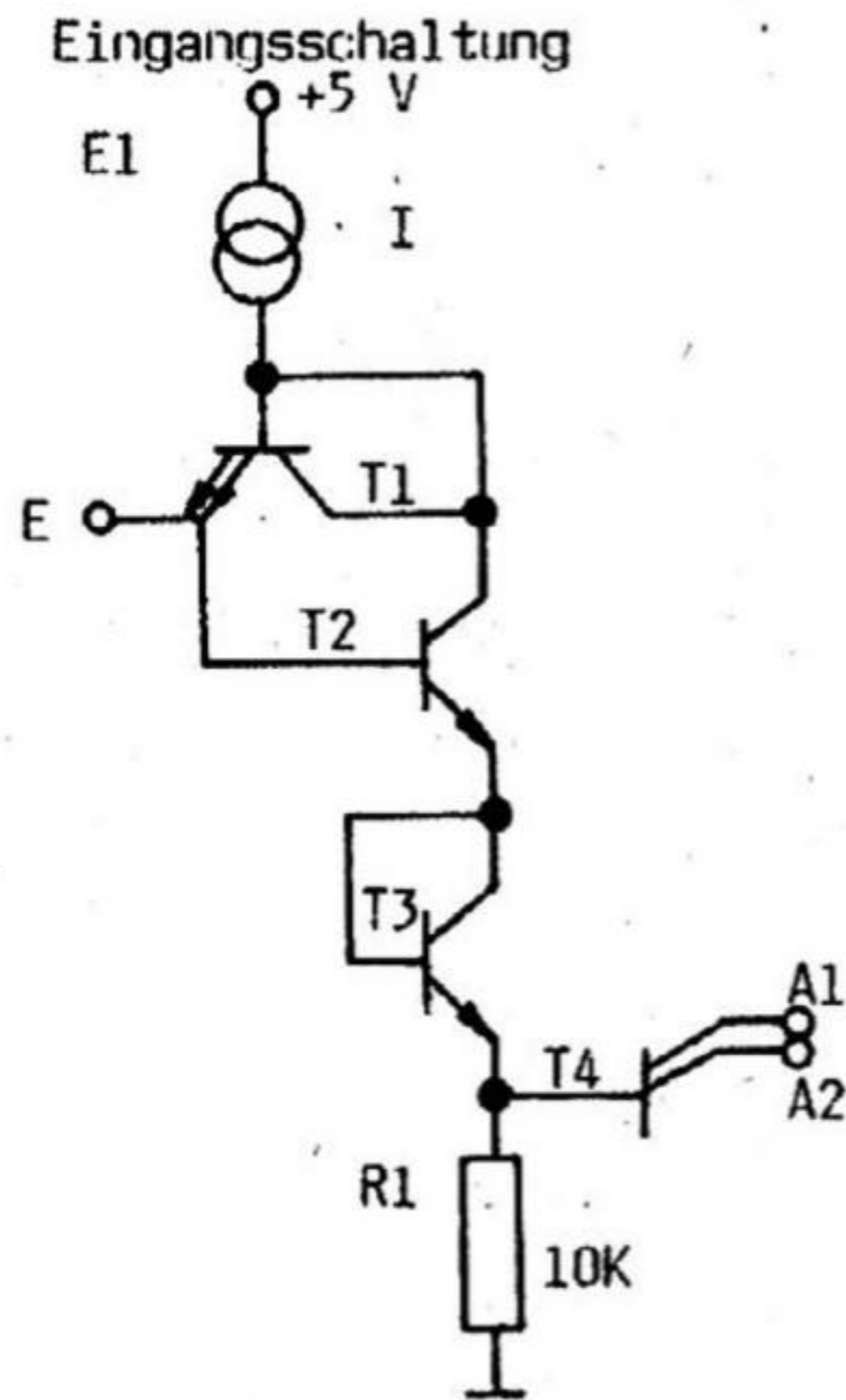
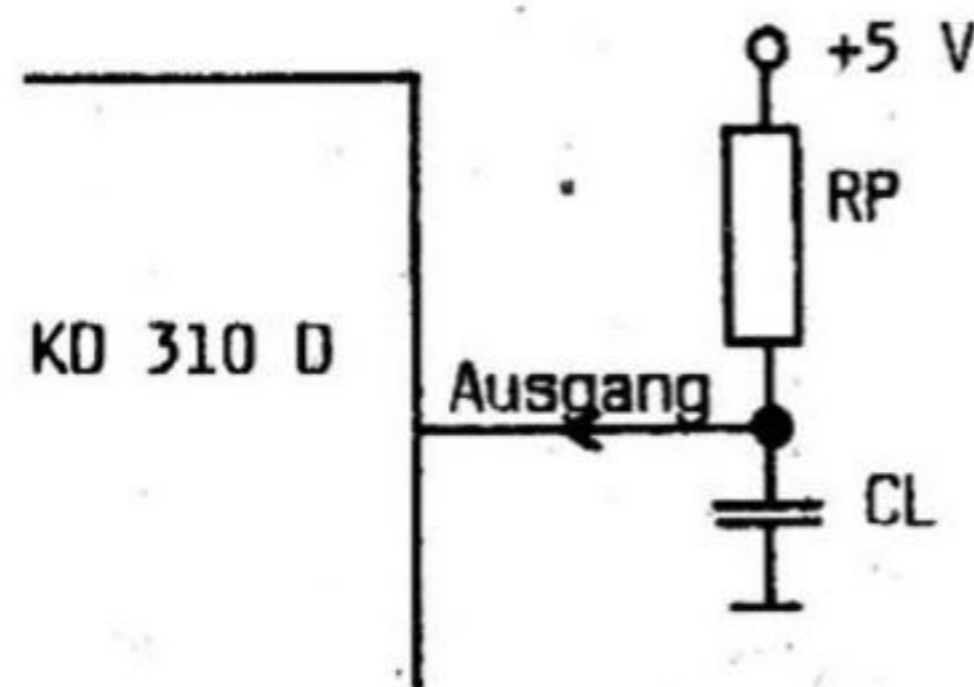


Bild 6: Standard- Interface-Stufe TTL-I²L



$C_{Lmax} = 15 \text{ pF}$

Bild 7a: Lastbedingungen

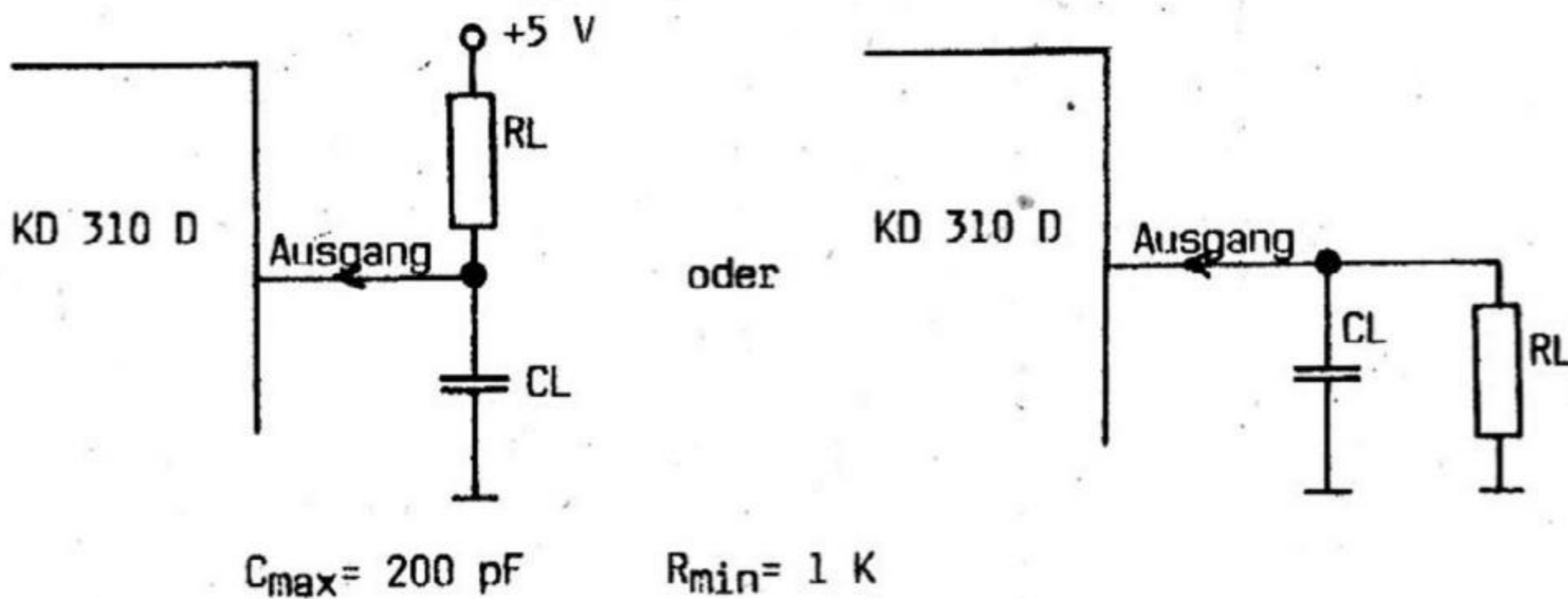


Bild 7b: Lastbedingungen für DA

Tafel 1

Teilnehmeradressierung

SA0	SA1	n (Teilnehmer-Nr.)
L	L	1
H	L	2
L	H	3
H	H	4

Tafel 2

Befehlsauswahl

B0	B1	B2	DE	Operation
L	L	L	H	Register AR_n setzen
L	L	L	H	Register AR_n rücksetzen
H	H	H	H	Register TEB setzen
H	H	H	L	Register TEB rücksetzen
L	H	H	H	Register UM_n setzen
L	H	H	L	Register UM_n rücksetzen
H	L	L	H	Register ZI_n setzen
H	L	L	L	Register ZI_n rücksetzen
H	L	H	H	Register AU_n setzen
H	L	H	L	Register AU_n rücksetzen
L	L	H	X	Taktimpuls TD
L	H	L	X	Taktimpuls TF_n
H	H	L	X	Taktimpuls TK_n

Tafel 3

Multiplexerfunktion

SA0	SA1	B0	DA
L	L	L	ZA1
H	L	L	ZA2
L	H	L	ZA3
H	H	L	ZA4
L	L	H	ZB1
H	L	H	ZB2
L	H	H	ZB3
H	H	H	ZB4