

Dipl.-Ing. Gerhard Neugebauer
VE3 Halbleiterwerk Frankfurt/Oder im VEB
Kombinat Mikroelektronik

Integrierte Schaltungsanordnungen aus dem VEB Halbleiterwerk Frankfurt/Oder

Es wird ein Entwurfssystem für anwenderspezifische Schaltkreise erläutert. Der zukünftige Anwender gestaltet selbst den Entwurf seines integrierten Schaltkreises (IS) und die spezifische Meßtechnik. Der Bauelementehersteller bietet ihm als IS-Entwurfshilfen Verfahren des rechnergestützten Entwurfs (ISACAD).

1. Ziele

International hat die Herstellung und Anwendung von anwenderspezifischen Schaltkreisen in den letzten Jahren überdurchschnittlich an Bedeutung gewonnen. Diesem Trend entsprechend wurde vom VEB Halbleiterwerk Frankfurt/Oder (HFO) ein neues Array-System entwickelt, das den Entwurf und die Realisierung von anwenderspezifischen Schaltkreisen zum Ziel hat. Die Systembezeichnung "ISA" steht für integrierte Schaltungsanordnungen.

Die mehrjährigen Kundenerfahrungen des VEB HFO mit dem System IA 10 bis IA 60 und ID 10 bis ID 30 ordnen sich auf Grund der erzielbaren Effekte in die verstärkten internationalen Erkenntnisse zur Entwicklung anwenderspezifischer Schaltkreise ein. Der Einsatz von anwenderspezifischen Schaltkreisen trägt in hohem Maße zur Strukturveränderung in allen Zweigen der Geräteindustrie bei. Wesentliche Merkmale dieser Entwicklung sind:

- Schaffung völlig neuer Generationen von Gerätesystemen durch Nutzung der Vorteile der Mikroelektronik, wie höhere Schaltungskomplexität, geringere Verarbeitungszeiten, geringere Leistungsaufnahme, höhere Zuverlässigkeit
- Einsparung von Material und Verarbeitungsenergie in der Anwenderindustrie
- Erschließung des Systementwurfspotentials der Anwenderindustrie für die breite und direkte Nutzung der Mikroelektronik.

2. Systemkonzept

Anwenderspezifische Schaltkreise sind ein weiterer Schritt zu einfacheren Herstellungs- und Entwurfsverfahren von IS. Im Gegensatz zu einem Vollkunden-Schaltkreis, bei dem alle Prozeßschritte auf das Einzelprodukt abgestimmt sind, wird bei einem ISA-Schaltkreis die vom Bauelementehersteller vorgegebene Chip-Bauteilstruktur (d. h. einzelne Transistoren, Gatter, Widerstände und Kapazitäten) nach Anwenderspezifikation über die Metallisierungsebene verdrahtet.

Anwenderspezifische Schaltkreise werden somit nur in den letzten Fertigungsschritten anwenderspezifisch gestaltet und die Bezeichnung ISA-Schaltkreise bezieht sich somit nur auf den Fertigungsablauf, das Endprodukt jedoch ist ein vollwertiger IS.

Durch dieses Verfahrensprinzip werden folgende Vorteile wirksam:

- Reduzierung der Entwicklungszeit für den speziellen Schaltkreis durch den ständigen Zugriff auf vorgefertigte Scheiben mit der vom Bauelementehersteller vorgegebenen Chip-Bauteilstruktur - Verringerung des Risikos der IS-Entwicklung, da die Entwicklung der ISA-Arrays durch den Bauelementehersteller zu Beginn der Entwicklung eines anwenderspezifischen Schaltkreises bereits abgeschlossen ist, die Herstellungstechnologie reproduzierbar beherrscht wird und ähnlich wie bei Standardschaltkreisen abläuft.

Um die verschiedenen Anwenderforderungen rationell und schnell zu lösen, ist es notwendig, in derartigen Systemen mehrere Arrays, im weiteren als Grundchip bezeichnet, zur Verfügung zu haben. Das HFO-ISA-System bietet diese Grundchips in verschiedener Größe.

Einzelstrukturanordnung und Grundtechnologie an. Bei der Konstruktion eines ISA-Schaltkreises wird vom Anwender somit derjenige Chip ausgewählt, der seinen speziellen Anforderungen am besten genügt und ein Leitbahn-Muster entworfen, das die auf dem Chip angeordneten Einzelstrukturen gemäß der geforderten elektrischen Funktionen verbindet. Nicht benutzte Einzelstrukturen bleiben unbeschaltet. Da alle Einzelstrukturen frei zugänglich sind, gibt es eine sehr große Anzahl von Möglichkeiten, die auf den Grundchips angeordneten Einzelstrukturen durch ein entsprechendes Leitbahnmuster zu verbinden.

3. ISA-Grundchips

Für den ISACAD-Entwurf stehen vier bipolare Grundchips ID 40, ID 50, ID 60 und ID 70 zur Verfügung. Die Grundchips zeichnen sich durch identischen Aufbau, einheitlichen Verdrahtungsraster und Bibliothekfähigkeit aus. Die Grundchips sind für Betriebsspannungen bis 20 V und für das im HFO verfügbare Gehäusesortiment zugelassen (Tabellen 1 und 2). Der prinzipielle Aufbau der Grundchips ist am Beispiel ID 60 erläutert.

Auf dem ID 60 sind enthalten (Bild 1):

- 12 I²L-Transistorzellen, die durch Injektoren in 24 Halbzellen mit je 18 Transistoren getrennt werden
- 14 Interfacezellen mit je zwei Bondinseln und ca. 10 Transistoren.

Die Verbindung zwischen den I²L-Zellen erfolgt an Kreuzungspunkten über niederohmige Unterführungskanäle. Die Konstruktionspunkte der Kontakt- und Leitbahnebene liegen in einem vorgegebenen Raster. Mit dieser Maßgabe werden weitgehend gerade Leitbahnführungen in allen Chipteilen möglich.

4. ISACAD

Das Programmsystem ISACAD dient der Entwicklung digitaler und analoger ISA-Schaltkreise.

Mit dem Einsatz des ISACAD bei ISA-Schaltkreisentwicklungen erhält jeder Kunde datenmäßig die Unterstützung, die er je nach Erfahrungs- und Kenntnisstand für seine spezielle Schaltkreisentwicklung benötigt. Die Entwurfssoftware ISACAD ermöglicht es für die Grundchips 10, 40 bis 70 die Verdrahtungsebenen weitgehend automatisch von der Schaltung bis zum Layout zu entwerfen.

Die mit ISACAD angebotene Entwurfshilfe betrifft den Schaltungsentwurf, die Schaltungssimulation, die automatische Verdrahtung der Grundchips gemäß Schaltungsvorlage, die Kontrolldurchläufe zur Einholung der Entwurfsvorgaben von ISA-Schaltkreisen und natürlich die vollständige Erstellung der Steuerdaten zur Maskenherstellung.

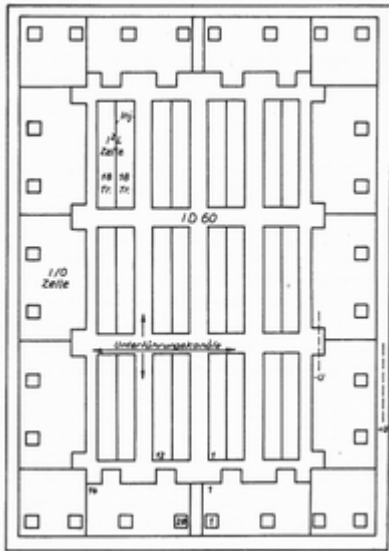


Bild 1: Prinzipieller Aufbau des Grundchips ID 60 aus dem ISA-System

Die Schritte, die der Anwender mit dem Programmsystem ISACAD durchführen muß, um von der Schaltung zum Layout zu gelangen, sind

- Schaltungsei ngabe
- Schaltungssi mul ati on und
- Symbol layou terzeugung.

5. Entwicklungsablauf

Die Entwicklung von ISA-Schal tkreisen erfolgt in zwei Etappen. Die erste Etappe dient der Layoutfindung und endet mit der Herstellung funktionstüchtiger Muster. In einer zweiten Etappe, der Oberleitungsetappe, erfolgt die Produktionsei nführung des neuen IS-Erzeugnisses, um die Voraussetzungen für eine bedarfs- und qualitätsgerechte Herstellung zu schaffen.

Die Schnittstellen zwischen Anwender und Bauelementhersteller in der ersten Etappe resultieren aus der arbeitsteiligen Aufgabenstellung und sind in Bild 2 zusammenfassend schematisiert.

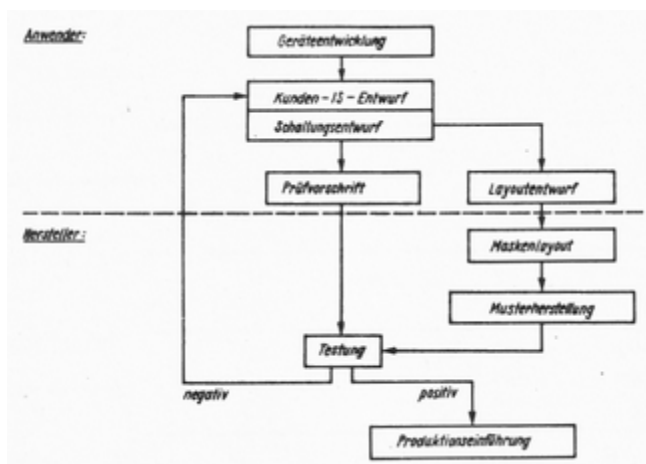


Bild 2: Schnittstellen zwischen Anwender und Bauelementhersteller aufgrund der arbeitsteiligen Aufgabenstellung in der ersten Etappe der Entwicklung von ISA-Schal tkreisen Die Realisierung von ISA-Schal tkreisen erfordert eine neue Form der Arbeitsteilung zwischen An-

wender und Bauelementehersteller. Das Problem, das der Anwender und Bauelementehersteller zu lösen haben, besteht darin, das Gerätekonzept mit der Technologie der Anwender-Bausteine in Einklang zu bringen, also für den unverdrahteten Chip die richtige Verdrahtung im Sinne der Anwendung zu finden.

Der ISA-Anwender hat eigenverantwortlich und in Abstimmung mit dem Bauelementehersteller den IS-Entwurf (Schaltung, Layout, Gehäuse) und den IS-Meßtechnik-Bau durchzuführen. Dabei kann er Kooperationsleistungen für Schaltungs-, Meßtechnik- und Layoutentwurf der vorhandenen Entwurfszentren in Anspruch nehmen.

Tabelle 1: Bipolare Grundchips ID 40 bis ID 70 für ISACAD-Entwurf

Grundchip	ID 40	ID 50	ID 60	ID 70
Betriebsspannung in V	max. 20	max. 20	max. 20	max. 20
Einsatzgebiete: digital	x		x	
linear/digital		x		x
Bondinseln	40	40	28	40

Fortsetzung Tabelle 1

Grundchip	ID 40	ID 50	ID 60	ID 70
Gehäuse: DIP 18	-	-	x	-
DIP 28	x	x	x	x
DIP 40	x	x	-	x
QFP 48	x	x	-	x
I ² L-Gatter (je 4 Ausgänge)	864	216	432	432
npn-Transistoren	170	303	120	231
pnp-Transistoren	38	129	34	91
Transistoren insgesamt	208	432	154	322
Gesamtwiderstand in MOhm	1,732	1,886	1,292	1,610
Gesamtkapazität in pF	-	62	-	44

Tabelle 2: Elektrische Eigenschaften der 20-V-I²L-Grundchips ID 40 bis ID 70

npn-Transistoren

Arbeitsbereich I_C in mA	10 ⁻³ ... 50 ¹⁾
U_C in V	ca. 1 ... 20
Stromverstärkung h_{21E}	50 ... 200
Grenzfrequenz f_T in MHz	300

pnp-Transistoren

Arbeitsbereich I_C in mA	10 ⁻⁴ ... 0,5
U_C in V	1 ... 20
Stromverstärkung h_{21E}	5 ... 50
Grenzfrequenz f_T in MHz	5

Anm.: ¹⁾ je nach npn-Typ

Fortsetzung Tabelle 2

I²L-Transistoren

Arbeitsbereich I_{inj} in μ A	0,1 ... 100
U_{BR} in V	2,5
Stromverstärkung B_{eff}	2,5
Taktfrequenz (D-FF bei 100 μ A) in MHz	2

Widerstände

Nominalwerte in kOhm	0,5; 1; 2,5; 0,1 ... 1 variabel 10; 20
----------------------	-------------------------------------------

Oxidkapazitäten

Nominalwerte in pF	1,5; 3; 6
--------------------	-----------