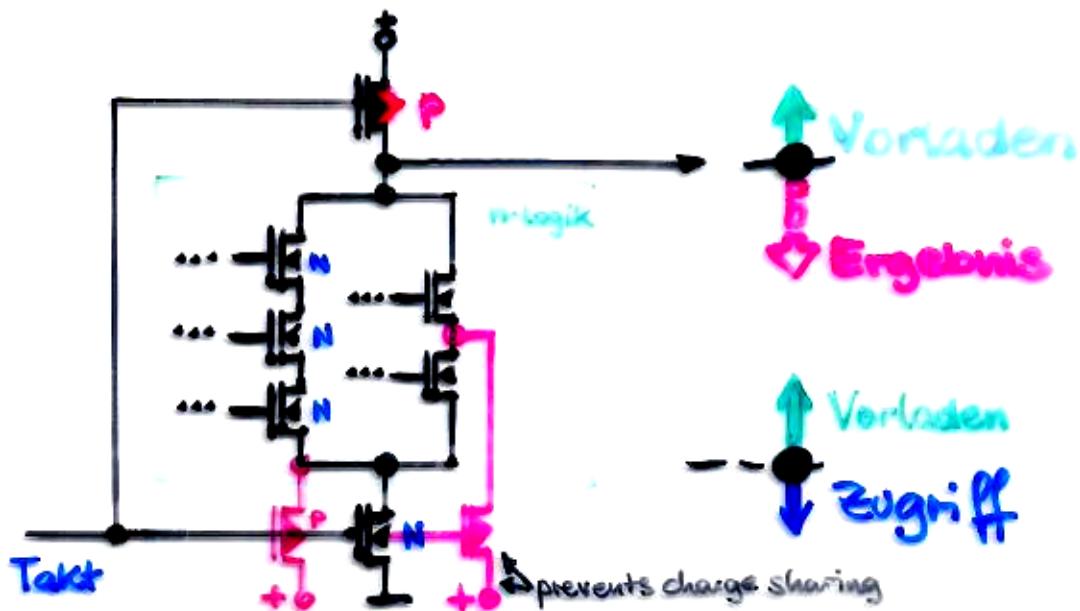


Taktungs-Techniken

Allg. dyn. Logikblock: (PE)



Ohne log.
Restriktionen

Eingänge können beliebig auf L oder H liegen, wenn Zugriff erfolgt.

Mehrphasentechniken
(clock step)

→ Pro Taktphase kann nur ein Gatter durchlaufen werden

↳ langsam; für große Strukturen (RAM, ROM, PLA) geeignet

- unkompliziert
- robustes Timing
- extrem straumarm, da VDD-Spikes völlig vermeidbar.

mit log.
Restriktionen

Eingänge liegen auf low-Potential (Transistoren sperren), wenn Zugriff beginnt:
Einphasentechniken

(Flash)

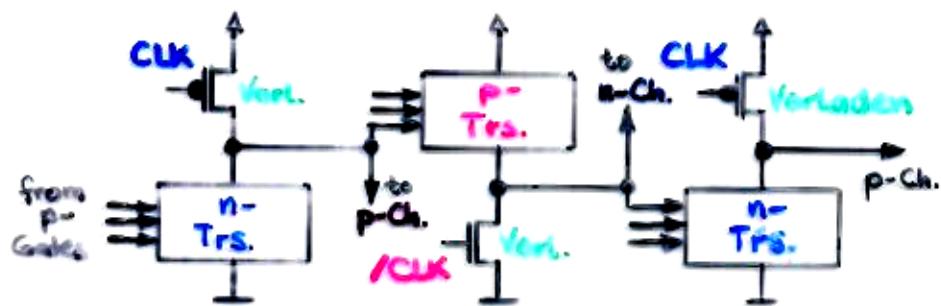
→ Pro Taktphase sind mehrere Gatter zu durchlaufen

↳ schnell; für höchste Arbeitsgeschwindigkeiten

→ aber: Logik-Restriktions
+ Timing-Verifikation nötig.

DYNAMISCHE LOGIK: Einschrittechniken (Flash)

① Vorlade logik (tipple through : RT)



Eigenschaften:

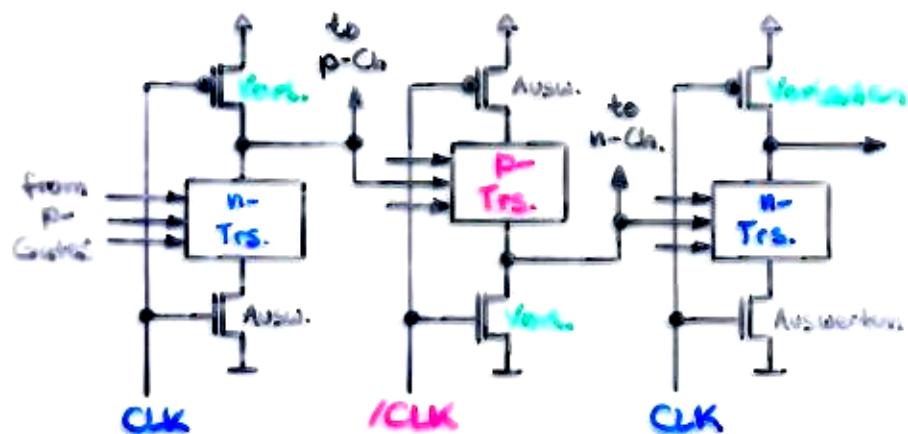
- klein; schneller als Komplementärlogik (!)
- Hazard/Race/Spike-gefährdet: NJA-Verifik.!
- logikausführung: begrenzt



- Restriktion: Alternierender Gattertyp (p,n)
 - ↳ sichert ausgeschaltete Trs. des Folgegitters beim Vorladen
- Kurzschlussgefahr am Blockeingang
- Hazardgefahr:

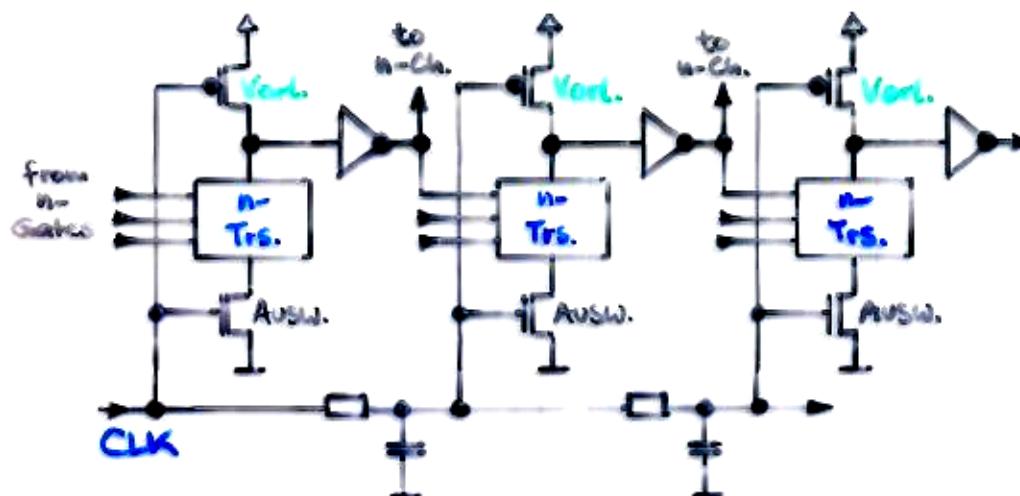
Ausschalten von Trs. im laufenden Zugriff vernichtet Verladung → verboten.
 ↳ sorgfältigste Taktverlegung

② Vorlade - Auswerte Logik (precharge - evaluate : PE)



- Restriktion: Alternierend p2,n = Gatter
 - Keine Kurzschluss- oder Spike-Gefährdung
 - Hazardgefahr:
- Ausschalten von Trs. im laufenden Zyklus vernichtet Verladung → verboten
 ↳ sorgfältigste Taktverlegung
 ↳ dyn. Verifikation mit akt. Layoutdaten erforderlich

③ Gepufferte Vorlade-Auswerte Logik (PE + Inverter = DOMINO)



- Prinzip: PE
- Restriktion: Nur nichtinvertierende Gatter darstellbar
 ↳ sichert ausgesch. Trs. des Folgegitters beim Vorl.
- Wirkung des Inverters:
 - statisch: p/n-Wechsel entf.
 - dynamisch: durch Ladungsteilung verwandelter H-Pegel wird regeneriert
 ↳ Hazardgefahr reduziert
- hohe Ausführungen mögl.

• Hazard/Clock-Race Gefährdung: NJA-Verifik.!

• Taktführung: im Pipelining mit Daten mitführen

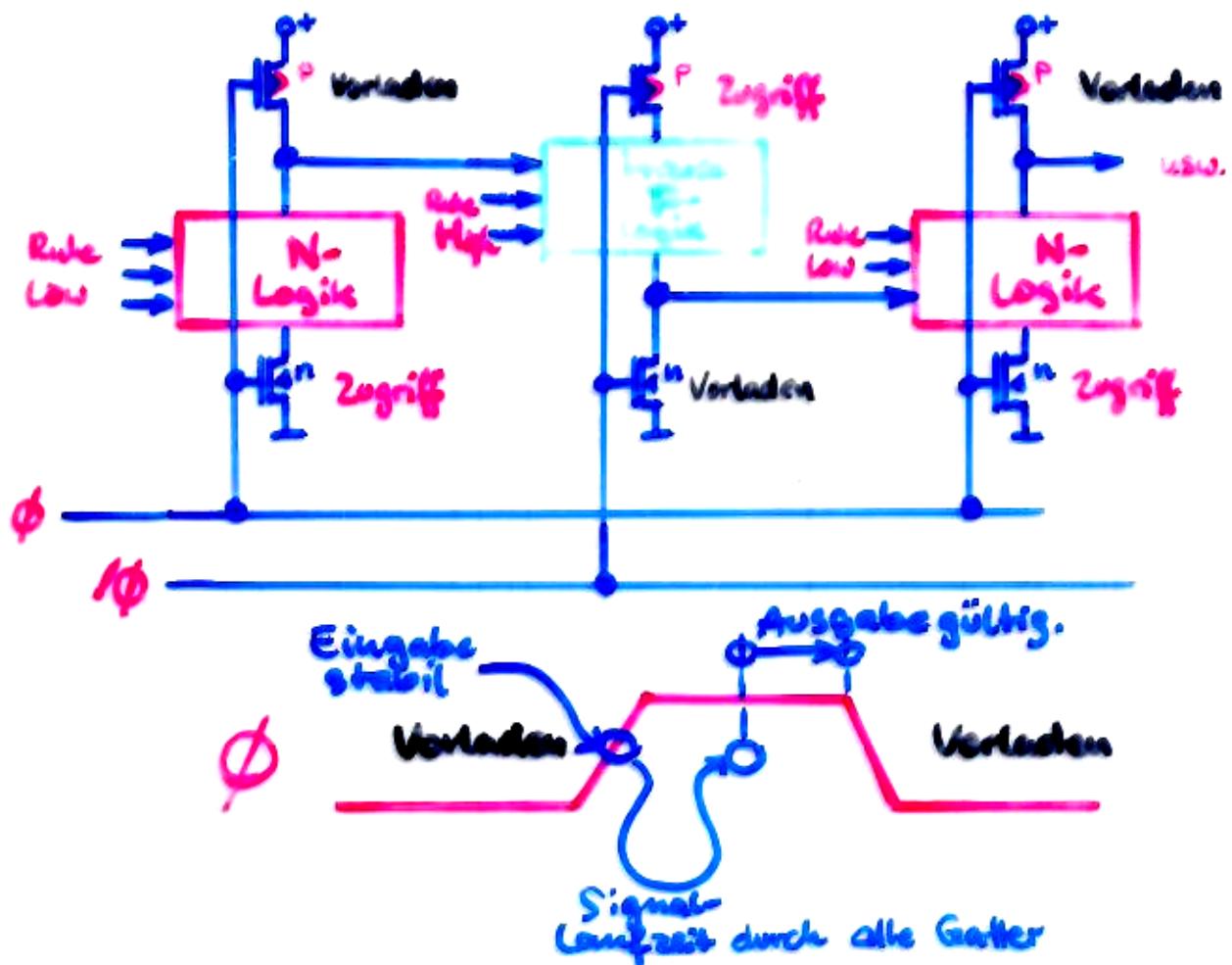
Dominos Krambeck, R.H. u.a.

IEEE SC-17, No3, June'92
 S.64-69.

Precharge - Evaluate - Logik [PE]

Problem: Verladen führt zu Ausgabe "high". Die folgenden N-Kanal Eingänge aktivieren die Transistoren der Logik. Mehrere Stufen sind nicht hintereinander-schaltbar!

Lösung: Die "high"-Aktivierung lädt p-Kanal-Transistor passiv bleiben. Wechselseitige p/n-Ansteuerung alternierender ϕ / $\bar{\phi}$ -Taktung.



Nachteil: zwischen kompliziertes Layout. Vorladerichtung aller Eingänge muss unbedingt beachtet werden! P-logic darf deshalb nur von N-Logic gesteuert werden und umgekehrt so logische Verkopplungen nicht kompliziert zu machen.

→ Daraus ergibt:

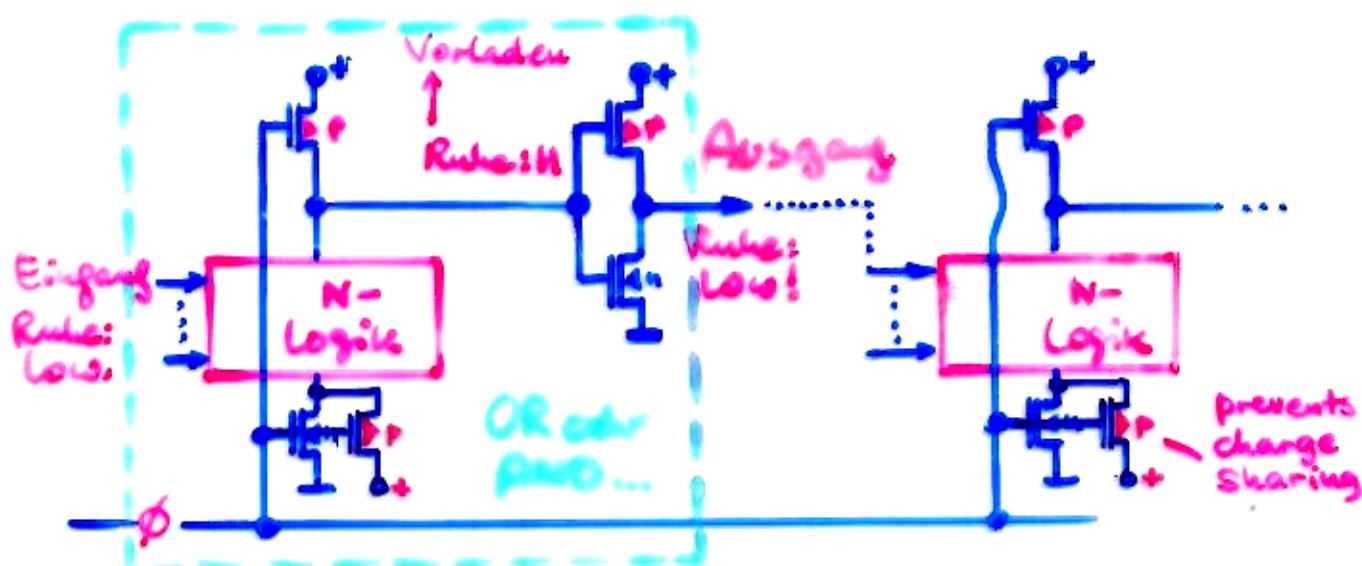
Logikrestriktionen bei RT, PE und DOMINO-Gates

Problem: Ruhepegel für Vorladen des Folgegatters bedingt logische Restriktionen.

Lösungen:

Nicht-negierende Gatter: AND, OR

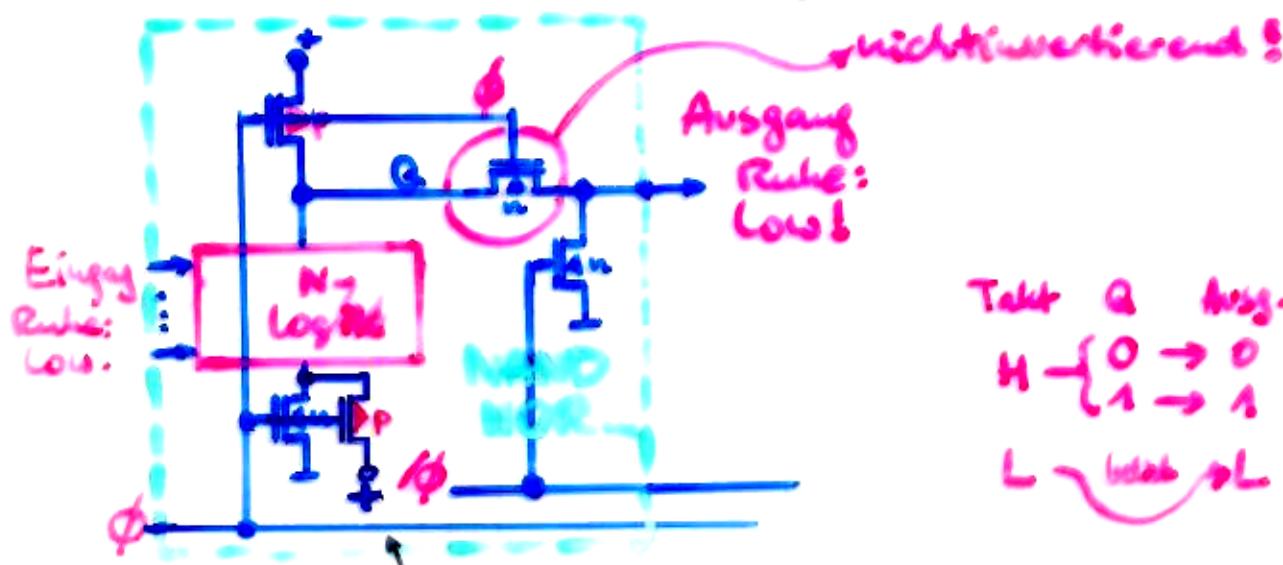
(Domino-Stil: Krambeck R. H. et al.
2002 Sc=52, Nr. 2, J=6492a, L=677,
610)



Negierende Gatter: NAND, NOR

zu sichern: Takt = High: Ausgang folgt Q (Eingang)

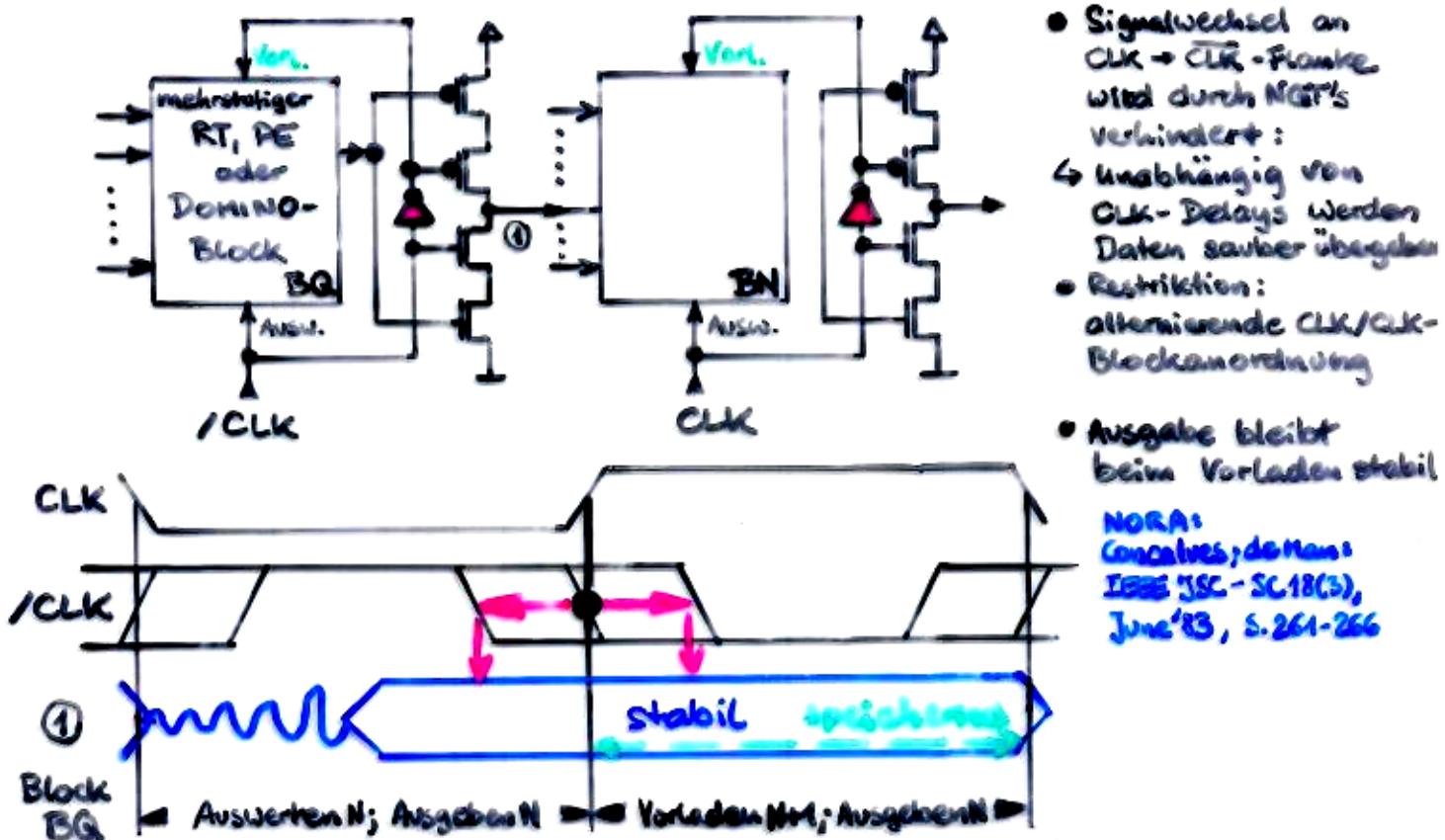
Takt = Low: Ausgang ist Low (Vorladen)



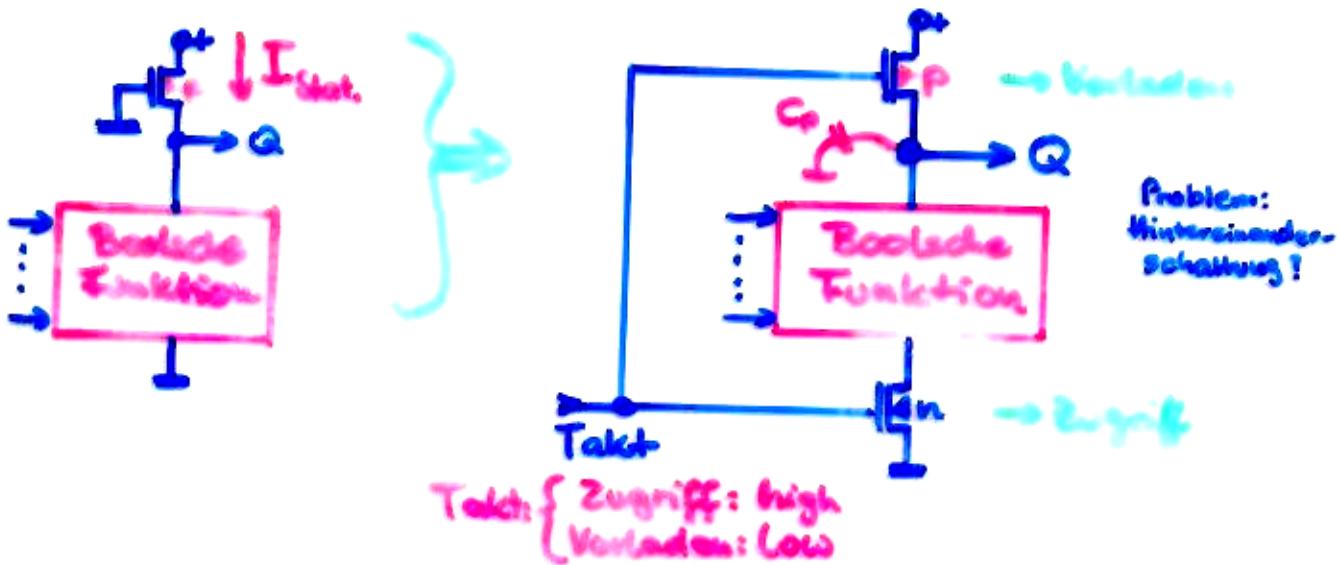
DYNAMISCHE LOGIK:

Mehrschritte-Techniken

① Wettkampffreie Blöcke (NO RACE: NORA = DOMINO + CMOS-Latch)



DYNAMISCHE PSEUDO-NMOS-LOGIK (H. de Man "NORA"-Technik)



Anwendung der dynamischen
pseudo-NMOS-Logik:

CMOS-PLA:

