

TEST

STRUKTUR

(Knoten & Kanten)

Gatter und Leitungen haben

FUNKTION

(Input & Output)

Zustände und Moden haben

steuerbar

oder
und

beobachtbar

zu sein.

allg. Restriktionen:

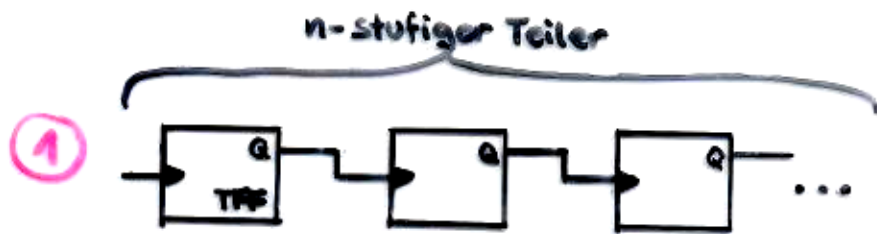
- Zusatzschaltung & -pins ↓
 - Logikrestriktionen vermeiden
 - Testzeit ↓
 - Leistungsparameter halten
- No ... / Register ... → SRP-Methoden.

allg. Regeln für Testbarkeit (strukturell und funktionell):

- Automaten mit inneren Zuständen (AEZ) sollten generell initialisierbar sein, setz- oder rücksetzbar.
- Register (große AEZ mit Busanschluss) können initialisierbar → rücklesbar
- Es ist wichtig, da aus einem Block angepasster Prüfmode ...
- Ketten von AEZ (Flussdiagramm) sind auftrennbar
- Autonome Zustandswechsel von AEZ sind zu vermeiden (Flussdiagramm, ...)
- Interne Bussysteme sollten direkt von außen schreib/lesbar getriggert werden
- Tristate-I/O-Treiber eignen sich zur Ausgabe von Testergebnissen, wenn sie multiplexbar ausgeführt werden.
- Kombinatorische und Speichende Automaten sind für Testzwecke besser zu trennen.
- Synchrones System sind asynchronen vorzuziehen. Der Testaufwand verringert sich stark.
- I/O-Stufen müssen über speziellen Testmode elektrisch prüfbar sein.

Zum Problem der Testbarkeit:

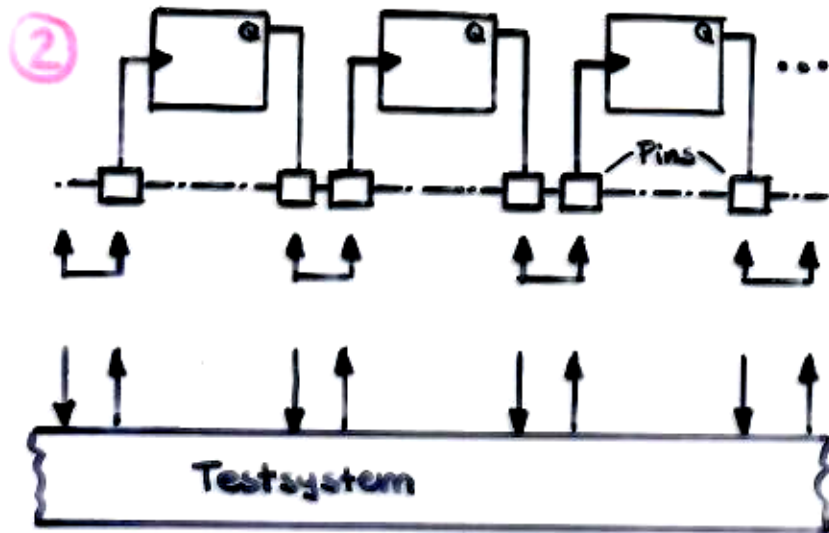
Beispiel: LCD-Uhr:



Testsatzlänge N:

$$\Rightarrow \underline{\underline{N = O(2^n)}}$$

↳ Testzeit ≥ 1 Jahr !?



$$\Rightarrow \underline{\underline{N = O(2 \cdot n)}}$$

↳ $2n$ Zusatzpins !?

← Betriebsmode

← Testmode

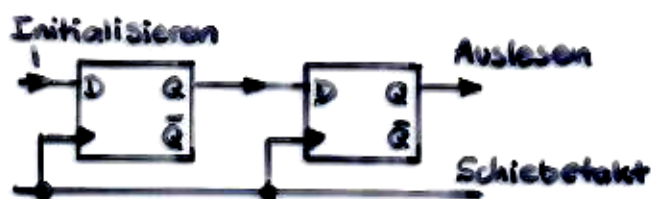
Weder ① noch ② möglich!

Ausweg ?

Schaltbarer Testpfad:



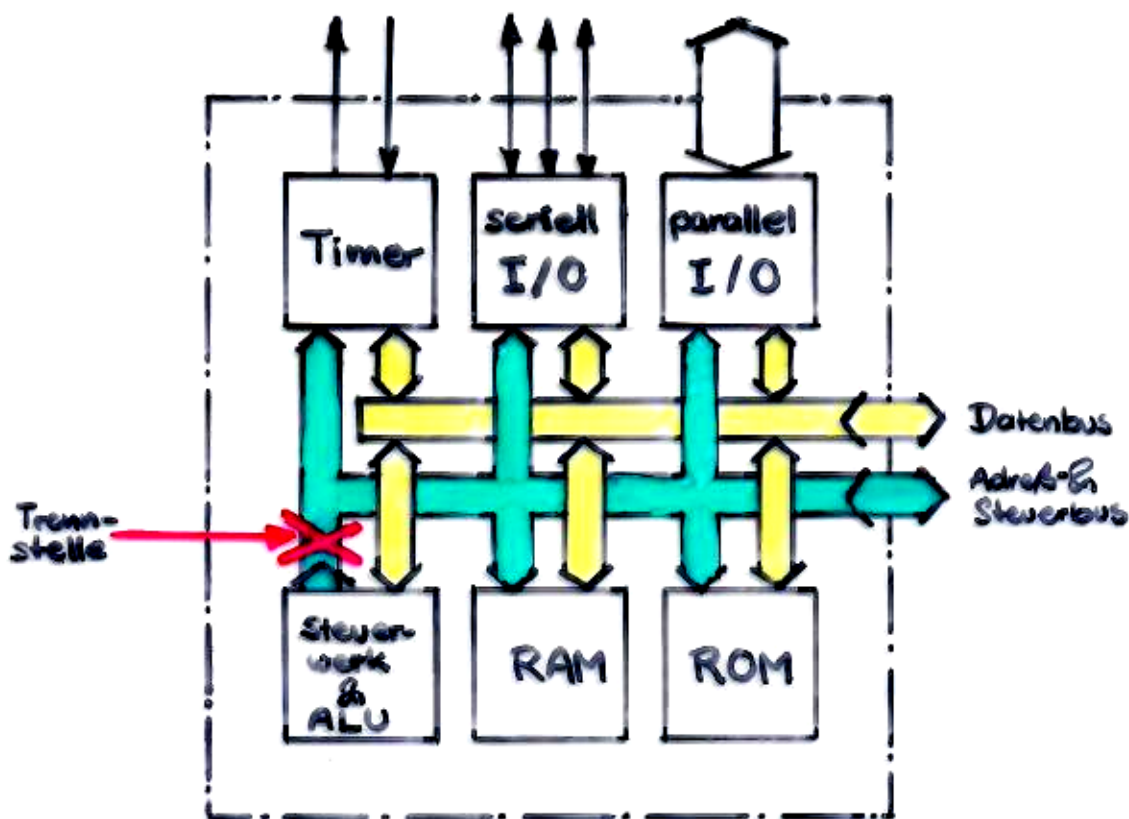
Betriebsmode des Teilers



Testmode des Teilers

Shift Register Latch (- Flipflop) (SRL, SRFF)

Der "natürliche" Testzugang:



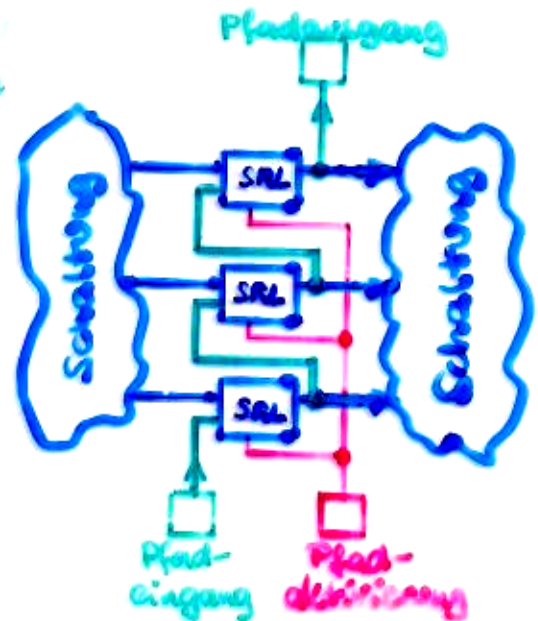
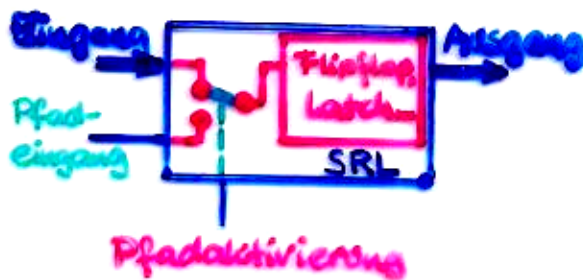
Testpfad - Methoden

Schlüssel: Schieberegisterlatch (SRL)

2 Modi: { Betriebsmode
 Testmode: Information wird über Testeingang eingeschrieben.

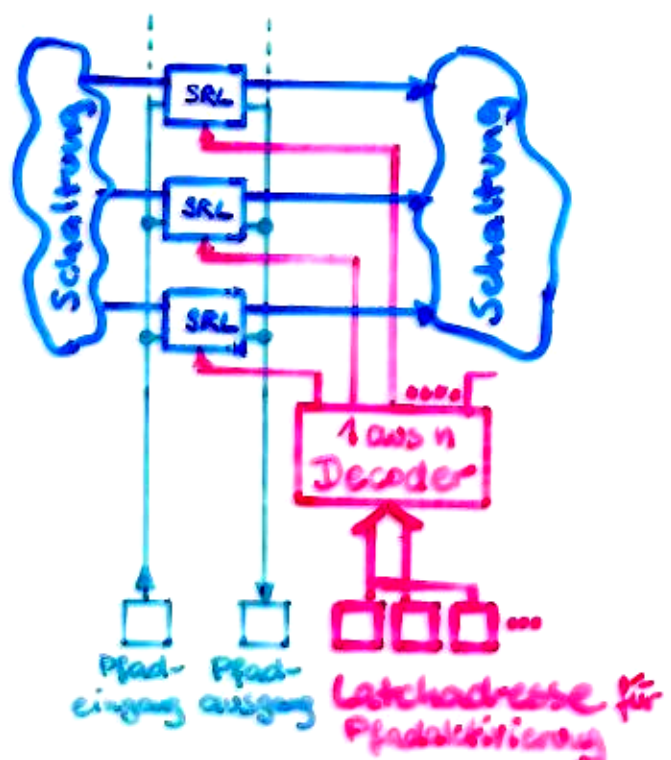
Testpfad - Kette (Scan-Path)

(E.B. Eichelberger et al.: A Logic Design Structure for LSE-Testability. Proc. 14th DAC, June 1977, 2.462-468)



Freizugriffs - Pfad (Random-Access-Scan)

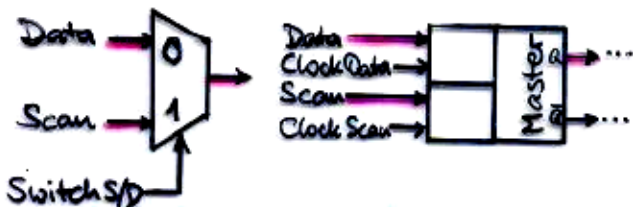
(H. Ando: Testing VLSI with RAM. 20th IEEE CSE Conference: COMPCON 80, San Francisco 1980, 6.80-87)



Pfadaktivierungstypen:

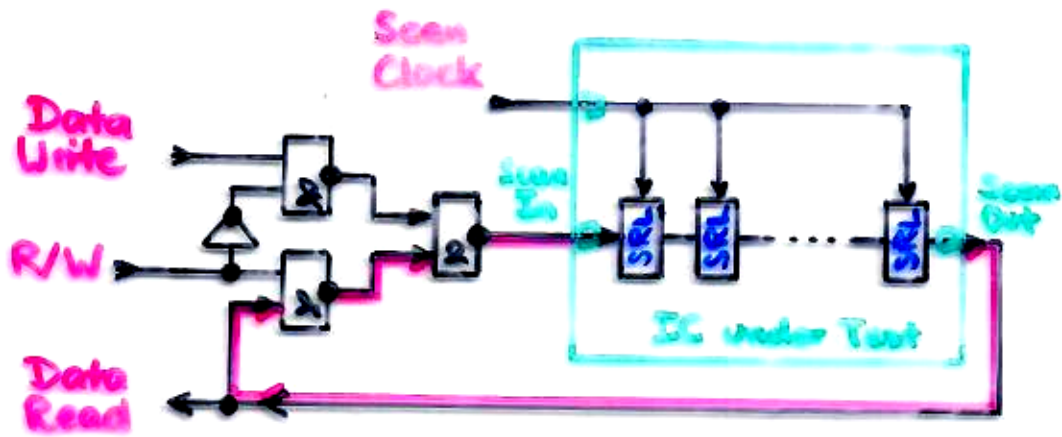
Level-sensitive

Edge-sensitive



Testanordnung:

Problem: Tester kann nicht (i.a.) gleichzeitig Daten lesen und Daten in Schaltkreis zurückschreiben.



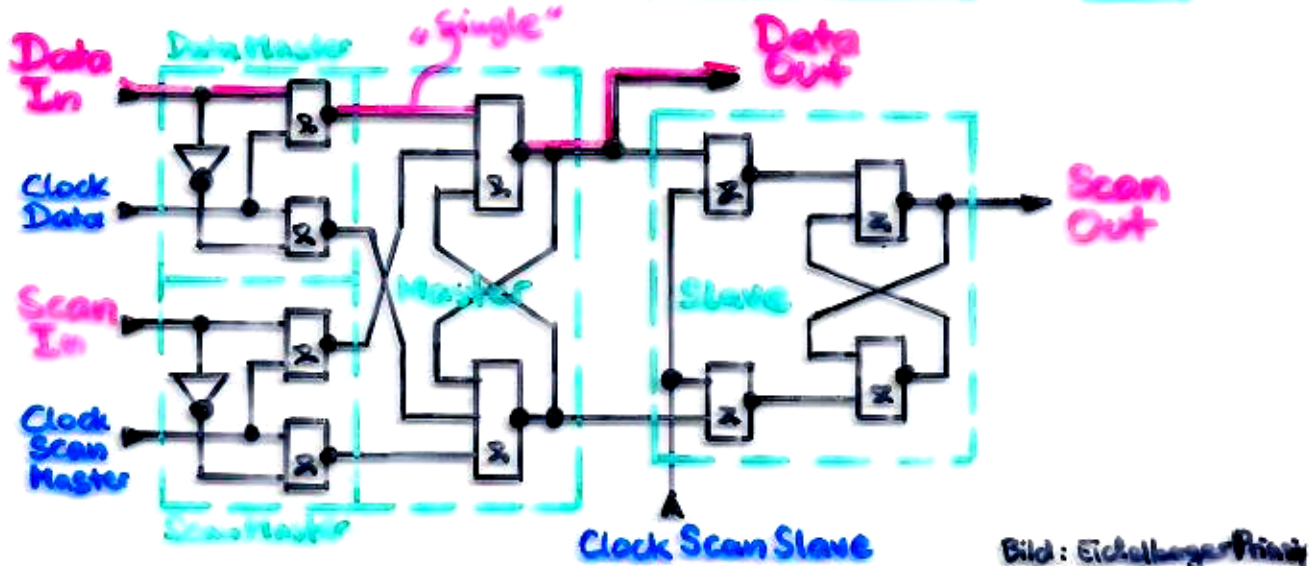
Scan-Path-SRL's

(Lit: P.H. Bardell, W.H. McAnney, J. Savir: Built-In Test for VLSI: Pseudorandom Techniques. Wiley & Sons, New York, 1987)

Problem: Testpfad-Kette erfordert Scan-MS-Latches (zwingend). Würden Daten-MS-Latches gefordert, wäre die gemeinsame Slave-Taktung kompliziert; es wären zwei Slaves erforderlich. Lösungen:

Single Latch SRL (LSSD-Polarity Hold Latch)

MS-Latch für Testpfad; aber Transparent-Latch für Daten!

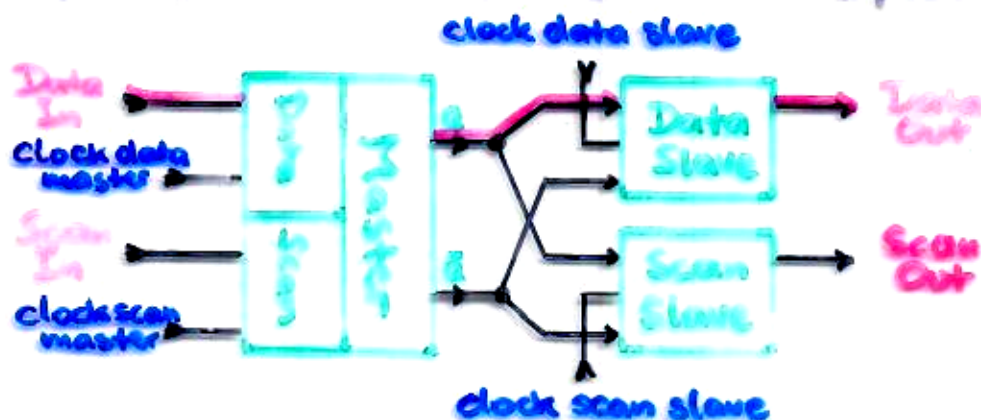


↳ Methode für synchrone und asynchrone Systeme geeignet, aber nur Latches, keine Flipflops im Datenweg darstellbar.

Master-Slave-SRL's

① Double Slave SRFF (universell, Aufwand hoch)

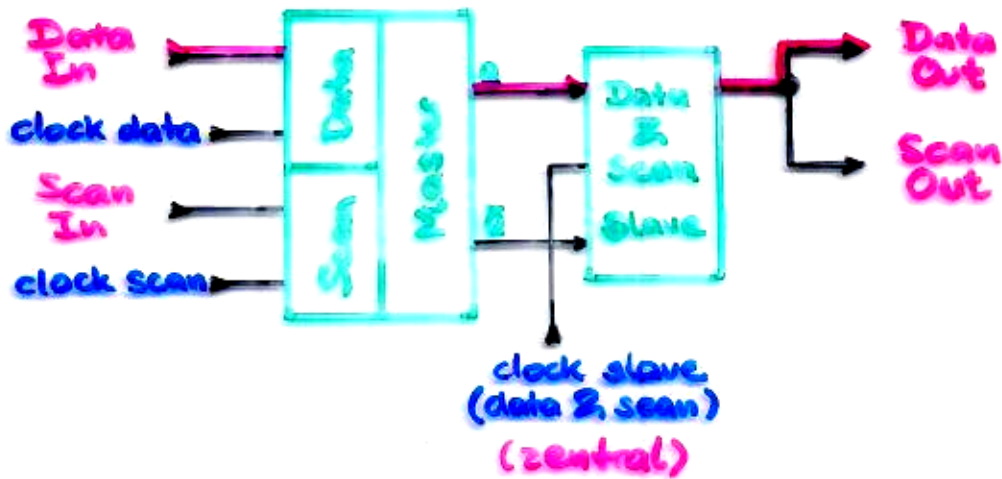
Wie Single Latch Design; Datenweg wird um zusätzlichen Slave erweitert. Geeignet für synchrone und asynchrone Systeme, aber: 2-Phasen Datentakt erforderlich.



(20 Jahre - Path 200's)

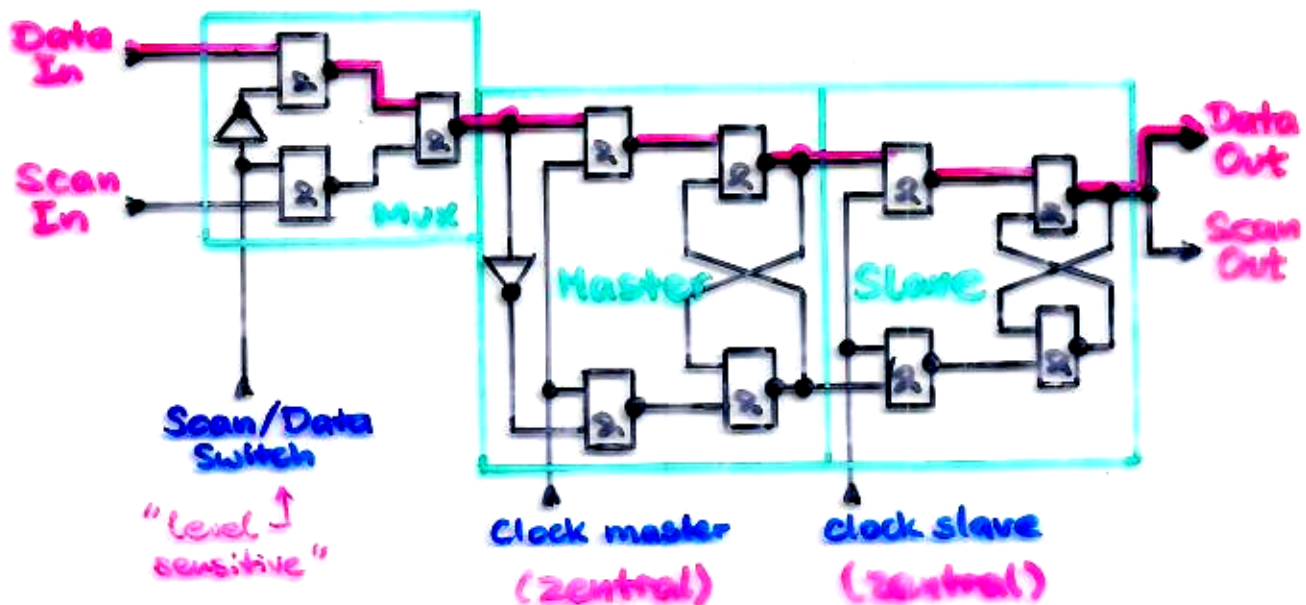
② Common Slave SRFF (LSSD - Double Latch Design)

Pfad und Daten laufen über ein gemeinsames MS-Latch aus einem Master und einem Slave. Slave-Taktung muß für Daten und Pfad identisch erfolgen → Daten-MS-Latch ist z.B. in nichtüberlappender Zweiphasentaktung realisierbar. Gemeinsamer Slave-Takt bedingt Restriktionen, da er zentral verteilt werden muß.



③ Multiplex-SRFF (synchron) (US200: 72Ters!)

Master und Slave lassen sich für Daten und Scanpath nutzen, wenn Datentakt identisch dem Scantakt ist. Restriktionen: Nur für synchrone Schaltungen geeignet; Daten- und Scantakt an allen Flipflops einer Kette untrennbar vereint. Mehrtaktversorgung heißt Aufteilung in mehrere Pfade.

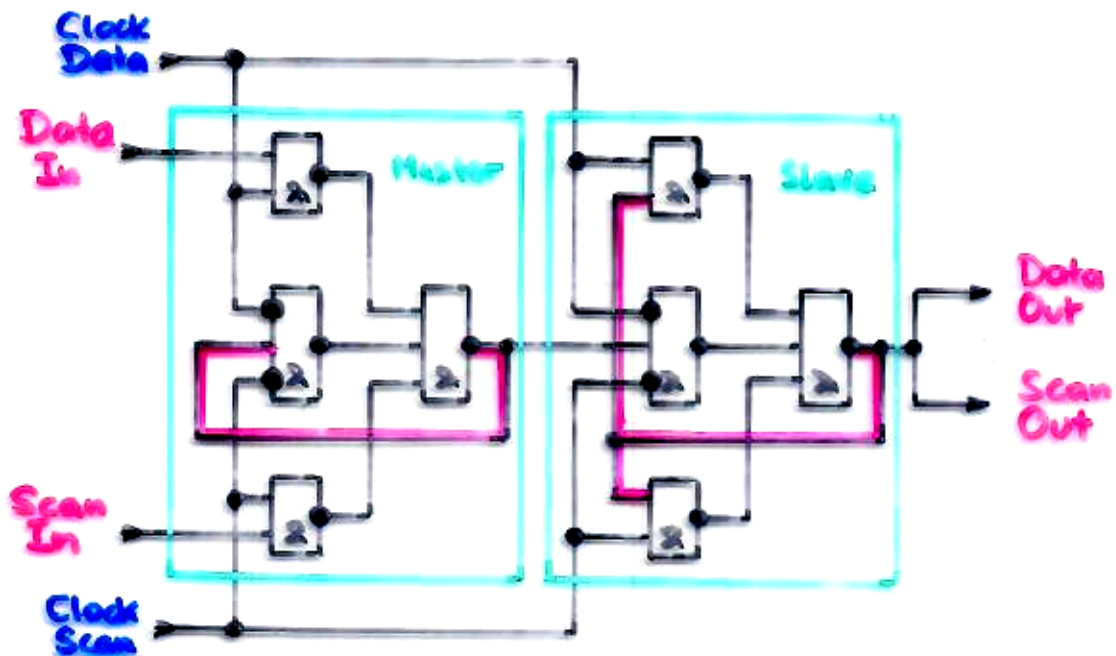


④ Independent Clock - SRFF

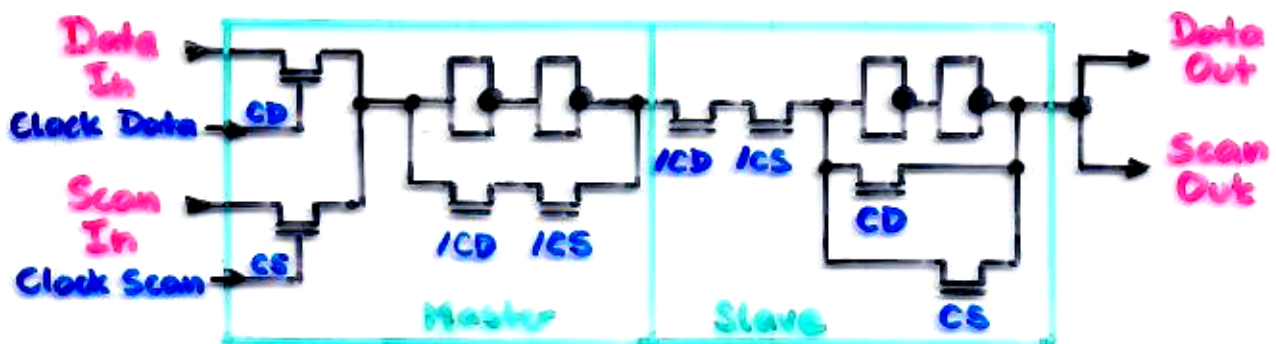
(Prinzip nach Funatsu '75 : "Raceless D-FF with Scan Path")

Lit: S. Funatsu, N. Wakatsuki, T. Arima: Test Generation Systems in Japan. Proc. 12th Design Automation Symposium, June 1975, pp. 114-122.

MS-Latch für Testpfad und MS-Latch für Daten; unabhängige Taktung des Daten- und des Scan-Pfades möglich; Restriktion nur, daß Daten- und Scan-Clock nicht gemeinsam aktiviert sind (don't care) - praktisch immer gewährleistbar. Betrieb schwach asynchroner Schaltungen möglich. Problem bei stark asynchronen Schaltungen: $CD=1$ (statisch) verhindert Testbarkeit.

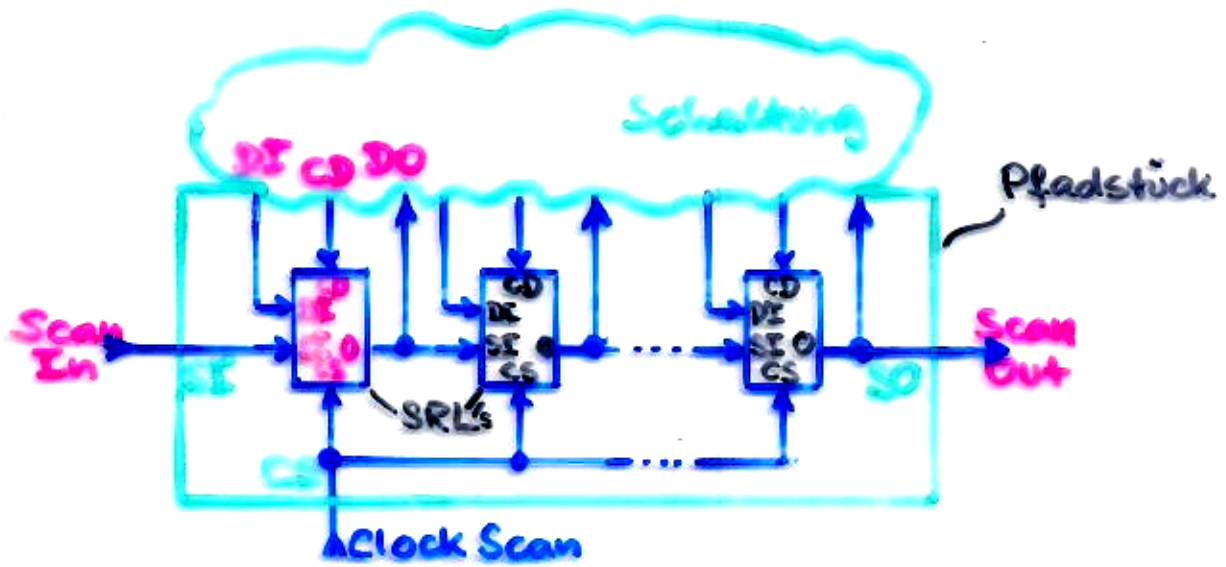


NMOS-Realisierung zB:



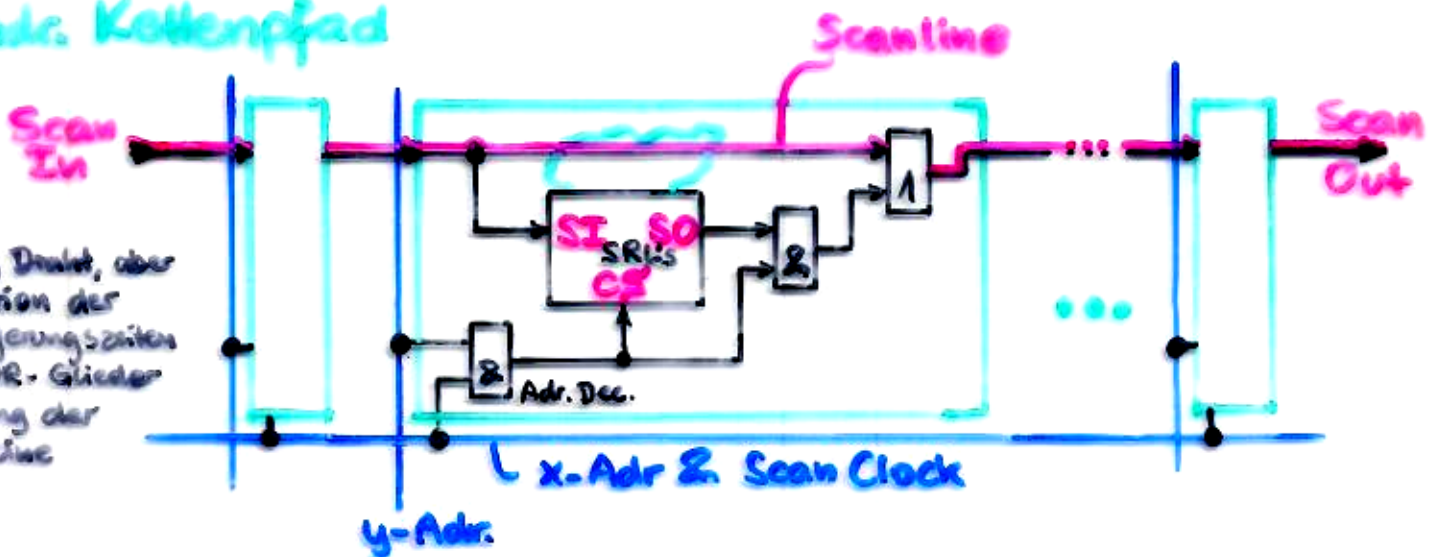
RAS - Ausführungen

Adressierung von Einzellatches mit xy-Dec. und Muxer aufwendig. Bildung von Pfadstücken sinnvoll.



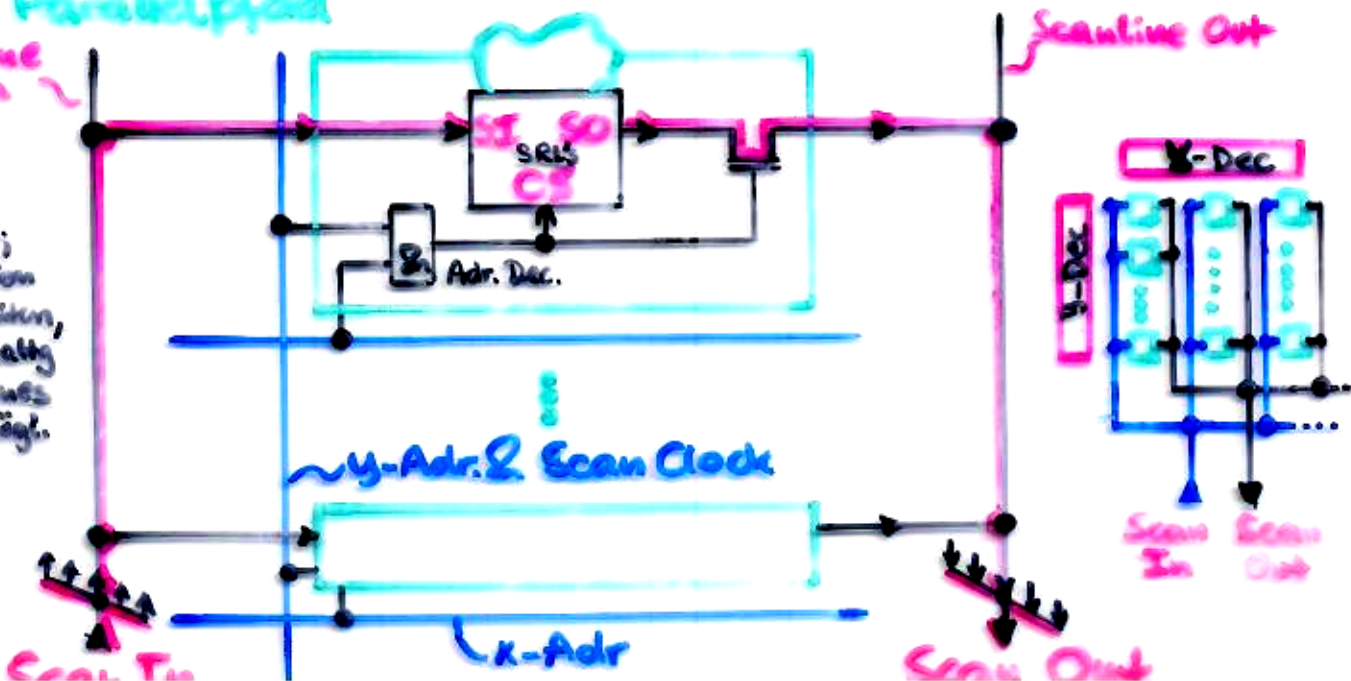
Adr. Kettenpfad

Wenig Draht, aber Addition der Verzögerungszeiten der OR-Glieder entlang der Scanline



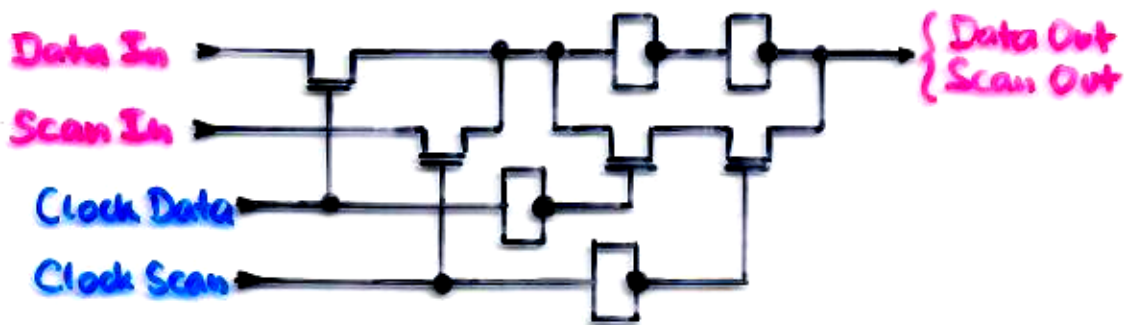
Adr. Parallelpfad

mehr Draht; keine Addition der Verzögerungszeiten, Parallelschaltung der Scanlines beliebig mögl.

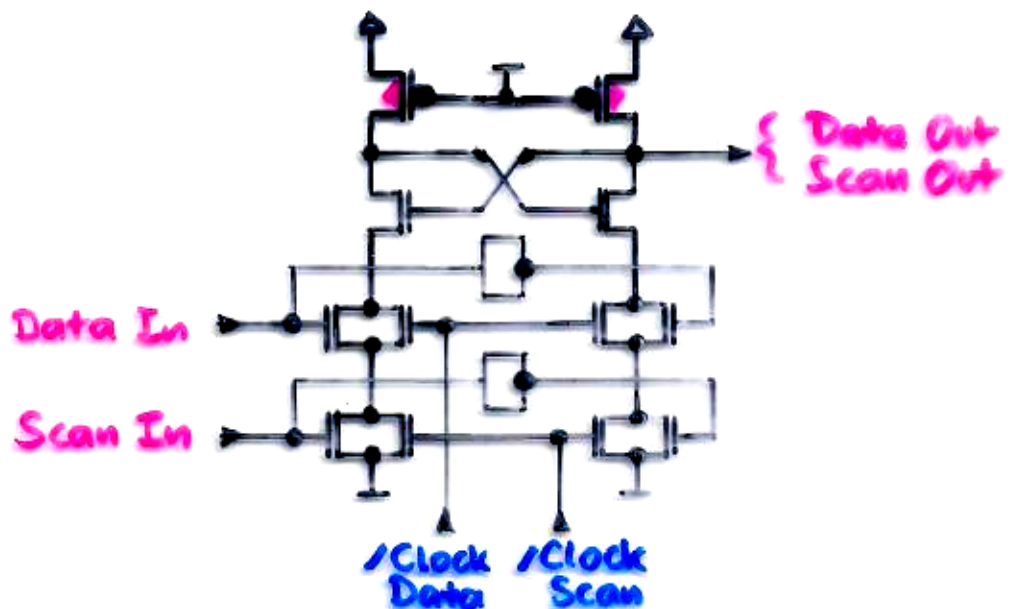


SRL: Master-Ausführungen
(edge sensitive)

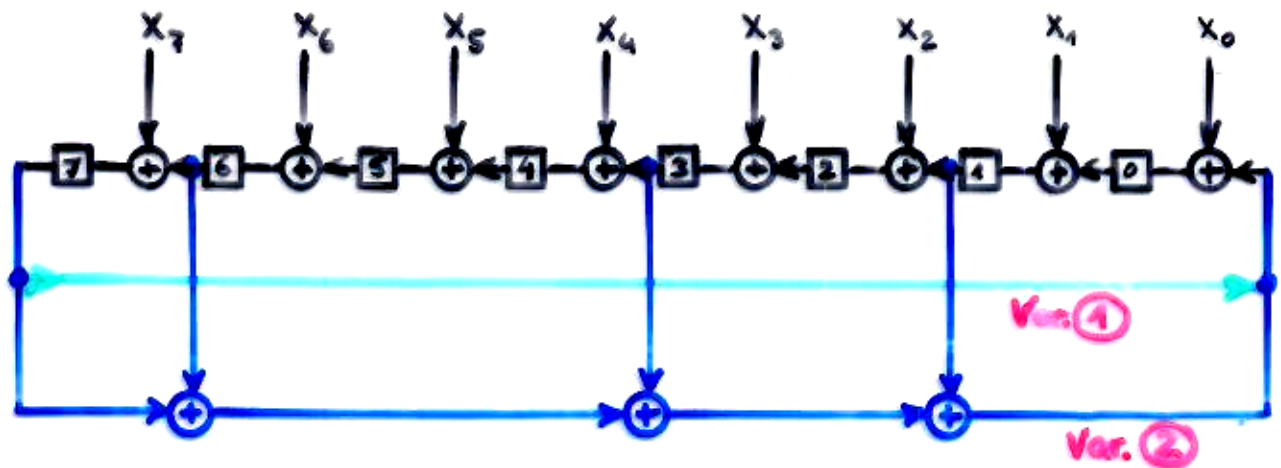
Transferringate - Master



RS-Latch Master



LFSR - Fehlererkennbarkeit



Hamming-
abstand D
der Fehler
[Bit]

Fehlererkennbarkeit [%]

1

0

0

2

12,4

1,1

3

0

0,7

4

3,8

0,3

5

0

0,3

6

2,0

0,5

7

0

0,4

8

4,8

0,5

Versuchsbedingung:
je 4000 Testvektoren

Quelle:

G. Zischhoff, B. Könenmann,
J. Mucha (RWTH Aachen)
"Experimente mit einem
Simulationsmodell für
selbsttestende IC's"
NTG - Fachberichte 68
1970, S. 105 - 112.

verallgemeinerbar:

($L = 2^n$)

(nichtzyklisch in L)

LFSR mit **max. length** und **max. Feedbacks** sichert
ausgewogene Fehlererkennbarkeit.

Realisierungen von **ml** & **mf** - LFSRs für 4, 8, 16
und 32 Bit der Literatur entnehmen:

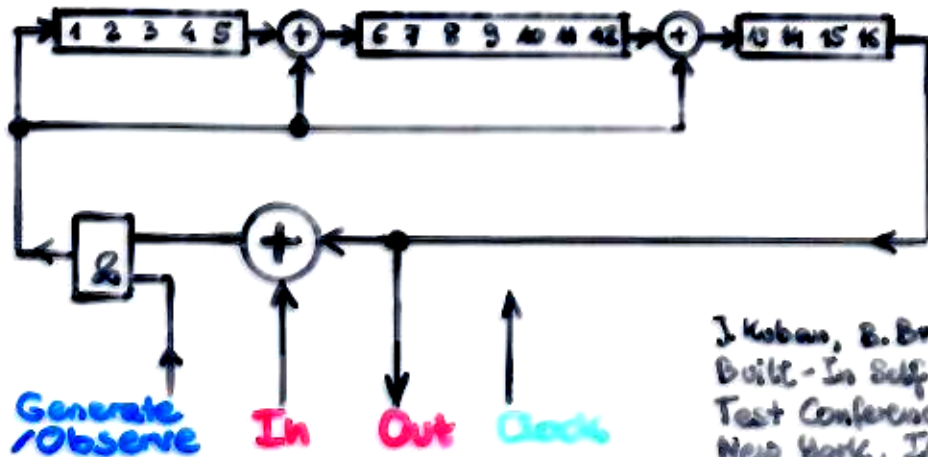
- Lit:
- P.H. Bardell, "Built in test for VLSI: pseudorandom techniques". Wiley, New York, 1987
 - T.W. Williams "VLSI Testing". North Holland, Amsterdam, 1986 (in Advances in CAD for VLSI, Bd. 5)

BUILT-IN SELF TEST (BIST)

Motivation: Ausbaute Zyklus I z.B. 60%
Vorselektion der 40% defekten IC
spart 38 % Testzeit.

Serial BIST:

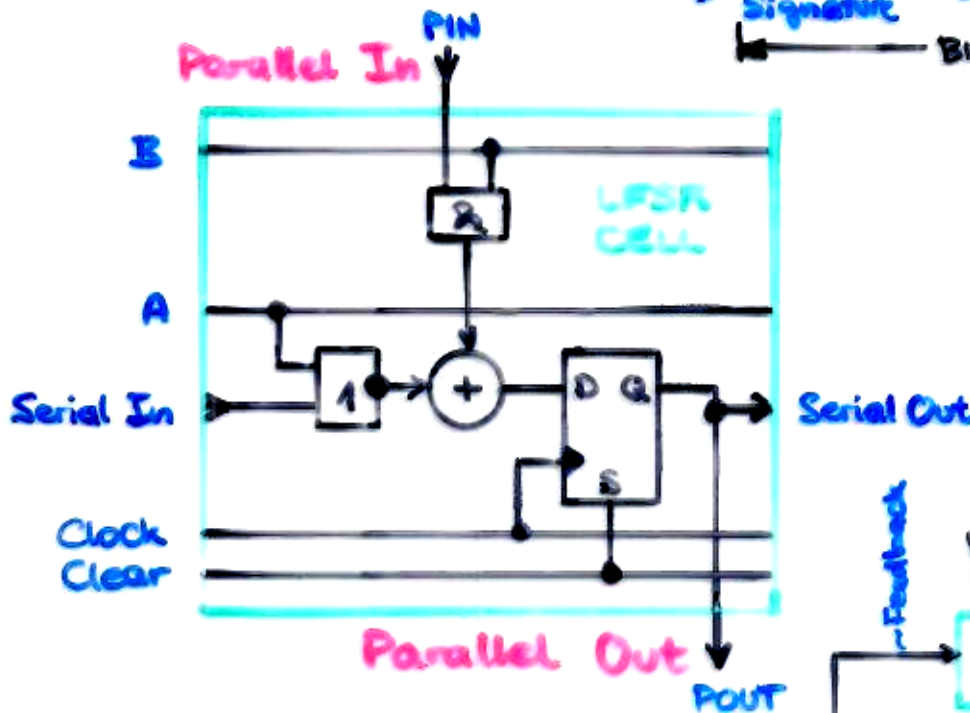
SIGNATURREGISTER (SR) (im MC6804P2 8bit Einchip)



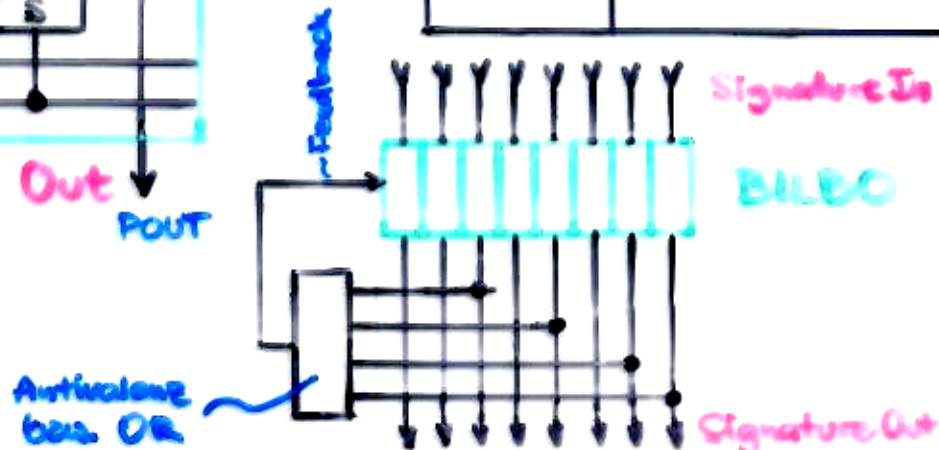
J. Koban, B. Bruce "The MC6804P2 Built-In Self Test" 1983 Intern. Test Conference Proceedings, New York, IEEE-Press pp. 205-200.

Parallel BIST:

BUILT-IN LOGIC BLOCK OBSERVER (BILBO)



A	B	Function
0	0	generate
0	1	GENER without PIN
1	0	analyze
1	1	GENER with PIN
1	0	CLEAR soft
1	1	LOAD from PIN



P.P. Fasang: "BIDCO, Built-In Digital Circuit Observer." Digest of Pap. 1980 IEEE Test Conference, Cherry Hill, Nov. 11-13, 1980 pp. 254-266

TESTMUSTERGENERIERUNG

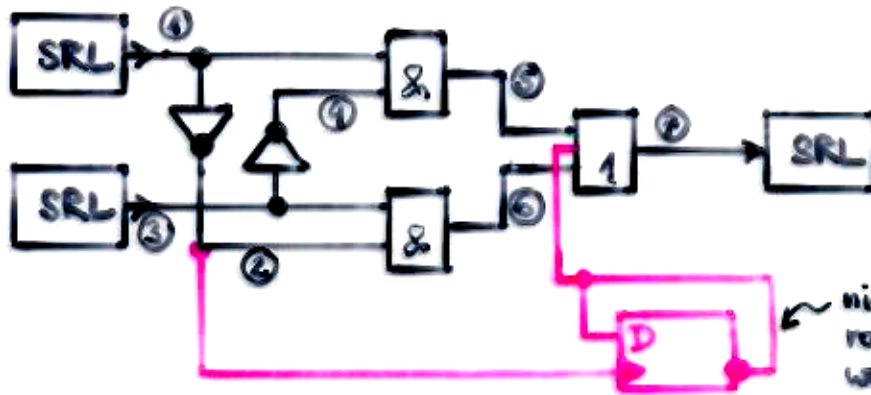
(Automated Test Pattern Generation: ATPG)

Voraussetzung:

des betrachteten
Schaltungsstückes

Inputs: Controlable (steuerbar)

Outputs: Observable (beobachtbar)



nicht steuerbar: mit rotem Schaltungszusatz wäre gesamte Schaltung nicht testbar!

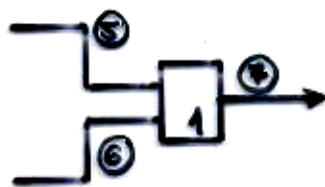
Fehlermodell:

Hinreichend: "Stuck at $\{0,1\}$ " - Festkleben der I/O (Knoten) am 0- oder 1- Pegel.

Algorithmus:

- Suche verursachender Eingangsbelegungen entgegen der Signalausbreitungsrichtung durch Testhalten je eines Gateeingangs und Variation der anderen.
- Aufstellen aller Testvektoren, die jeden Knoten des Netzwerkes auf 0 und auf 1-Durchgang zu prüfen gestatten.
- Minimierung der Testvektoren.

z.B. D-Algorithmus:



(5)	(6)	(7)
D	0	D
D	1	1
0	D	D
1	D	1

D=0 bzw. D=1

: Test Ulg. 5 und Ulg. 7

: Test Ulg. 6 und Ulg. 7

benutzbare Testvektoren