

Interviewfragen zu dem für die 2. Jahresausgabe 2022 (Jahresende) des ON.LINE Magazins des Elektromuseums Erfurt geplanten Artikel über das im Museumsdepot vorhandene "Konvolut Fleischmann"

Gerhard und Volker, bitte beantwortet so kurz wie es euch möglich erscheint, aber auch so ausführlich, wie es sinnvoll ist, um eine uneingeweihte Leserschaft zu informieren, die folgenden Fragen. Individuelle Fragen sind mit dem Vornamen gekennzeichnet, die übrigen gelten für euch beide gleichermaßen. Danke.

1. Gerhard, bitte schildere uns, wie es zur Übergabe des o.g. Konvoluts an das Elektromuseum kam, welche Funktion der Überbringer hatte und welche Absicht er wohl mit der Übergabe verfolgte.
2. Bitte nennt eure Ausbildungszeiträume, -orte und -einrichtungen und spezielle Studienrichtungen sowie euren Abschlusstitel. Wie wurdet ihr durch die zentrale Absolventenlenkung eingesetzt und welche Gründe gab es dafür?
3. Wie habt ihr die Situation an euren jeweiligen Arbeitsstätten empfunden, als ihr dort begonnen habt? Hat man euch offenherzig empfangen und euch eurer Ausbildung angemessene Aufgaben übertragen? Seid ihr unterstützt oder eher gegängelt worden? Habt ihr euch gefordert gefühlt? Oder hat man euch eher mit ungeliebten Routineaufgaben konfrontiert? Bzw. solltet ihr, für den Fall, dass bei Weiter- und Neuentwicklungen etwas schief läuft, als „unerfahrene Neulinge“ den Kopf hinhalten?
4. Wie habt ihr die wirtschaftlichen Möglichkeiten des Fernmeldewerks bzw. Funkwerks hinsichtlich von Weiter- und Neuentwicklungen empfunden?
5. Gab es über die üblichen Kampagnen hinaus viel politischen Druck? Fühltet ihr euch durch politische Instanzen stark gelenkt und kontrolliert?
6. Wie kam es zu der im „Konvolut Fleischmann“ dargestellten Schaltkreisentwicklung?
7. Worin bestand eure spezielle Rolle und Mitwirkung dabei?
8. Wie habt ihr das Wirken von Franz Rößler empfunden, wie seine Art der Unterstützung und Hilfe für euch?
9. Wie seid ihr bei der Schaltkreisentwicklung vorgegangen?
10. Wie entstand die neue Programmier-Methodik?
11. Wurde das Funkwerk von Anfang an einbezogen?
12. Welche Probleme gab es? Wie wurden sie gelöst?
13. Hattet ihr Zugang zu westlichen Vorbildern? (Muster, Fachliteratur, Konferenzen)
14. Welche Rolle spielten die TUs Ilmenau und Dresden in dem Prozess?
15. Habt ihr das, was ihr als Studenten gelernt und als Absolventen geleistet habt, nach der Wende beruflich verwerten können?

zu 1.:

Peter Salomon bearbeitete eine neue Auflage seines Buchs über die Geschichte der Mikroelektronik-Halbleiterindustrie der DDR mit kompletter Übersicht über alle DDR-Hersteller und alle Bauelemente-Typen. Bei der Recherche tauchte das Foto eines Schaltkreises mit Beschriftung „U840M MME“ auf, aber dieses Bauelement war nicht in DDR-Katalogen bzw. Unterlagen aufgeführt. Peter Salomon kontaktierte Franz Rößler, und dieser erzählte ihm, dass der U840M als kundenspezifischer integrierter Schaltkreis in Zusammenarbeit des VEB Nachrichtenelektronik Arnstadt NEA (Bauelemente-Anwender) und VEB Mikroelektronik Erfurt MME (Bauelemente-Hersteller) entwickelt wurde und ich der verantwortliche Schaltkreisentwickler war. Franz Rößler fragte mich per Mail, ob ich Peter Salomon einige Details zum U840M erzählen würde. Nachdem ich Peter Salomon informierte, dass ich noch einige Polylux Vortragsfolien zum U840M, ein Chip-Layout-Plot, Chip-Foto und weitere U840 Bauelemente habe, besuchte er mich 2018 (?) in XFAB Erfurt, und ich übergab ihm dieses Material, das ich als private Erinnerung an meine berufliche Tätigkeit zu DDR-Zeiten noch aufgehoben hatte. Nach einiger Zeit erhielt ich eine Mail von Hr. Hloucal, dass es inzwischen als Konvolut im Elektronikmuseum Erfurt aufbewahrt wird.

zu 2.:

1961 - 1973	Erweiterte Oberschule Arnstadt: Abitur
1975 - 1979	TH Ilmenau, Sektion Informationstechnik und Theoretische Elektrotechnik: Dipl.-Ing.
1986 -1989	TU Dresden, Fakultät Elektrotechnik/Elektronik, Sektion Informationstechnik Außerplanmäßige Aspirantur A: Dr.-Ing. Mikroelektronik

Ich kann mich nicht an eine zentrale Absolventenlenkung erinnern. Ich habe mich 1979 als Entwicklungsingenieur im VEB Fernmeldewerk Arnstadt (FMA) beworben und wurde im Messgerätebau des FMA eingestellt. FMA wurde 1985 in VEB Nachrichtenelektronik Arnstadt (NEA) umbenannt.

zu 3.:

Meine erste Tätigkeit zur Einarbeitung im Messgerätebau FMA war 1979 die Entwicklung eines Prüfgerätes auf Basis von Flachrelais 48 zum Prüfen einer Komponente der Automatischen Telefonzentrale ATZ65. Dies war eine der gerade anstehenden Aufgaben im Alltag des Messgerätebaus, bedeutete aber gegenüber unserer Ausbildung an der TH Ilmenau einen Sprung zurück in den Stand der Technik der 60iger Jahre. Die zweite Aufgabe war die Entwicklung einer Logik-Schaltung mit TTL-Schaltkreisen und entsprach der Ausbildung an der THI. Mein erster Gruppenleiter behandelte mich und einen weiteren Absolvent der TH Ilmenau als unerfahrene Neulinge, die erst mal lernen sollten, was es bedeutet, richtig zu arbeiten. Wie sich herausstellte, entsprach das aber seinem persönlichen Charakter, denn das Verhalten der anderen Kollegen und des Abteilungsleiters uns gegenüber war fair und in Ordnung.

zu 4.:

Als Absolvent der THI und Berufsanfänger hatte ich weder wirtschaftliche Erfahrungen noch Informationen zur wirtschaftlichen Situation und den wirtschaftlichen Möglichkeiten des FMA und des MME hinsichtlich von Neu- und Weiterentwicklungen und konnte dies daher auch nicht bewerten und einschätzen. Es gab aber die allgemeine Richtlinie und die Aufrufe zur Teilnahme an der betrieblichen Neuerer-Bewegung, um neue und moderne Techniken und Methoden zu Erhöhung der Arbeitsproduktivität in der sozialistischen Produktion zu entwickeln und einzusetzen.

zu 5.:

Während der mikroelektronischen Schaltkreisentwicklung gab es keinen konkreten politischen Druck im FMA, bzw. NEA, denn die technische Aufgabe stand im Vordergrund. Es war aber schnell klar, dass das Projekt im Rahmen der Planung und Entwicklung der DDR-Mikroelektronik gefördert und gelenkt wurde. Ab dem Zeitpunkt der Zusammenarbeit mit MME kam ein weiterer FMA Kollege, Ekkehart Becker, in unsere Gruppe, der nicht fachlich an den Schaltkreisen arbeitete, sondern die organisatorischen Arbeiten einschließlich der Berichte zum Fortschritt des Projekts erledigte. Das war sicherlich Kontrolle, aber für meinen Kollegen, Hans-Günter Rittermann, und mich war das eine angenehme Entlastung von bürokratischer Arbeit, denn wir konnten uns auf die rein technische Arbeit konzentrieren. Die Mitglieder unserer Entwicklungsgruppe im FMA wurden später eine sozialistische Jugendbrigade. Als Ingenieur empfand ich aber die politisch formulierten Artikel über unsere Jugendbrigade und unsere Schaltkreisentwicklung in der FMA/NEA- Betriebszeitung bzw. manchmal auch im lokalen Teil der Tageszeitung „Das Volk“ als unangenehm, denn erstens wollte ich mich nicht für politische Kampagnen vereinnahmen lassen und zweitens war nicht garantiert, dass diese elektronischen Schaltkreise als Bauelement an sich und wenn ja, dann auch beim Einsatz in der Automatischen Telefonanlage ATZ65 funktionieren werden, besonders auch hinsichtlich der Signalkommunikation mit anderen Telefonanlagen und Flachrelais in den Post-Ämtern. Während der Schaltkreisentwicklung wurde ich im FMA mehrmals gefragt, Mitglied der SED zu werden, denn das würde die weitere Unterstützung dieses Projektes sowie meinen beruflichen Werdegang fördern. Schließlich wurde ich SED-Mitglied. Im MME bemerkte ich keinen politischen Druck auf unser Schaltkreisentwicklungsprojekt, denn dieser wurde sowieso auf die für die DDR wichtigen MME-Hauptentwicklungen der Standard-CMOS Baureihe, Mikroprozessoren, Peripherieschaltkreise und Speicher ausgeübt. Als später mit fortgeschrittener Schaltkreisentwicklung ein weiterer NEA Kollege in unserer Gruppe notwendig wurde, blieb dieser jedoch noch wochenlang im NEA, bevor er nach Beschwerden von mir im MME mitarbeiten durfte. Es war offensichtlich, dass es seine Sicherheitsüberprüfung war, die verzögerte.

zu 6. – 14. :

Im Dezember 1979 gab es in den Bereichen Entwicklung und Messgerätebau des FMA einen betriebsinternen Wandzeitungsaufwurf, sich für die Entwicklung eines mikroelektronischen Schaltkreises zu bewerben, der einen Teil der materialintensiven Flachrelais 48 in der ATZ65 ersetzen sollte. Hans-Günter Rittermann, hatte an einem neuen postgradualen 2-jährigen Mikroelektronik-Sonderstudium an der TU Dresden teilgenommen, und man suchte nun für die anstehenden Arbeiten einen weiteren Mitarbeiter. Ich fand diesen Plan technisch interessant und anspruchsvoll, bewarb mich, wurde nach einem Vorstellungsgespräch angenommen und wechselte im Januar 1980 für diese neue Aufgabe in das Organisations- und Rechenzentrum (ORZ) des FMA. Die Komponenten der ATZ65 waren vorgegeben, in denen die Flachrelais 48 ersetzt werden konnten und sollten. Hans-Günter Rittermann übergab mir Unterlagen von seinem Mikroelektronik-Sonderstudium und erklärte sie mir.

Der erste Schritt der Entwicklung des anwendungsspezifischen mikroelektronischen Schaltkreises war die Ausarbeitung eines Pflichtenheftes. Die Komponenten der ATZ65 waren vorgegeben, in denen die Flachrelais 48 ersetzt werden konnten und sollten.

Wir analysierten die ATZ65 Relais-Schaltungen sowie die zugehörigen sogenannten Wirkpläne, die die ATZ65-internen Signalkennzeichen sowie die Schaltreihenfolge und notwendigen Schaltverzögerungen der Relais-Schaltungen darstellten, und formulierten entsprechend den funktionellen Analyseergebnissen die Aufgabenstellungen für den System-Entwurf. Das Pflichtenheft enthielt im Ergebnis eine kurze prinzipielle Blockbeschreibung der zu ersetzenden ATZ65 Relais-Komponenten, eine Liste ihrer primären Signal-Ein und -Ausgänge, eine Liste und Beschreibung der für diese Signale gültigen ATZ65 internen digitalen Steuerkennzeichen einschließlich der jeweils definierten Kennzeichen-bzw. Impuls-Dauer und erlaubten Toleranzen im ms-Bereich sowie ein erstes grobes internes Blockschaltbild des zu entwickelnden Schaltkreises.

Primäre Ein- und Ausgangs-Signalspannungspegel wurden noch nicht definiert, denn die zu verwendende Mikroelektronik-Technologie war im FMA noch unbekannt.

Im zweiten Schritt, dem Schaltkreis-Systementwurf, wurden die internen Funktionsblöcke und ihre Ein-Ausgangssignale definiert. Im nachfolgenden dritten Schritt, dem Logik-Entwurf, wurde die Logik-Schaltung jedes Funktionsblockes ausgearbeitet und das interne Blockschaltbild modifiziert und verfeinert.

Eine manuelle Überprüfung der Korrektheit der Logik-Schaltung war nicht möglich und sinnvoll, und der Aufbau dieser Logik auf einer Leiterplatten-Testschaltung mit elektronischen Standard TTL-Schaltkreisen wäre zu komplex und zu zeitaufwendig gewesen. In dieser kritischen Situation halfen Hans-Günter Rittermanns Kontakte zu Kollegen des Institutes für Nachrichtentechnik (INT) Berlin, dem Forschungszentrum des Kombines Nachrichtenelektronik, die ebenfalls an dem Mikroelektronik-Sonderstudium an der TU Dresden teilgenommen hatten. So erhielten wir vom INT das Logiksimulationsprogramm SIMPER, das, wie sich herausstellte, die entscheidende Hilfe bei der Logik-Verifizierung, Fehlersuche und Fehlerbeseitigung war. Die SIMPER Job-Programmsteuerung und Eingabe der Simulationsschaltung und Stimuli in den Robotron Rechner R300 des NEA erfolgte mittels Lochkarten. Die Ausgabe waren A4-Papierrollen, bedruckt mit dem Verlauf der simulierten binären Ein- und Ausgangssignale der Logikschaltung. Glücklicherweise erhielten wir kurz vor Beginn der Chip-Layout-Arbeiten die Zeichnung eines typischen ATZ65 Relais-Signal-Oszillogramms, das in repräsentativer Weise die Schalt-Prellungen der Relaiskontakte sowie Signalstörungen im Millisekunden-Bereich darstellte. Die sehr viel schnellere, im Mikro-/Nanosekunden-Bereich arbeitende Mikroelektronik hätte solche Kontakt-Prellungen und Störungen als gültiges Signal verarbeitet. Wir mussten daher ungeplante zusätzliche Entwicklungszeit in Kauf nehmen, um chipinterne digitale Schaltungen zur Störausblendung und digitalen Signalaufbereitung an den entsprechenden Schaltkreiseingängen einzufügen, die ca. 25% mehr Chipfläche kosteten. Das war aber trotzdem billiger als Tiefpass-Filter auf der Leiterkarte zu montieren.

Zum Abschluss des Logikentwurfs organisierte unser Direktor, Heinz Walther, einen Termin im MME. Unser erster MME-Kontakt war Dr. Franz Rößler. Wir erzählten ihm den Grund und bisherigen Werdegang der bisherigen Schaltkreisentwicklung im FMA und übergaben ihm die Kopien der

manuell gezeichneten Logikschaltpläne und die SIMPER-Simulationsergebnisse zur Bewertung. Nach ca. einer Woche wurden wir wieder in das MME eingeladen, und Franz Rößler sicherte uns seine fachliche Unterstützung zu. Er wählte für unser Projekt eine im MME entwickelte produktionsreife 9µm p-Kanal Enhancement-Transistor Silicongate Technologie (pSGT) mit -14V Versorgungsspannung. Er übergab uns eine Mappe mit pSGT Technologie-Unterlagen, mit Entwurfsregeln und elektrischen Parametern, erklärte uns die technologieabhängigen Transistorschaltungen der von uns benutzten Logik-Gatter und zeigte uns die Layout-Arbeitsweise im MME: Manuelle Zeichnung der Layout-Topologie mit Buntstiften auf Millimeterpapier-Rollen und Teilen im Maßstab 1000:1. Jede Technologie-Maske der pSGT hatte eine festgelegte Farbe. Hans-Günter Rittermann und ich planten und zeichneten im FMA das Chip-Layout, wobei die Aufgabe darin bestand, die Schaltkreis-Logikschaltung in abzuschätzende Layout-Flächen der Teilschaltungen zu unterteilen, die Signalleitungs-Schnittstellen an den Rändern der Millimeterpapier-Rollen und Teile festzulegen und dann zu zweit in Parallelarbeit jeweils auf einem Reißbrett die Transistor-Schaltungen in entsprechende Layout-Strukturen umzusetzen. Eine Herausforderung war es, das Layout der Teilschaltungen möglichst passend an die vereinbarten Positionen der Signalleitungen auf dem anschließenden Rolle/Teil des Kollegen „hin zu zeichnen“. Die Transistorweiten dimensionierten wir entsprechend der spezifizierten Taktfrequenz und den pSGT spezifischen Transistor-, Kapazitäts- und Widerstandsparametern. Wegen der nur einen verfügbaren pSGT Metall-Ebene wurden lange Leitungen im niederohmigen Metall geführt, die Anzahl von Signalkreuzungen weitestgehend minimiert, und das höher ohmige Polysilizium als zweite Verdrahtungsebene bzw. auch aktives Gebiet nur für kurze lokale, kreuzende Leitungen bzw. Leitungen mit erlaubter langer Signallaufzeit verwendet. Ein Analogsimulator stand uns nicht zur Verfügung und war für komplexe Digitalschaltungen damals sowieso nicht verfügbar. Während der Arbeit notierten wir Listen mit Problemen und offenen Fragen und vereinbarten je nach Dringlichkeit die Termine bei Franz Rößler im MME. Er unterstützte uns mit seinem hohen Fachwissen, reichen Erfahrungen und gab uns sehr nützliche Hinweise zu einem synchronen digitalen Design und zur Vermeidung von Signalwettläufen, was manchmal zu nachträglichen Änderungen und Optimierungen der Logik, Transistorschaltungen bzw. Layout-Strukturen führte. Im Prinzip durchliefen wir bei Franz Rößler anhand des FMA-Schaltkreisentwurfs einen wertvollen Lehrgang zur Arbeitsweise in der Mikroelektronik, zu uns vorher unbekanntem mikroelektronischen Details und Zusammenhängen und mussten auch lernen, Entwicklungsiterationen zur Vermeidung eventueller Fehlfunktionen und zur Reduzierung von Risiken zu akzeptieren. Franz Rößler beeindruckte uns mit seinem Enthusiasmus und Engagement für die Mikroelektronik und seiner stets freundlichen Art gegenüber Kollegen. Schon beim ersten Treffen sprach er das Problem des Schaltkreis-Tests an: Wegen der MME Produktions- und Entwicklungsprioritäten wird es nicht möglich sein, MME Chip-Testkapazitäten (Tester und Testingenieur) für den zukünftigen FMA-Schaltkreis zu reservieren. Aber er würde sich darum kümmern, dass wir, wenn es soweit ist, eine Probecard und Zugang zu einem Mikrochip-Prober im MME bekommen. Daher wurde im FMA ein weiterer Kollege, Gert Kloock, für unser Projekt gewonnen, der parallel zur eigentlichen Schaltkreisentwicklung einen Logik-Tester auf Basis eines Robotron K1520 Mikrorechners (U880 CPU und Peripherie-Bausteine) aufbaute. Die K1520 Leiterkarte für den Tester erhielten wir durch persönliche Kontakte des FMA-Kollegen Klaus Wiegel von einem Mitarbeiter in Robotron Zella-Mehlis. Gert Kloock entwickelte eine Adapter-Karte zur Ansteuerung des zukünftigen FMA Schaltkreises sowie dem Einlesen der Schaltkreis-Ausgangssignale. Den Logik-Tester programmierte er in U880 Assembler-Sprache. Dazu nutzte er einen von Klaus Wiegel an der TH Ilmenau entwickelten Laboraufbau eines PC auf Basis des U880. Nach unserer Endkontrolle der Layout-Zeichnungen im FMA begann die Kooperationsarbeit der Kollegen im MME für die Chip-Fertigung. Die Layout-Strukturen auf den Millimeterpapier-Rollen und Teilen wurden im MME auf sogenannten Digitalisier-Brettern manuell Punkt für Punkt digitalisiert, um die Daten für die Chip Masken-Fertigung zu erhalten. Für die Projektplanung und Logistik im MME erhielt der FMA Schaltkreis die Typ-Bezeichnung U809M. „M“ entsprach der MME Gehäuse-Nomenklatur für Quad-Inline Plastikgehäuse. Der U809 hatte 48 Pins.

Der U809 Tester funktionierte nach kurzer Inbetriebnahmezeit, aber ca. ein Drittel der digitalen U809M Logik nicht. Unsere Fehlersuche auf den Millimeterpapier-Rollen- und Teilen und auf dem Chip unter einem Mikroskop ergab, dass wir trotz mehrfacher Überprüfung den Kontakt am Gate eines pSGT Last-Transistors vergessen hatten. Ich erhielt die Möglichkeit, den fehlenden Kontakt im MME Fehleranalyse-Labor mit Laserstrahlen auf ca. 20 ausgesuchten, teilweise funktionsfähigen Chips einzubrennen. Ein MME Kollege stellte die Laserstärke ein und empfahl mir 5 verschiedene Belichtungszeiten, denn die Chip-Passivierung musste durchgebrannt werden, der Laserstrahl sollte an der Fehlerstelle das Metall der Signalleitung schmelzen und ein Loch zum darunter liegenden Polysilizium brennen. Da es sich um einen pSGT-Lasttransistor handelte, reichte eine hochohmige Verbindung zwischen Polysilizium und Metall, aber das Loch durfte nicht zu tief bis in das Substrat brennen, um das Substratpotential nicht zu zerstören. Glücklicherweise funktionierten dann 6 der 20 Chips mit allen funktionalen Testpattern. Nach der Chip-Separierung und Verkappung im Quad-Inline Gehäuse konnten wir schließlich 4 funktionsfähige U809M Bauelemente an die Kollegen im FMA übergeben, die damit ihre Prototyp-Leiterplatten in der ATZ65 erfolgreich testen konnten. MME fertigte eine neue U809 Kontaktmaske an, und die nächsten U809M Prototypen-Bauelemente funktionierten wie erhofft auch in der ATZ65 Vermittlungszentrale. Einige Monate später besuchte Egon Krenz das FMA, gratulierte zur Einsparung von Kupfer und Edelmetallen bei der erfolgreichen Rationalisierung der ATZ65 mittels digitaler Elektronik, lobte die gute Zusammenarbeit zwischen FMA und MME bei der Entwicklung eines entsprechenden kundenspezifischen Schaltkreises und dankte im Namen der Staats- und Parteiführung. Hans-Günter Rittermann und ich hielten 1983 einen Vortrag „Materialökonomische Effekte beim Einsatz der IS U809M“ auf dem 10. Halbleiter-Bauelemente-Symposium in Frankfurt/Oder.

Für die Serienproduktion des U809M war der FMA-Labortester nicht geeignet. Gert Kloock arbeitete im MME mit einem Testingenieur zusammen, der das U809M Testprogramm für einen der MME Produktionstester entwickelte und dafür die U809M Testpattern des FMA-Labortesters nutzte. Mitte der 80iger Jahre erhielt NEA eine Reklamation aus Kuba wegen Fehlfunktionen einer ATZ65. Der Grund war der Ausfall von U809M Bauelementen. Zwei NEA-Ingenieure reisten nach Kuba und ersetzten die Problem-Leiterkarten durch andere mit neuen U809M-Bauelementen. Die Fehleranalyse im MME fand stark korrodierte Metall-Leitungen mit Unterbrechungen in den Ausfall-Chips. Als wahrscheinliche Ursachen vermuteten die Fehleranalyse-Ingenieure mangelhafte Spülung nach dem Metall-Ätzen oder Feuchteinfluß auf die Chips wegen fehlerhafter Chip-Passivierung oder fehlerhaftem Lack zwischen Chip und Plastikgehäuse oder Risse darin. Eine endgültige Bestätigung der Fehlerursache bekamen wir nicht, aber um ehrlich zu sein, kümmerten wir uns auch nicht weiter darum. Danach erreichten uns keine weiteren Nachrichten zum U809M aus NEA und MME.

Nach Abschluss der U809M-Entwicklung gab es keine konkreten Vorschläge zum Ersatz anderer Relais-Schaltungen in weiteren ATZ65 Komponenten, denn das Kombinat Nachrichtenelektronik konzentrierte sich auf das neuere ENSAD-Vermittlungssystem. Im FMA starteten Entwicklungen, um größere digitale ENSAD Schaltungen auf Basis von Standard CMOS, TTL, RTL Bauelementen durch die flexibleren, programmierbaren U880 Prozessorsysteme zu ersetzen. Wir erhielten die Aufgabe, weitere ATZ65 Relais-Schaltungen, nun besonders jedoch auch weitere digitale ENSAD Schaltungen zu analysieren, um daraus entsprechende Konzepte für weitere kundenspezifische Schaltkreis-Entwicklungen abzuleiten, denn der Einsatz eines U880 Prozessors mit U880 Peripherie und Speicher lohnte sich nur ab einer bestimmten Komplexität der entsprechenden ENSAD Karte. Wegen der Vielzahl der unterschiedlichen digitalen ENSAD- bzw. Relais-Schaltungen mit jeweils unterschiedlicher Anzahl von Ein- und Ausgängen sowie der im internationalen Maßstab zu langen Entwicklungszeit des U809M von 15 Monaten war schnell offensichtlich, dass wir mit 2 FMA Schaltkreisentwicklern, einem Testingenieur und einem Gruppenleiter für Organisatorisches nicht rechtzeitig weitere kundenspezifische Schaltkreise nacheinander entwickeln konnten. Ohne funktionierenden U809M hätte es sowieso keinen weiteren Auftrag zur Schaltkreisentwicklung für uns im FMA gegeben. Ich hatte die Idee statt weiterer digitaler kundenspezifischer Schaltkreise für die Vermittlungstechnik das Konzept einer integrierten speicherprogrammierbaren Steuerung (IPS) für digitale Logikverarbeitung

zu entwickeln, deren Anzahl von Ein- und Ausgängen entsprechend der unterschiedlichen, zu integrierenden digitalen Schaltungen möglichst einfach erweiterbar sein sollte. Unser FMA Gruppenleiter, Ekkehart Becker, organisierte einen Kontakt zur Technischen Hochschule Ilmenau, Sektion Technische und Biomedizinische Kybernetik (TBK) und stellte uns Volker Pfeiffer vor, der an der THI auf dem Gebiet von speicherprogrammierbaren Steuerungen arbeitete. Volker Pfeiffer hatte wesentlichen Einfluss auf den Systementwurf der IPS: Einführung von Befehlen für die direkte Programmierung von BOOLEschen Gleichungen und Programmablaufgraphen zur logischen Bit-Verarbeitung auf Assembler-Niveau, Befehle zur parallelen Abarbeitung verschiedener Prozesse, insgesamt 64 Befehle, zyklische Arbeitsweise mit Master-Slave-Prinzip an den Ein-, Ausgabe-Ports. Die IPS bekam die Architektur eines 8-Bit Spezialprozessors mit 64 8-Bit Registern, einen 16-Bit Timer, vier 8-Bit Ein-, Ausgabe-Ports, einer seriellen bidirektionale Schnittstelle, Pins für externen Interrupt, Bus-Request/Acknowledge. Der adressierbare chipexterne Programmspeicher hatte eine Größe von 4k Byte, auf Kosten von 4 Ein-, Ausgabe-Port-Pins erweiterbar bis zu 64k Byte. Befehle für Addition und Subtraktion wurden weggelassen, denn die IPS war zur flexiblen speicherprogrammierbaren logischen Bitverarbeitung in digitalen Schaltungen, Steuerungen sowie höchstens als Co-Prozessor in Systemen mit Standard Prozessoren vorgesehen. Zur weiteren Bearbeitung dieses Projekts durfte ich meinen Arbeitsplatz vom NEA in Arnstadt in die MME Abteilung Schaltkreisentwurf von Franz Rößler nach Erfurt verlagern, blieb aber Angestellter des NEA. Der IPS-Schaltkreis erhielt die Typ-Bezeichnung U840M, als Technologie wurde die 4,5µm komplementäre Silicongate Technologie (cSGT4) mit 5V Versorgungsspannung festgelegt. Die Arbeit in Erfurt war Grundlage für die weitere Entwicklung des U840M, denn als Mitglied des MME Schaltkreisentwurfs konnte ich nun im MME an den Rechnern PDP11 und VAX arbeiten, die MME Chip-Entwicklungsprogramme nutzen und, was besonders wertvoll war, in täglicher Arbeit mit den MME Schaltkreisentwicklern Details besprechen und aus ihren Erfahrungen lernen. Es war der Arbeitsstil in der Abteilung von Franz Rößler, die Vorgehensweise und alle Arbeitsetappen der Chip-Entwicklungen sowie auftauchende Probleme gemeinsam zu diskutieren und sich daraus ergebende neue Entwurfsmethoden sowie neue Aufgabenstellungen und Details für die MME interne Schaltkreisentwicklungs-Software abzuleiten. Franz Rößler war der fachliche Leiter, Lehrmeister und Mentor der Schaltkreisentwickler im MME und plante, veranlasste und leitete auch die Weiterbildungsseminare der MME Schaltkreisentwicklungsabteilung. Wir hatten Zugang zu westlicher Fachliteratur und auch zu Chips aus dem Westen, denn das U880 Prozessorsystem war ein Nachbau anhand der „Fremdmuster“-Analyse des Zilog Z80 Prozessorsystems. Wegen der nicht ausreichenden Anzahl von Computer-Arbeitsplätzen wurde im MME Schaltkreisentwurf 3-schichtig gearbeitet. Die Komplexität der Aufgaben führte zwangsläufig zu Spezialisierungen der Kollegen und zur gegenseitigen Hilfe und Beratung bei der Lösung von fachlich kniffligen Fragen und Problemen. Zum Beispiel ist das U840M Chip-Steuerwerk im Prinzip mit dem gleichen programmierbaren Logischen Array (PLA)-Konzept implementiert wie beim U880 Chip, um die Anzahl von p-Kanal Transistoren und somit die Chip-Fläche zu reduzieren. Die notwendige Anzahl der U840M Befehls-Mikroschritte ließ sich nicht in der maximal reservierten PLA-Fläche unterbringen. Franz Rößler vermittelte mir die Nutzung des PLA Optimierungsprogramms MIPRE, das im AdW-ZKI Dresden entwickelt und auch für die PLAs im U 1600 CMOS Standardzellensystem des Forschungszentrums Mikroelektronik Dresden verwendet wurde. Das Programm MIPRE optimierte und reduzierte die Logik der Befehls-Mikroschritte, so dass sie in die reservierte PLA-Fläche auf dem geplanten 6,4 mm x 6,4 mm Chip des U840M passte. Zur Platzierung der PLA Transistoren nutzte ich das Programmable Cell Layout (PCL) Programm von Volker Boos. Er entwickelte auch das Programm STICKS zur grafischen Eingabe symbolischer Layout-Zell Topologie, bestehend aus Strichen für Metall, Polysilizium, aktives Gebiet und kleinen Quadraten für Kontakte. STICKS ersetzte die grafischen Symbole durch Layout-Quadrate, Rechtecke, Polygone und komprimierte sie in x, y Richtung entsprechend der cSGT4 Layout-Entwurfsregeln. MIPRE und STICKS waren die entscheidenden Programme zur Reduzierung der notwendigen Block-Layout-Flächen des U840M auf eine realistische Chip-Gesamtfläche. STICKS und PCL ermöglichten zusätzlich eine enorme Effektivierung und

Verkürzung der Layout-Arbeit. Von Franz Rößler erhielt ich eine RAM-Layoutzelle aus dem ZMD zur Umsetzung in cSGT4 und Nachnutzung für den 64 x 8-Bit Registersatz im U840M. Für den Layout-Entwurf des RAM, den Bondinselbereich und die Top-Layout Zellen und Strukturen kam das grafische Layout-Editor-Programm LAYGRAPH von Hartmut Jarmer und Klaus Zeh zum Einsatz. Der MME Ingenieur Frank Krumbein arbeitete mit mir zusammen am Layout des U840M. Er bewahrte auch den U840M Layout-Plot und eine Kopie der U840M Logik-Schaltpläne während der Wendezeit auf. Die Block- und Logik- Schaltpläne wurden manuell auf Papier gezeichnet, auf Register-Transfer- und Logik-Ebene in FORTRAN77 beschrieben und auf der VAX simuliert. Das Programm LSITRA von Franz Rößler diente der Rückerkennung und Extraktion von Transistoren, Widerständen und Kapazitäten aus dem Layout-Datensatz, das Programm LSYN von Frank Krumbein der Syntax- und Korrektheitsüberprüfung der rückerkannten Schaltkreis-Gesamtschaltung auf Transistorebene. Die rückerkannten Transistorschaltungen kritischer Details des RAM und des Steuerwerks wurden mit dem Analog-Simulator RUFUS von Jürgen Scharschmidt simuliert und dann optimiert. Das Programm LSINET von Wolfgang Hecker wurde für die Mixed-Level-Simulation der aus den Layout-Blöcken rückerkannten Transistorschaltungen, eingebettet in das FORTRAN77 Logik-Gesamtmodell des U840M verwendet. Gab es ein anderes Simulationsergebnis des Gesamtmodells mit einem eingefügten Block auf Transtorebene gegenüber diesem Block als FORTRAN77 Logik-Modell dann konnte der Fehler nur im Block-Layout oder an den Schnittstellen dieses Blocks sein und konnte so schneller gefunden und korrigiert werden. Es wurden die Logik-Modelle aller Blöcke sukzessive durch die rückerkannten Block-Transistorschaltungen ersetzt bis der U840M komplett auf Transistor-Ebene mit LSINET simuliert wurde. Der NEA-Ingenieur Thomas Spaete arbeitete in Erfurt an der U840M Funktional-Testpattern-Entwicklung mit FORTRAN77 Logik-Simulation, Gert Kloock wieder in Zusammenarbeit mit MME Testingenieuren an der Einbettung und Verifikation dieser funktionalen U840M Testpattern in das U840M Tester-Programm, denn wegen der Komplexität der Testpattern und Parameter-Messungen wurde von vorn herein die Nutzung eines MME Testers vereinbart und geplant. Die Verifikation der Testabdeckung mit dem MME Programm PATSY führte zum nachträglichen Einbau zusätzlicher Test-Logik und Layouts in den U840M vor der Datensatzabgabe für die cSGT4 Masken- und Chip-Fertigung. In der Zwischenzeit entschieden Kollegen aus Nachrichtenelektronik Greifswald (NEG), den U840 in ihrem PCM Übertragungssystem einzusetzen. Das war erfreulich, denn es steigerte die Bauelemente-Stückzahl. Die U840 Chips wurden für NEG in einem 64 poligen Plastik Chip Carrier Gehäuse gefertigt, das für die SMT Fertigung der Leiterplatten erforderlich war. Die Bauelemente in diesem Gehäuse erhielten die Bezeichnung U840PC. Es gab aber ein Problem: Die spezifizierte Taktfrequenz des U840 war 4 MHz. Die PCM-Taktfrequenz betrug 2 MHz und sollte für den U840 direkt verwendet werden. Normalerweise wird ein Prozessor-Eingangstakt chip-intern 2:1 geteilt, um im Chip ein von der Taktsignalform aus der Leiterplatte unabhängiges, störungsfreies Taktsignal mit definiertem Tastverhältnis zu erhalten. Mit dem 2 MHz PCM-Takt hätte der U840 intern nur mit 1 MHz gearbeitet. Das hätte eine für die PCM-Prozessverarbeitung zu geringe Befehlsabarbeitungsgeschwindigkeit ergeben, obwohl der U840 intern im Pipeline-Prinzip arbeitete und so die meisten Befehle von außen betrachtet nur mit einer Taktperiode abgearbeitet wurden. Als Lösung wurde der Impulsverlauf des Eingangstaktes genau festgelegt und die chipinterne Takteilung im U840 wieder entfernt. Somit lief der U840 chip-intern wie ursprünglich geplant wieder mit 2 MHz. Kurioserweise war die Taktfrequenz des U840 dann ein Problem für weitere potentielle Anwender, denn der Spezialprozessor „lief ja nur bei 2 MHz“. Die Befehlsabarbeitungszeit des U840 wurde offensichtlich nicht mit der von anderen Prozessoren verglichen, und außerdem wir wussten es nicht und waren somit auch nicht anwesend, wenn potentielle Anwender das U840 Handbuch bewerteten. So konnten wir auch nichts zum U840 erklären. Ein Marketing wie heutzutage gab es damals nicht. Eine notwendige Grundbedingung der Verwendung des U840M im NEA und U840PC im NEG war die Verfügbarkeit eines Assemblers. Deshalb erklärte sich der MME Schaltkreisentwickler Wolfgang Grimm bereit, einen U840 Assembler, lauffähig auf PC, Betriebssystem MSDOS zu entwickeln. Nach erfolgreicher Erprobung des U840PC in NEG luden die Greifswalder Kollegen alle an der Entwicklung des U840 beteiligten Kollegen aus dem NEA und MME sowie Volker Pfeiffer aus der

TH Ilmenau zu einer Segelbootfahrt auf dem Greifswalder Bodden ein. Die Entwicklung des U840 war Gegenstand meiner außerplanmäßigen Aspirantur 1986-1989 und Dissertation A an der TU Dresden. Meine Mentoren waren Prof. Möschwitzer und Prof. Rößler. Bis 1989 wurde eine 2. Version des U840 entwickelt: Der Befehlssatz wurde um 5 Befehle auf 69 Befehle erweitert. Im Frühjahr 1990 standen die getesteten Bauelemente U840PC 2, U840M 2 zur Verfügung. Die Ausbeute auf den Prototyp-Scheiben betrug 43%. Die Wende beendete den laufenden 2000 Stunden Zuverlässigkeitstest der PCM Anlage mit U840PC 2 in NEG und die Labor-Tests von Leiterplatten mit U840M 2 in NEA. NEA wurde Alcatel, NEG wurde Siemens. Beide Betriebe beendeten ihre Entwicklungen, in denen der U840 verwendet wurde. Ich stellte den U840PC gemeinsam mit Frank Krumbein in einem Vortrag auf der 4. ITG Fachtagung „Mikroelektronik für die Informationstechnik“ am 3. Oktober 1990 in Berlin vor. Es gab keine weiteren Anfragen zum U840. Wir hatten den Plan, in einer 3. Chip-Version die Befehle zur Assembler-Eingabe von BOOLEschen Gleichungen zu entfernen, deren Funktion in einen zukünftigen Compiler zu verlagern und den frei werdenden Operationscode zur Implementierung von arithmetischen Befehlen zu verwenden, denn es stellte sich heraus, dass die fehlende Addition und Subtraktion für potentielle Anwender ein Grund war, den U840 nicht zu verwenden. Auch die Entwicklung eines Emulators wäre notwendig gewesen. Mit der Wende hatten sich diese Pläne jedoch erledigt.

zu 15.:

Nach der Wende konnte ich das, was ich als Student gelernt und als Absolvent geleistet habe beruflich als Angestellter bei SEL Alcatel Stuttgart, MaZeT Erfurt, Thesys Erfurt und XFAB Erfurt gut verwenden.