

DER WISSENSCHAFTLICHE RAT DER
HUMBOLDT-UNIVERSITÄT ZU BERLIN

VERLEIHT

Herrn Gerd HEINZ

geb. am 12. Mai 1954 in Oelsnitz

DEN AKADEMISCHEN GRAD

Doktor-Ingenieur
(Dr.-Ing.)

NACHDEM ER SEINE WISSENSCHAFTLICHE BEFÄHIGUNG AUF DEM GEBIET

MIKROELEKTRONIK

NACHGEWIESEN HAT UND DAS GESAMTURTEIL

cum laude

ERTEILT WURDE.

Berlin, den 17. Mai 1988

DER REKTOR



DER DEKAN
DER MATHEMATISCH-NATURWISSEN-
SCHAFTLICHEN FAKULTÄT

Ansätze zur analytischen Beschreibung
der Dynamik digitaler CMOS-Gatter

D I S S E R T A T I O N

zur Erlangung des akademischen Grades

Doktor-Ingenieur (Dr.-Ing.)

vorgelegt der

Mathematischen-Naturwissenschaftlichen Fakultät

des Wissenschaftlichen Rates

der Humboldt-Universität zu Berlin

von

Dipl.-Ing.

Gerd Heinz

geb. am 12.5.1954 in Oelsnitz/Vogtl.

Dekan: Prof. Dr. rer. nat. habil. Werner Ebeling

Gutachter:

1. Prof. Dr. sc.t. Quaas (HUB)
2. Dr. sc.t. Fügert (TUK)
3. Dr. Ing. W. Hecker (MME)

Berlin, den 18.2.1988

In der Dissertation befinden sich bedauerlicherweise noch einige Fehler. Ich möchte Sie bitten, folgende Korrekturen vorzunehmen:

S.9, Zeile 17: "numerisch" statt "numerische"

S.10, Zeile 4: ", das" statt ", daß"

S.17, Zeile 18: richtig: "im mathematischen Sinne"

S.32, Abb.3.1-2: linker Teil: Sprungantwort falsch markiert

S.34, Glg.3.2.4: richtig: $dU(t_0)$; $d^2U(t_0)$; $d^3U(t_0)$

S.35, Zeile 1: richtig: "Schrittweitensteuerung"

S.66, Glg.5.1.1: besser: $\left. \frac{dU_a}{dU_e} \right|_{U_{Inv}} = \lim_{f_e \rightarrow 0} \frac{f_a}{f_e} = v_0$

S.66, Zeile 13: korrigieren: "im Verhältnis $v_{a\gamma}$ zur Sprungsteilheit $f_{S\gamma}$ des Gatters erreicht:"

S.66, Glg.5.1.3: richtig: $\frac{f_{aQ}}{f_{aS+}} \neq \frac{f_{aQ}}{f_{aS-}}$; $v_{a\gamma} = \frac{f_{aQ}}{f_{aS\gamma}}$

S.68, Zeile 10: "Steigerung" statt "Steigung"

S.68, Glg.5.1.6, 5.1.7: $f_{S\gamma} = \text{const.}$
 $\tau_{S\gamma} = \text{const.}$ } $|f_{S\gamma}| \cong |f_{T\gamma}|$

S.68, vorletzte Zeile: richtig: "im gegengekoppelten Zustand"

S.68, letzte Zeile: "das" statt "daß"

S.72, Zeile 7: richtig: "zu treibende"

S.72, Zeile 12: richtig: " C_I angeben,"

S.80, Glg.5.4.4.13: " \approx " statt "="

S.82, Zeile 6: "Diffu-" statt "Diffi-"

S.85, Glg.5.5.1.1: richtig: $v_{\tau\gamma} = \frac{\tau_Q}{\tau_{S\gamma}} \left|_{U_{Inv}}\right.$

S.86, Zeile 12: richtig: "Werden x und z in Glg.5.5.2.1 eingesetzt,"

S.89, Zeile 17: "derselben" statt "desselben"

S.101, Zeile 3: richtig: "Verzögerungszeitcharakteristik"



Inhaltsverzeichnis

	Seite
Symbol- und Abkürzungsverzeichnis	4
1. Vorwort	8
2. Statische Modellierung des CMOS- Inverters	10
2.1. Zweigeteiltes Transistormodell	10
2.2. Ungeteiltes Transistormodell	14
2.3. Approximation der Verstärkungsfunktion	17
2.4. Statisches Transferkennlinienfeld	21
2.5. Statisches Gattermodell	23
3. Zeitfunktionen digitaler Flanken	31
3.1. Flankenformen	31
3.2. Taylorentwicklung	34
3.3. Integralkonstanz	37
3.4. Sinusförmige Meßflanke	40
3.5. Potentiale und Spannungen	41
4. Axiome der Gatterdynamik	42
4.1. Identität des Signalhubes	42
4.2. Bezugspotential	43
4.3. Flankensteilheit und Flankendauer	44
4.4. Spannungsverstärkung	47
4.5. Verzögerungsvektor	48
4.6. Nähe der Bezugspotentiale	50
4.7. Autonome Flanken	51
4.8. Flankenkonvergenz	54
4.9. Addition von Verzögerungsvektoren	54
4.10. Knotenkapazität und Knotenladung	56
4.11. Flankenstrom	58
4.12. Koppelkapazität	60
4.13. Kapazitäten invertierender Gatter	61

5.	Kenngrößen invertierender CMOS- Gatter	65
5.1.	Arbeitsbereiche des Gatters	65
5.2.	Kenngrößen der Quasistatik	68
5.2.1.	Inverterschwellspannung U_{Inv} und Schwellstrom I_{Inv}	68
5.2.2.	Leerlaufverstärkung v_o und Ausgangswiderstand r_{Inv}	70
5.2.3.	Verzögerungszeit τ_Q	71
5.3.	Kenngrößen des Transitfalles	73
5.4.	Kenngrößen der Sprungantwort	74
5.4.1.	Schwellströme I_{No} , I_{Po}	74
5.4.2.	Flankensteilheit f_S	74
5.4.3.	Flankenkonstante $k_{S\infty}$	77
5.4.4.	Verzögerungszeit τ_S	78
5.4.5.	Bestimmung der effektiven Millerkapazität	81
5.5.	Proportionen zwischen Quasistatik und Sprungantwort	85
5.5.1.	Verhältnis der Verzögerungszeiten v_τ	85
5.5.2.	Länge der Übergangsbereiche v_e , v_a	86
5.6.	Relativität der Last	88
6.	Untersuchung der Gatterdynamik invertierender CMOS- Gatter	91
6.1.	Derzeitiger Erkenntnisstand	92
6.2.	Untersuchungsmethodik	94
6.3.	Simulationsbeispiel	95
6.4.	Dynamisches Transferkennlinienfeld (DTKF)	97
6.5.	Normiertes DTKF (NDTKF)	99
6.6.	Länge des Übergangsbereiches	104
6.7.	Unsymmetrie der Flanken	106
6.8.	Iterativ lösbares NDTKF	109
7.	Approximation der Gatterdynamik mit der linearen Systemtheorie	111
7.1.	Zeitverzögerung	111
7.2.	Statische Überföhrungsfunktion	113
7.3.	Faltungsmoöell	113
7.4.	Zeitkonstantenverhältnis	115
8.	Zusammenfassung und Ausblick	118

	Seite
Literaturverzeichnis	120
Anlagen	
1. NIFAN- Simulationsmodelle und -Prozeduren	145
2. Auswahl komplementärer Differenzen	150
3. Sinusförmige Meßflanke (EDGE)	151
4. Simulationsschaltung für NIFAN	152
5. Vergleich von Gatterkenngrößen	153
6. Gatterdaten SYNEG und NA6	154
7. Berechnungsbeispiele	155
8. Betriebsspannungsabhaengigkeit von U_{Inv} und v_o	157

Verzeichnis der Symbole und Abkürzungen

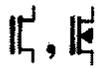
a	Breitenverhältnis der Transistoren; Hilfsvariable
ALU	Arithmetic Logic Unit
B, B_N, B_P	Breite des Transistorkanals im Layout
b, b_N, b_P	elektrisch wirksame Breite des Transistorkanals
C	allgemeine Kapazität; Knotenkapazität
C_e	Eingangskapazität
C_g	millerfreier Anteil der Eingangskapazität
C_I	interner Anteil der Knotenkapazität C
C_L	externer " " " "
C_m	Miller-Kapazitätsanteil
CMOS	Complementary MOS
C_{Ox}	Gateoxid-Kapazität
C''_{Ox}	flächenbezogene Kapazität des Gateoxids
C_P	parasitäre, millerfreie Ausgangskapazität
CSGT	Complementary Silicon Gate Technology
DVW	Deutscher Verlag Wissenschaften Berlin
DTKF	dynamisches Transferkennlinienfeld
EE	Enhancement-Enhancement (Schaltungstechnik)
ED	Enhancement-Depletion "
f	Flankensteilheit, normierte
$f(x), f(t)$	mathematische Funktion
f_a	Flankensteilheit am Ausgang
f_e	" " Eingang
f_Q	" der Quasistatik
f_S	" Sprungantwort
f_{Sx}	" " " unter aktuellem Lastfaktor
f_T	Flankensteilheit des Transitfalles
g, g_{akt}	Leitwert; Hilfsvariable
GCA	Gradual Channel Approximation
h	Schrittweite
HWF	Halbleiterwerk Frankfurt /Oder
I	Strom
I_a	Ausgangsstrom
I_e	Eingangsstrom
I_{Inv}	Gatter-Querstrom bei U_{Inv}
IM, IMD	Institut für Mikroelektronik Dresden (s. ZFTM)
I_o	Bezugsstromnormal
I_{No}	Bezugsstrom des N-leitenden Zweiges

I_{Po}	Bezugsstrom des P-leitenden Zweiges
K	empirische Modellkonstanten
...	
k_S	Gatterkonstante der Sprungantwort, millerfrei
i	Zählindex
INT	Institut für Nachrichtentechnik Berlin
L, L_N , L_P	Länge des Transistorkanals im Layout
l, l_N , l_P	elektrisch wirksame Länge des Transistorkanals
LSI	Large Scale Integration
m	Lastfaktor: Kapazitätsverhältnis
MIT, M.I.T.	Massachusetts Institute of Technology
MOS	Metal Oxide Silicon
N, n	als Index: n-leitender Transistorkanal
n	Eigenlastfaktor: Kapazitätsverhältnis; Zählindex
NAND	Negate And
NA6	CSGT-Standardzelligatter
NDTKF	normiertes, dynamisches Transferkennlinienfeld
NEG1	CSGT-Standardzelligatter
NIFAN	Netzwerksimulator des VEB HWF
NOR	Negate Or
nSGT	n-channel Silicon Gate Technology
NtE, NTE	Nachrichtentechnik-Elektronik (zeitschrift)
NWA	Netzwerkanalyse
P, p	als Index: p-leitender Transistorkanal
PLA	Programmable Logic Array
pulldown	tiefziehender Transistorzweig (n-Typ)
pullup	hochziehender " (p-Typ)
Q	Ladung
R	Widerstand
r	differentieller Widerstand
RAM	Random Access Memory
r_a	Ausgangswiderstand, differentieller
rfe, RFE	Radio Fernsehen Elektronik (Zeitschrift)
r_e	Eingangswiderstand, differentieller
r_i	Innenwiderstand, "
r_{Inv}	Ausgangswiderstand, " bei U_{Inv}
RISC	Reduced Instruction Set Computer
ROM	Read Only Memory
s	Differentiationsoperator
SSI	Small Scale Integration
SYNEG	symmetrierter Negator, Testgatter s. Anlage 1

t	Zeit
t_0	Bezugszeitpunkt
TUD	Technische Universität Dresden
TUM	" " München
Δt	Zeitdifferenz
U	Spannung, Potential
U(t)	Zeitfunktion der Spannung
U*(t)	approximierte Flankenfunktion
U ₀	Bezugspotential
U _a	Ausgangsspannung
U _e	Eingangsspannung
U _{DD}	Betriebsspannung
U _{DS}	Drain- Source- Spannung
U _{GD}	Gate- Drain- Spannung
U _{GS}	Gate- Source- Spannung
U _{GSE}	effektiv wirkende Gate- Source- Spannung
U _H	hoher Signalpegel
U _{Hub}	Signalhub $U_{Hub} = U_H - U_L$
U _{Inv}	Inverterschwelle (Potential)
U _k	Knotenspannung; Knotenpotential
U _L	niedriger Signalpegel
ULSI	Ultra Large Scale Integration
U _P	Schwellspannung
U _T	Temperaturspannung
\vec{V}	Vektor
v	Verstärkung; Verhältnis
v _a	Verhältnis der Flankensteilheiten am Ausgang
v _e	" " " " Eingang
v ₀	Leerlaufverstärkung
v _τ	Verhältnis der Verzögerungszeiten
v _Q , v _S	Verhältnis zwischen Verzögerungszeit und Flankensteilheit bei Quasistatik bzw. Sprungantwort
VHSI	Very High Scale Integration
VLSI	Very Large Scale Integration
VT	Verlag Technik Berlin
x, y, z, X, Y, Z,	allgemeine Variablen
ZFTM	Zentrum für Forschung und Technik der Mikroelektronik Dresden
β ₀	Kennlinienkonstante des MOS- Transistors
μ	Bezugspotentialdifferenz; Beweglichkeit

γ	Index für Flankenrichtungsabhängigkeit
τ	Verzögerungszeit (Δt); Zeitkonstante (RC)
τ_m	Miller- Verzögerungszeit
τ_Q	Verzögerungszeit der Quasistatik
τ_S	" " Sprungantwort
$\tau_{\dots\infty}$	" ohne Millereffekt
ω	Kreisfrequenz

Zeichnungssymbole

\uparrow	Betriebsspannungsanschluß
	Enhancementtransistor, n-Kanal
	Enhancementtransistor, p-Kanal

Indizierungen

∞	Millerfreiheit
+	positive Flankenrichtung, positives dU/dt
-	negative " , negatives dU/dt
γ	allgemeine Flankenrichtungsabhängigkeit
o	Bezugsgröße

1. Vorwort

Seit nunmehr 15 Jahren ist es mit analytischen Mitteln möglich, die Dynamik bipolarer Digitalgatter deduktiv zu beschreiben, vgl. /E1/, /N5/, /M16/.

Die Dynamik unipolarer Gatter jedoch war bislang bis auf Spezialfälle unerforscht. Aufgrund der Zweiteiligkeit des Kennlinienfeldes von MOS- Transistoren ist es bis heute nicht möglich, auf deduktivem Wege Aussagen über die Dynamik digitaler Gatter zu erhalten, wengleich bisher mehrere Veröffentlichungen zu deduktiv hergeleiteten Dynamikmodellen von MOS- Gattern erschienen sind, wie z. B.: /L5/, /B5/, /T5/, /T6/, /R10/, /O2/, /O3/, /L6/, /H8/, /M6/, /N1/, /V1/, /S1/, /M10/, /C3/, /R1/, /R8/, die zumeist empirischen Charakter tragen.

Grundmangel aller bekannt gewordenen Veröffentlichungen ist es, daß zu wenig verallgemeinerbare Erkenntnisse zum Wesen digitaler Flanken im Sinne der Theorie der elektronischen Schaltungstechnik existieren.

Ausgehend von Betrachtungen zum statischen Gattermodell soll die Dynamik digitaler Gatter erschlossen werden.

Ziel der Arbeit ist es, aufbauend auf den Grundlagen der elektronischen Schaltungstechnik ein theoretisches Fundament der Gatterbeschreibung zu schaffen, mit dem es möglich sein soll, die dynamische Verifizierbarkeit von Schaltkreisen des gehobenen VLSI- Niveaus zu verbessern.

Um die aufgrund der mikroskopisch kleinen Abmessungen der Bauelemente auftretenden Schwierigkeiten zu umgehen, sind sämtliche Untersuchungen anhand von Netzwerk- Simulationen durchzuführen. Die Untersuchungen sind der (im Rahmen der Arbeit noch nicht gelösten) Aufgabe gewidmet, die Grundlagen für eine geschlossene, analytische Lösung einer aus dem statischen Gattermodell gewinnbaren Differentialgleichung aufzubereiten, und den Untersuchungsapparat sowie numerisch gewonnene Lösungen der Gatterdynamik anzugeben.

Dazu ist der praktische Nachweis zu erbringen, daß geschlossene, statische, analytische Modelle des Gatters angebar sind.

Um Aussagen zum Wesen digitaler Flanken zu erhalten, ist es erforderlich, Flankenformen zu untersuchen, und analytisch zu

approximieren.

Die Besonderheiten und allgemeingültigen Gesetzmäßigkeiten, denen Flanken digitaler Gatter unterliegen, sind zu untersuchen, und als Axiome festzuhalten, dabei ist von einem hierarchischen und modularen Schnittstellenkonzept auszugehen. Ausgehend von der Theorie der elektronischen Schaltungstechnik sind Kenngrößen invertierender CMOS- Gatter herzuleiten, die auf dem zu schaffenden Axiomensystem aufbauen.

Um numerisch gewonnene Lösungen der Gatterdynamik veranschaulichen zu können, ist eine Darstellungsform zu finden, die es gestattet, signifikante Merkmale der Gatterdynamik abzubilden. Gleichzeitig sind CMOS- Gatter im gesamten Flankensteilheitsbereich zu untersuchen.

Um Hinweise auf das Wesen der Lösung einer Gatterdifferentialgleichung zu erhalten, ist deren Charakter einzugrenzen. Dazu ist deren einfachste Form, eine lineare Differentialgleichung des Gatters, auf deren Eignung zur Beschreibung der numerisch gefundenen Lösungen der Gatterdynamik zu untersuchen.

Zunächst sind die Unzulänglichkeiten des derzeitigen MOS- Transistormodells nach /S8/ zu erörtern.

2. Statische Modellierung des CMOS-Inverters

2.1. Zweigeteiltes Transistormodell

Die in der Arbeit aufgeführten Simulationen werden mit dem hier beschriebenen Modell des Enhancement-Transistors, das im Wesen auf die Gradual-Channel-Aproximation (GCA) nach Shichmann u. Hodges /S8/ zurückgeht, durchgeführt. Das benutzte Modell wurde vom Auto in Anlehnung an die Arbeiten /P8/ bis /P14/, /D4/ und /Z1/ unter Vorgabe der Modellkonstanten einer realen CSGT2-Technologie erstellt. Das Modellprinzip der I_{DS} -Stromquelle CTRA des Transistors ist ausführlich in /H10/ dargestellt, dem Modell der Transistorkapazität CTRA war der Aufsatz /H17/ des Autors gewidmet. Die ausführliche Erörterung der Modelle soll nicht Gegenstand der Arbeit sein in der Literatur sind zur MOS-Modellproblematik hinreichend erschöpfende Artikel veröffentlicht worden, z.B. /J4/, /G1/, /M14/, /M15/, /D2/, /D5/, /D6/, /D7/, /D8/ und /D9/.

Die Modellprozeduren CTRA und CKAP sowie die sie aufrufenden Transistorkörper ENC und EPC wurden als Anlage 1 zur Arbeit aufgenommen. Die Modellkonstanten wurden ausgehend von Pflichtenheftvorgaben einer realen CSGT2-Technologie erstellt /J6/.

Eine mögliche, einfache Herleitung des zweigeteilten Transistormodells soll demonstriert werden. Von anderen physikalischen Phänomena ausgehende Herleitungen finden sich z.B. in /J3/, S. 14 oder im /M18/, S. 65.

Aus Kleinsignalmessungen an MOS-Transistoren kann abgelesen werden, daß ein Zusammenhang zwischen Ausgangsleitwert $g_{akt} = dI_{DS} / dU_{DS}$ und Eingangsspannung $U_{GSE} = U_{GS} - U_P$ sowie Ausgangsspannung U_{DS} für den Fall, daß U_{GSE} größer als U_{DS} ist, besteht. Es gilt in Näherung:

$$g_{akt} = \frac{dI_{DS}}{dU_{DS}} = K_0 (U_{GSE} - U_{DS}) ; U_{GSE} \geq U_{DS} \quad (2.1.1)$$

Wird diese Differentialgleichung durch Trennung der Variablen gelöst, so entsteht daraus die Transistorgleichung für den aktiven Bereich:

$$\int dI_{DS} = K_0 \int (U_{GSE} - U_{DS}) dU_{DS} \quad (2.1.2)$$

$$I_{DS} = K_0 \left(U_{GSE} U_{DS} - \frac{U_{DS}^2}{2} \right) + C_0 ; \quad U_{GSE} \geq U_{DS} \quad (2.1.3)$$

Die Integrationskonstante C_0 ist identisch Null. Die Kennlinienkonstante K_0 kann physikalisch als Produkt aus Beweglichkeit der Majoritätsladungsträger, flächenbezogener Oxidkapazität C''_{ox} und Breiten- zu Längenverhältnis $K_0 = \mu C''_{ox} B/L$ (siehe /H10/ interpretiert werden. Den Anschluß an den aktiven Bereich bildet der Einschnürbereich ($U_{GSE} < U_{DS}$).

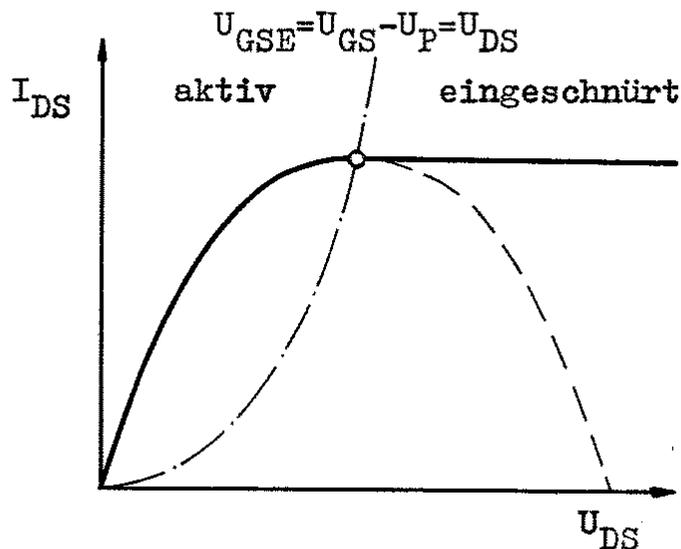


Abb.2.1-1

Für Transistoren hinreichend großer Kanallänge kann festgestellt werden, daß der Ausgangsleitwert näherungsweise gegen Null strebt d.h. daß I_{DS} für Transistoren großer Kanallänge unabhängig von U_{DS} wird.

Für $U_{GSE} = U_{DS}$ folgt aus Gleichung (2.1.3) unmittelbar:

$$I_{DS} = K_0 \frac{U_{GSE}^2}{2} ; \quad U_{DS} > U_{GSE} \quad (2.1.4)$$

Diese Gleichung kennzeichnet den zweiten Betriebsbereich des MOS-Transistors, den Einschnürbereich. Ein dritter Arbeitsbereich, der Entblösungs- oder Subthreshold-Bereich, kann aus dieser Modellvorstellung nicht gewonnen werden. Er ist in diesem Zusammenhang auch nicht von Belang. Die Vorzüge dieses klassischen Modells sind bekannt: Der Funktionswert ist an der Trennstelle stetig und differenzierbar, d.h. rechts- und linksseitige Ableitung sind identisch. Durch Einfügung zusätzlicher Konstanten zu beiden Bereichen, wie z.B. Division durch $(1 + K_3 U_{GSE})$; Addition von

$K_4 U_{GSE} U_{DS}$ bzw. $(K_4 U_{GSE} U_{DS} + K_4^2 U_{DS}^2 / 2)$ sowie Berücksichtigung der Bulkinfluenz (Bodyeffekt) $U_{GSE} = U_{GS} - U_T$ mit $U_T = f(U_{SB})$ kann aus obigen Gleichungen ein hinreichend genaues Transistormodell gewonnen werden, s. Abb. 2.1-2. Die Stetigkeit des Modells bleibt erhalten. Der Nachteil dieses Modells für analytische Untersuchungen, die Zweiteiligkeit, wird jedoch nicht berührt.

Bereits bei der Aufstellung einer Gleichung für die allgemeine, statische Transfercharakteristik eines Inverters werden aus zwei Bereichen der Transistorkennlinie vier Bereiche, die getrennt voneinander zu bestimmen wären, um die Dynamik eines Inverters zu berechnen. Die Fülle zu beachtender Randbedingungen führt dazu, daß die Lösung entstehender Differentialgleichungen im Zeitbereich praktisch unmöglich wird. Ansätze, dies zu tun, führen auf expandierende Gleichungssysteme, die auch durch Konvergenzuntersuchungen und -abschätzungen sowie durch Ausklammerungen nicht in eine Form zu bringen sind, die "analytisch" zu nennen ist, und die verallgemeinerbare Abstraktionen gestattet.

Die Zahl zu berechnender Lösungen l steigt etwa mit der Anzahl n zu berechnender Transistorgleichungen zur zweiten Potenz: $l \sim 2^n$. Dieser Erkenntnis folgend ist es zwar möglich, auf analytischem Wege die Signalfortpflanzung durch wenige Transistoren (z.B. einen einzigen) zu betrachten, hingegen spricht die Kompliziertheit der zu lösenden Differentialgleichungen dagegen, wenn angenommen werden muß, daß genannte Modellverbesserungen zweiter Ordnung in bestimmten Arbeitsbereichen des digitalen Gatters die Dynamik entscheidend bestimmen (Konstante K_4 im Bereich quasistatischer Eingangsfanken), und nicht vernachlässigbar sind. Das Transistormodell bietet außer für die Spezialfälle Sprungantwort und Quasistatik keine Möglichkeiten, Aussagen zum dynamischen Verhalten des Gatters bei Großsignalbetrieb (digitale Flanken) zu erhalten.

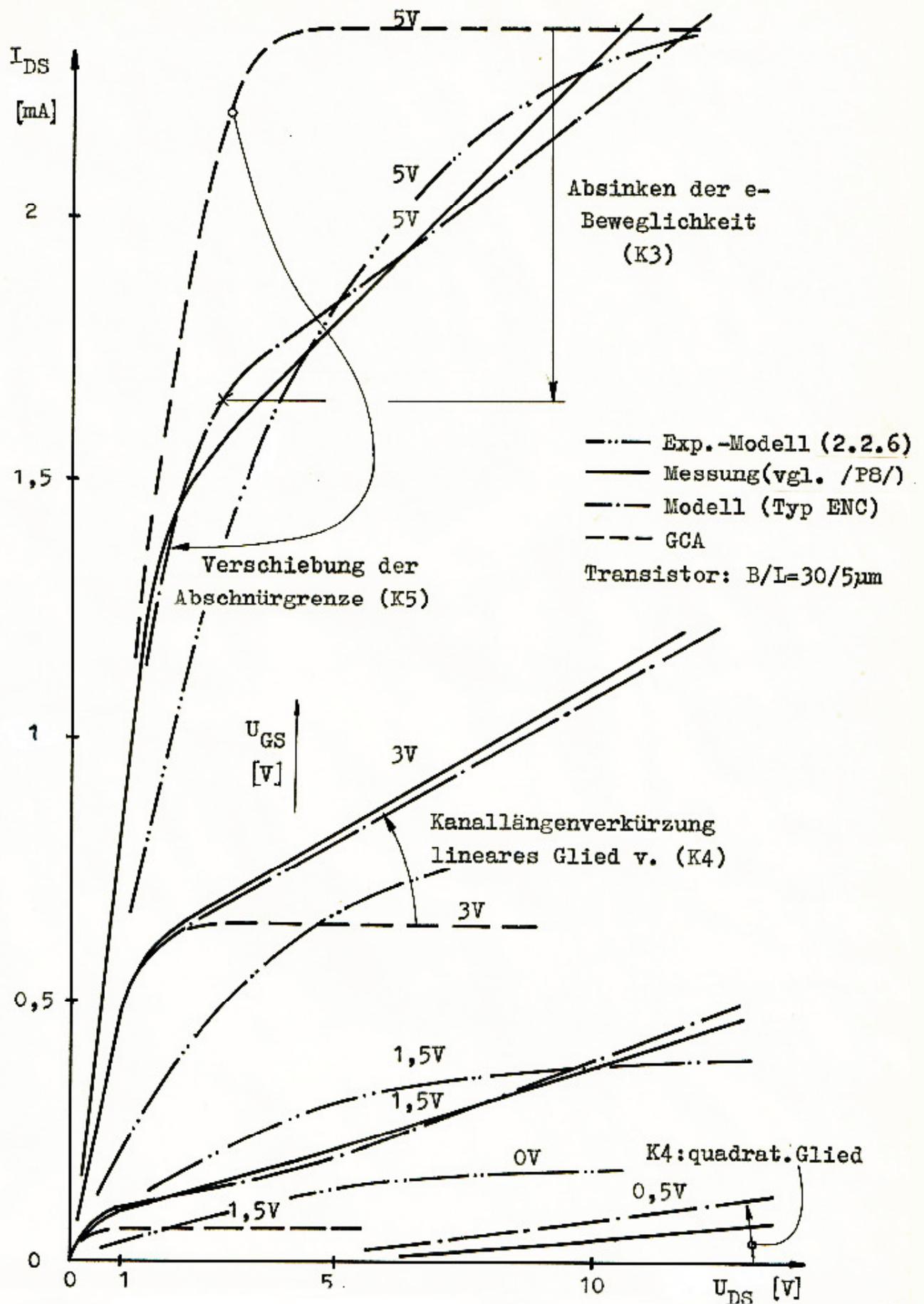


Abb.2.1-2: Modellverbesserungen am GCA-Grundmodell (nach /H10/).

2.2 Ungeteiltes Transistormodell

Die Untersuchungen zur Auffindung eines geschlossenen Gattermodells beginnt mit der Aufstellung von ungeteilten, d.h. analytischen Näherungen der Transistorkennlinien von N- und P-Kanal-Transistor. Ziel der Arbeiten ist es, über analytische Rechnungen und Reihenentwicklungen zu einer einteiligen, statischen Transfercharakteristik des Gatters zu gelangen. Die im Laufe der Arbeiten dazu entstandene Tafel von zu Differenzen komplementäre Funktionen identischen, einfacheren Funktionen ist in der Anlage 2 festgehalten.

Die Differenz komplementärer Funktionen äußert sich schaltungstechnisch in der CMOS-Technologie als Differenz der Ströme von N- und P-Kanal-Zweig. Der Differenzstrom zwischen beiden Zweigen ist nach dem 1. Kirchhoffschen Satz gleich dem zur Ladung der Lastkapazität C_L nutzbaren Ausgangsstrom I_a .

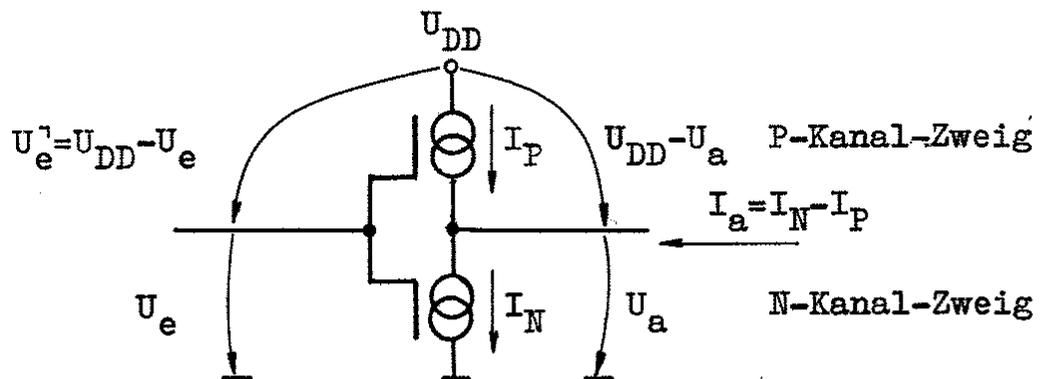


Abb.2.2-1: Komplementäre Spannungen am CMOS-Inverter.

Kennzeichen von gewöhnlichen CMOS-Gattern ist es, daß jeweils zwei zueinander komplementäre Transistoren vom gleichen Eingangspotential U_e und vom gleichen Ausgangspotential U_a gesteuert werden. Die Modellstromquellen I_N bzw. I_P der Zweige sind als Funktionen zueinander komplementärer Variabler aufzufassen:

$$I_N = f(U_e, U_a) \quad (2.2.1)$$

$$I_P = f(U_e^1, U_a^1) \quad (2.2.2)$$

mit $U_e^1 = U_{DD} - U_e \quad (2.2.3)$

$$U_a^1 = U_{DD} - U_a \quad (2.2.4)$$

Folglich gilt für den Ausgangsstrom I_a des Gatters:

$$I_a = I_N - I_P = f_N(U_e, U_a) - f_P(U_e^1, U_a^1). \quad (2.2.5)$$

Voraussetzung zur Nutzung der in Anlage 2 aufgeführten Identitätstabelle ist ein ungeteiltes Kennlinienfeld des Transistors. In Abb.2.12 ist eine Approximation des Transistorkennlinienfeldes durch eine analytische Funktion vom Exponentialtyp (vgl. auch /M15/) dargestellt. Es ist zu erkennen, daß im Bereich niedriger Drain-Source-Ströme I_{DS} relative Modellfehler von mehreren tausend Prozent entstehen.

Aufgrund der Verknüpfung von N- und P-Zweig des Gatters wirken diese Fehler als absolute Fehler. Demzufolge ist es für ein Glatmodell zur Herleitung der geschlossenen CMOS-Gatter-Kennlinie erforderlich, daß insbesondere der Bereich hoher Drain-Source-Ströme gut approximiert wird, da dessen Absolutfehler den Fehler des Ausgangsstromes I_a bestimmt.

Die reale Transistorkennlinie in Abb.2.12 wurde /P8/ entnommen. Die zugehörige Exponentialmodell-Kennlinie wird durch die Funktion

$$I_{DS} = \frac{B}{L} I_0 \left(\exp \frac{U_{GS}}{N U_T} \right) \left(1 - \exp \left(- \frac{U_{DS}}{M U_T} \right) \right) \quad (2.2.6)$$

mit den Konstanten

$$\frac{B}{L} I_0 = 0,1847 \text{mA}$$

$$U_T = 0,0258 \text{V}$$

$$N = 75$$

$$M = 140$$

charakterisiert. Die Einführung einer Schwellspannung U_p entfällt, da

$$e^{x-b} = \frac{e^x}{e^b} = a e^x \quad \text{mit } a = e^{-b} \quad (2.2.7)$$

gilt.

Die Schwellspannung ist stets als die Spannung definiert, bei der die lineare Abhängigkeit $\log I_{DS} = k U_{GS}$ des Stromes von der Gatespannung nicht mehr gilt. Mit dem Exponentialmodell gilt diese lineare Beziehung bei logarithmischer I_{DS} -Darstellung stetig.

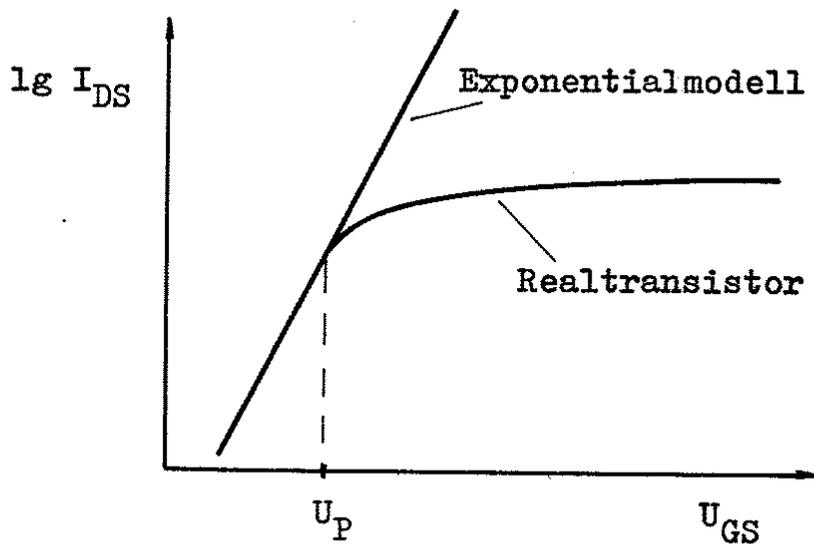


Abb.2.2-1

In Abb.2.2-1 ist zu erkennen, daß die Kennlinien für große U_{GS} parallel zur Abszisse laufen. Mit der Addition eines Zusatzterms zum Gatespannungsterm wird erreicht, daß das Modell den Einfluß der Kanallängenverkürzung (punch through) wiedergibt.

$$I_{DS} = \frac{B}{L} I_0 \left(\exp \frac{U_{GS}}{N U_T} - \exp \frac{U_{GS} U_{DS}}{K U_T} \right) \left(1 - \exp \frac{-U_{DS}}{M U_T} \right) \quad (2.2.8)$$

Unter Nutzung des so gewonnenen Modells ist es unter Zuhilfenahme der Identitäten (s. Anlage 2) prinzipiell möglich, ein geschlossenes Gattermodell herzuleiten.

Eine vom Autor vorgenommene Herleitung weist allerdings prinzipielle Mängel auf.

- Das vorgestellte Exponentialmodell verfälscht die Inverterschwellspannung U_{Inv} des Gatters stark.
- Bereits das Transistormodell besitzt rein empirischen Charakter (man betrachte dazu den Wert von N , M und $B I_0/L$ - es handelt sich um empirische Größen);
- Die entstehenden Formeln sind aufgrund ihrer Komplexität von begrenztem Aussagewert.

Folglich erscheint es ratsamer, auf dem Niveau des Gatters selbst ein empirisches, auf am Realgatter meßbaren Konstanten basierendes Gattermodell herzuleiten, das sich durch größere Einfachheit auszeichnet.

2.3. Approximation der Verstärkungsfunktion

Die Funktion der Spannungsverstärkung v

$$v = - \frac{d U_a}{d U_e} = f(U_e) \Big|_{U_{Inv}} \quad (2.3.1)$$

des Gatters im Arbeitspunkt $U_a = U_e = U_{Inv}$ wurde bei ausgangseitigem Leerlauf ($I_a = 0$) untersucht. Die gewählte Modellierung mit einer Gaußschen Glockenfunktion erwies sich als hinreichend exakt, jedoch gibt es keine Möglichkeit, die Differentialgleichung der Glockenfunktion in die gesuchte Gattergleichung zu integrieren, das sog. Gaußsche Fehlerintegral ist nur diskretisiert integrierbar. Eine gefundene Addition zweier Gaußglocken approximiert die Gatterkennlinie dagegen sehr gut. Anhand der Betrachtungen läßt sich der komplizierte Charakter der realen Gatterfunktion erkennen.

Um einen Ansatz für eine nicht in Arbeitsbereiche geteilte Differentialgleichung des Gatters zu finden, wurden die Kennlinien analog zur Herleitung des MOS-Transistormodells auf numerischem Wege differenziert. Die erste Ableitung erschien für eine Modellbeschreibung geeignet, da sie eine im mathematischen Sinne "einfachste" Funktion darzustellen scheint. Es wurde mit numerischen Differentiationsformeln /B15/ S. 805 gearbeitet:

$$y'(i) = \frac{1}{2h} (-y_{i-1} + y_{i+1}) \quad (2.3.2)$$

$$y''(i) = \frac{1}{h^2} (y_{i-1} - 2y_i + y_{i+1}) \quad (2.3.3)$$

$$y'''(i) = \frac{1}{2h^3} (-y_{i-2} + 2y_{i-1} - 2y_{i+1} + y_{i+2}) \quad (2.3.4)$$

$$y = U_a(U_e), \quad \Delta U_e = h.$$

Die zweite und dritte Ableitung wurden berechnet, um Hinweise auf Wendepunkte zu erhalten. Die sich ergebende erste Ableitung der Kennlinie $I_A = 0$ ist in Abb.23-1 eingetragen. An eine diese Funktion beschreibende Differentialgleichung werden folgende physikalisch relevanten Anforderungen gestellt:

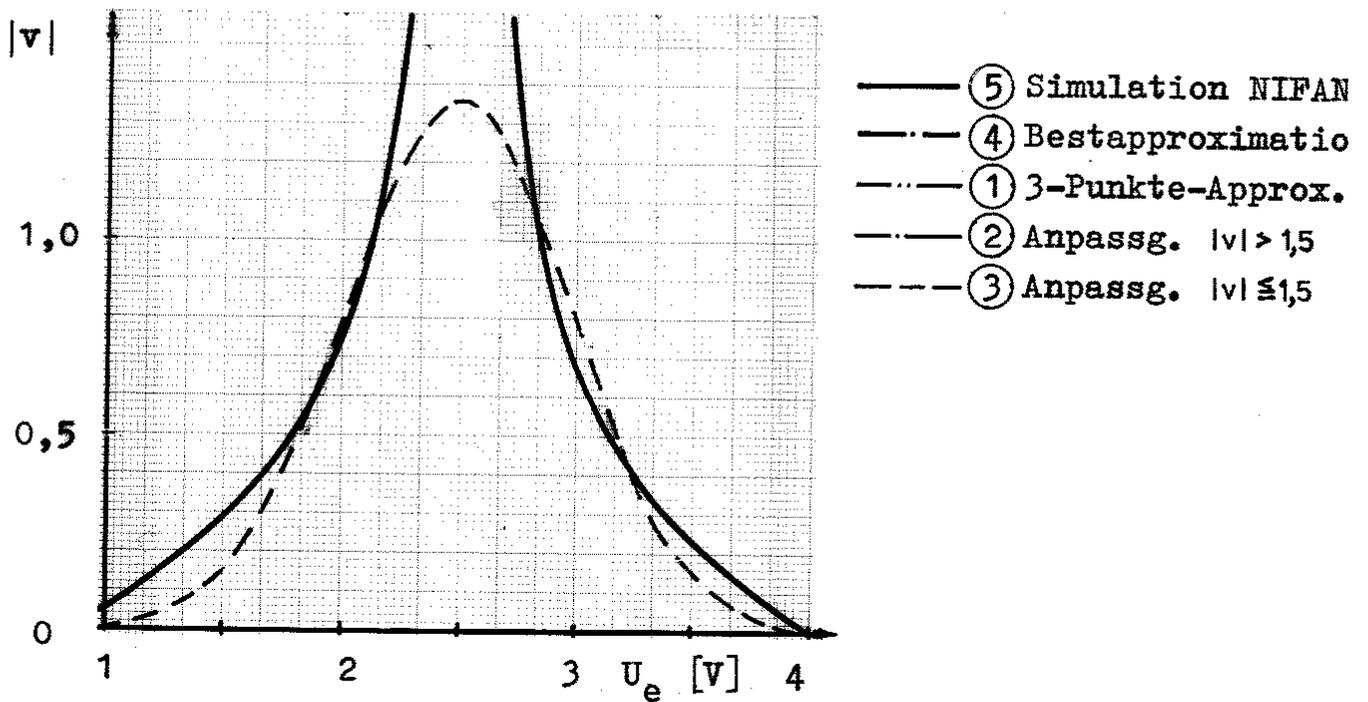
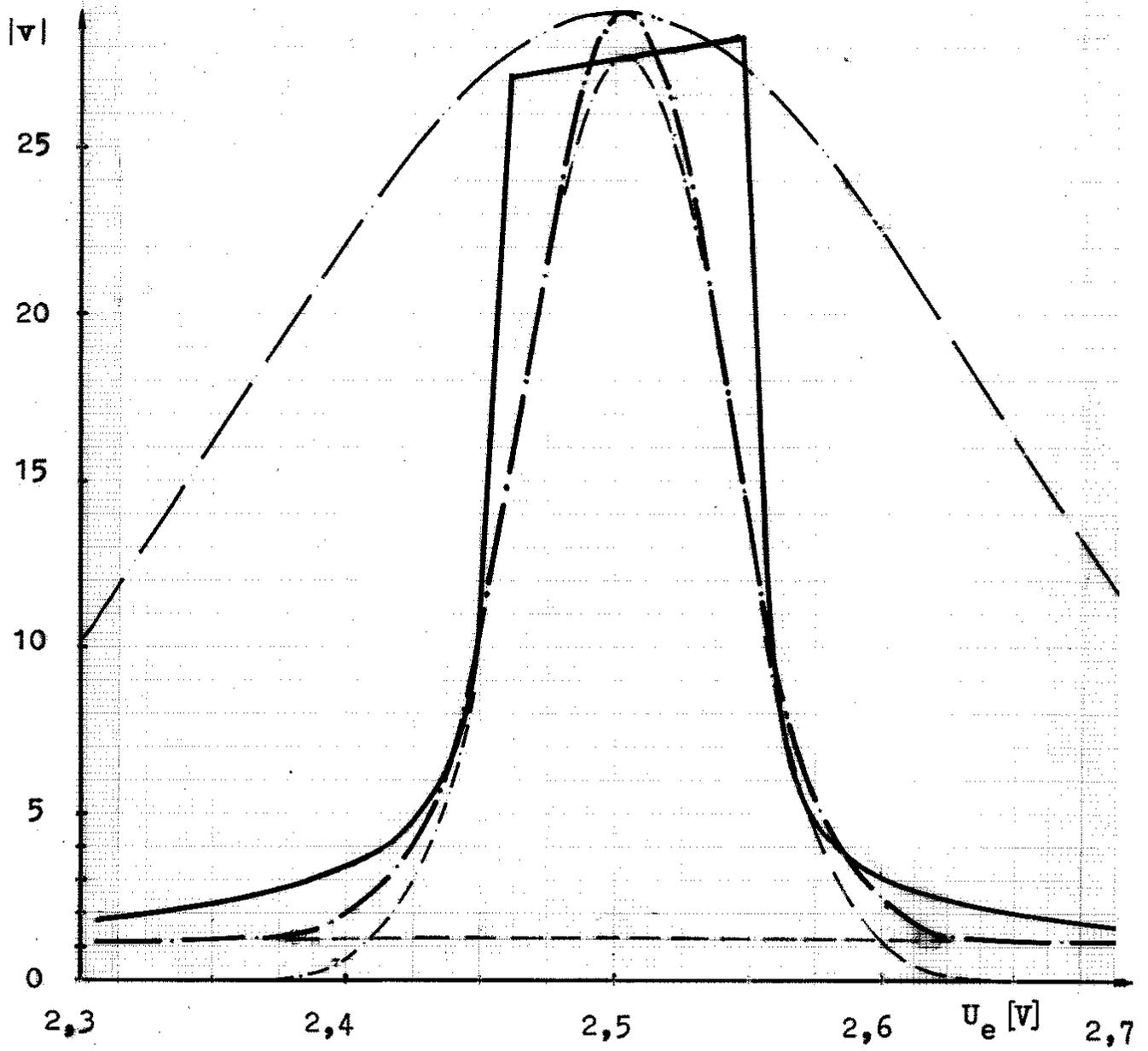


Abb.2.3-1: Approximation der Verstärkungscharakteristik $v = dU_a / dU_e$ bei ausgangsseitigem Leerlauf $I_a = 0$ des Inverters SYNEG (s.Anlage), $U_{DD} = 5V$.

- a) die Ableitung $|dU_a / dU_e|$ muß links- und rechtsseitig des Maximums $|v_o|$ verschwinden;

$$\lim_{U_e \rightarrow \pm \infty} |dU_a / dU_e| = 0 \quad (2.3.5)$$
- b) die Eckwerte $|dU_a / dU_e| = \pm 1$ (Verstärkung = 1) und $|dU_a / dU_e| = v_o$ sind zu treffen;
- c) die Kurvenkrümmung ist qualitativ möglichst genau nachzubilden. Es wird deutlich, daß bereits die erste Ableitung der Gatterfunktion eine erheblich kompliziertere Funktion darstellt, als die aus der Herleitung z.B. des MOS-Transistormodells bekannte Funktion.

Polynomfunktionen zur Nachbildung der Gatterdifferentialgleichung scheiden aus dem Grunde a) aus; mit mehreren, addierten Gauß-Glockenkurven ist die Gatterfunktion zwar hinreichend beschreibbar, indes ist die Nutzung für die Erstellung von Netzwerkanalysen ausgeschlossen.

Abb. 23-1 verdeutlicht die Kompliziertheit der Gatterfunktion.

Die Form des Daches der Realkurve 5 zeigt, daß die Gatterfunktion tatsächlich äußerst schwierig zu beschreiben ist. Das abgechrägte Dach charakterisiert, daß sich in diesem Bereich beide Transistoren, P- und N-Kanal Transistor, im Einschnürbereich befinden.

Kurve 1 in Abb. zeigt eine Gauß-Glockenkurven-Approximation die in den Punkten $v_o = -29$ und $v = -1$ ($U_{e1} = 2,1397V$ und $U_{e2} = 2,8603V$) der Simulation (Kurve 4) angepaßt ist. Mit dem Ansatz

$$v = \frac{dU_a}{dU_e} = v_o \exp\left(-m \left(\frac{U_e - U_{Inv}}{\Delta U}\right)^2\right) \quad (2.3.6)$$

ergibt sich der Anstieg m mit $U_{Inv} = 2,50V$ aus

$$v_x = v_o e^{-m} \quad (2.3.7)$$

mit $U = U_{Inv} - U_{e1} = U_{e2} - U_{Inv} = \frac{1}{2} (U_{e2} - U_{e1}) = 0,3603$ und

$v_x = -1$ (Anpaßstelle) zu

$$m = \ln\left(\frac{v_x}{v_o}\right) = 3,3673 \quad (2.3.8)$$

Kurve 1 zeigt folglich die Funktion

$$v = \frac{dU_a}{dU_e} = -29 \exp\left(-3,3673 \left(\frac{U_e - 2,5V}{0,3603V}\right)^2\right) \quad (2.3.9)$$

In Abb.23-2 ist die Ermittlung der Anpaßpunkte verdeutlicht. Ist es möglich,

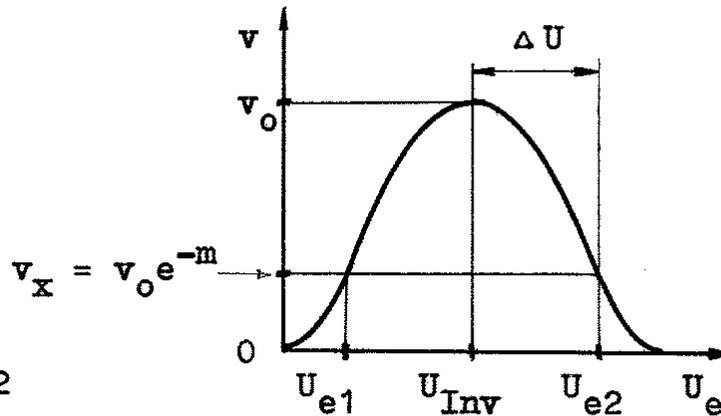


Abb.2.3-2

die Abszissenwerte U_{e1} , U_{e2} dem Ordinatenwert v_0/e zuzuordnen, entfällt die Bestimmung des Anstiegsfaktors ($m = 1$).

Aus Abb.23-2 ist zu erkennen, daß die Gatterfunktion $v = f(U_e)$ durch Gleichung 239 nur ungenügend approximiert wird.

Kurve 2 Abb.23-2 zeigt eine Approximation des Einschnürbereiches der Transistoren. Dieser Kurve kann additiv Kurve 3 überlagert werden. Kurve 3 wurde an die Verstärkungen $v_1 = v_3 = (1/e)v_0$, $v_2 = -27,64$ ($e = 2,718\dots$) angepaßt; Kurve 2 wurde an die Punkte $v_1 = v_3 = -1$, $v_2(U_{Inv}) = -1,36$, $v_4 = v_5 = 0,5$ angepaßt. Die Addition von 2 und 3 ergibt eine über den gesamten Arbeitsbereich befriedigende Approximation 4 der realen Gatterkennlinie 5.

Für die Kurve 4 gilt

$$v = -\left(1,36 \exp\left(-\frac{U_e - 2,5V}{0,63V}\right) + 27,64 \exp\left(-\frac{U_e - 2,503V}{0,0535V}\right)\right) \quad (2.3.)$$

Kurve 4 paßt die Invertercharakteristik 5 in sieben Arbeitspunkten - $v = (0,5; 1; 10,7; 29; 10,7; 1; 0,5)$, von kleinen U_e beginnend, an.

Die reale Transfercharakteristik des Inverters 5 bei ausgangseitigem Leerlauf ($I_a = 0$) des Inverters wurde durch Einstellung des Breitenverhältnisses von P- und N-Kanal Transistor symmetrierten Inverter SYNEG (s. Anlage) gewonnen.

2.4. Statisches Transferkennlinienfeld

Der Spezialfall der allgemeinen Transfercharakteristik des CMOS-Gatters ist aus der Literatur bekannt: Zwischen Eingangs- und Ausgangsspannung (U_e , U_a) des Gatters läßt sich für den Fall, daß der Ausgangsstrom gleich Null ist, eine Transferfunktion angeben die im Intervall von $0 \leq U_e \leq U_{DD}$; $0 \leq U_a \leq U_{DD}$ definiert ist. Um die Frage nach einer "Ausgangsstromfunktion" des Gatters $I_a = f(U_e, U_a)$ zu beantworten, wurden Simulationen in Abhängigkeit vom Ausgangsstrom als Parameter durchgeführt. Die Ergebnisse dieser Simulationen sind in den Abb. 2.4-2 u. -3 dargestellt.

Es wird deutlich, daß die allgemeine Stromfunktion des Gatters in interessierenden Arbeitsgebiet relativ einfach beschreibbar zu sein scheint, verglichen mit den Kennlinienfeldern der Einzeltransistoren.

Zum besseren Verständnis wurden die am realen Gatter stets vorhandenen Substratdioden in der Simulation nicht berücksichtigt. Aus dem so gewonnenen statischen Transferkennlinienfeld läßt sich erkennen, daß die Modellierung des Gatters mit einem Gatterkennlinienfeld im Gegensatz zur Modellierung durch Einzeltransistoren prinzipiell auch durch einen einzigen Netzwerkzweig erfolgen kann vorausgesetzt, ein solches Gattermodell ist hinreichend genau, und die bei der Modellierung von Logikgattern mit mehreren Eingängen auftretenden Probleme sind lösbar.

In Abb. 2.4-1 ist die zur Simulation benutzte Testschaltung dargestellt.

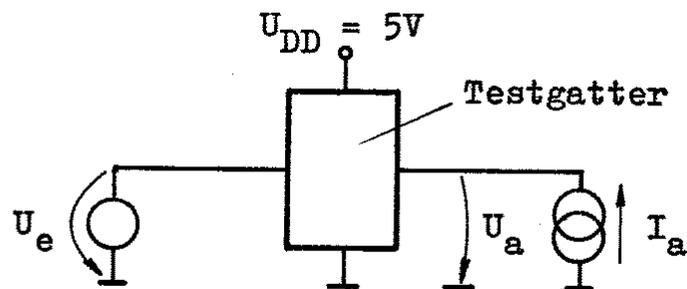


Abb. 2.4-1: Meßschaltung zur Aufnahme des statischen Transferkennlinienfeldes.

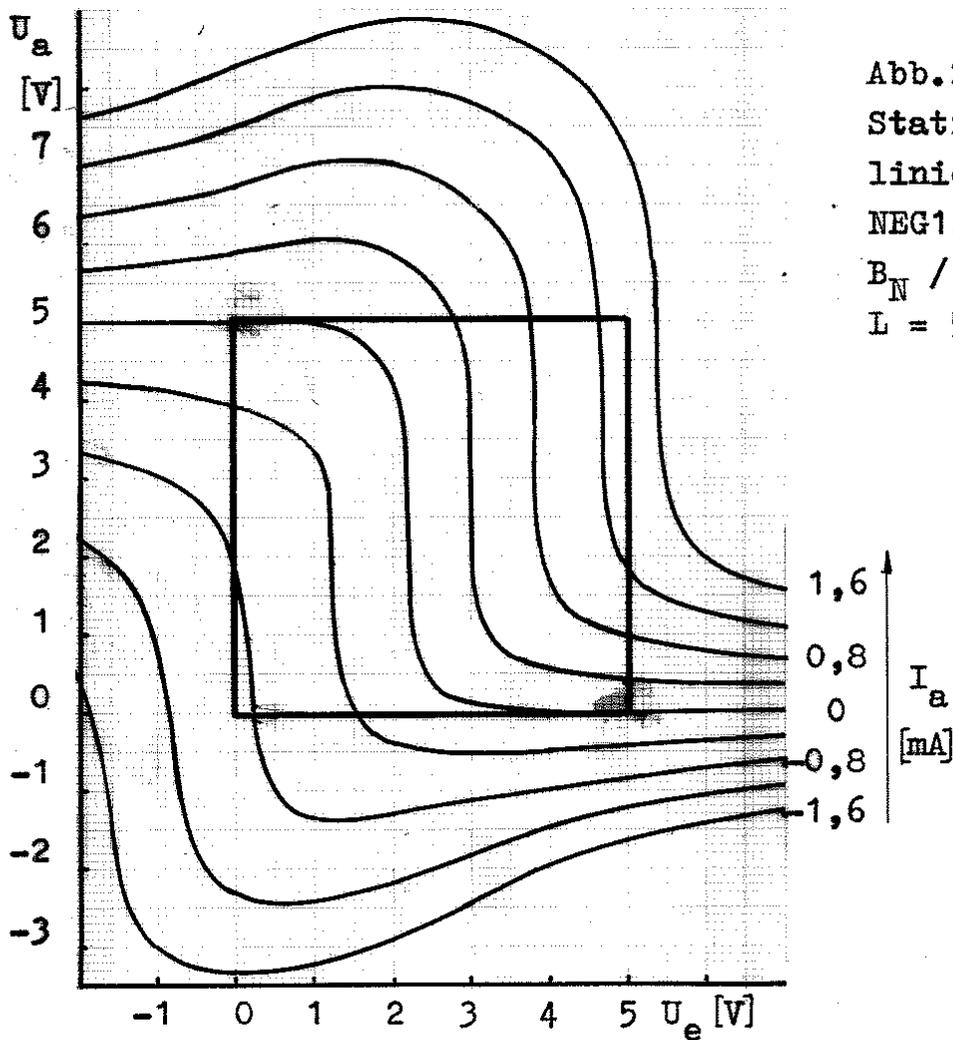


Abb.2.4-2

Statisches Transferkennlinienfeld des Inverter NEG1.

$B_N / B_P = 38/62 \mu\text{m}$,
 $L = 5 \mu\text{m}$.

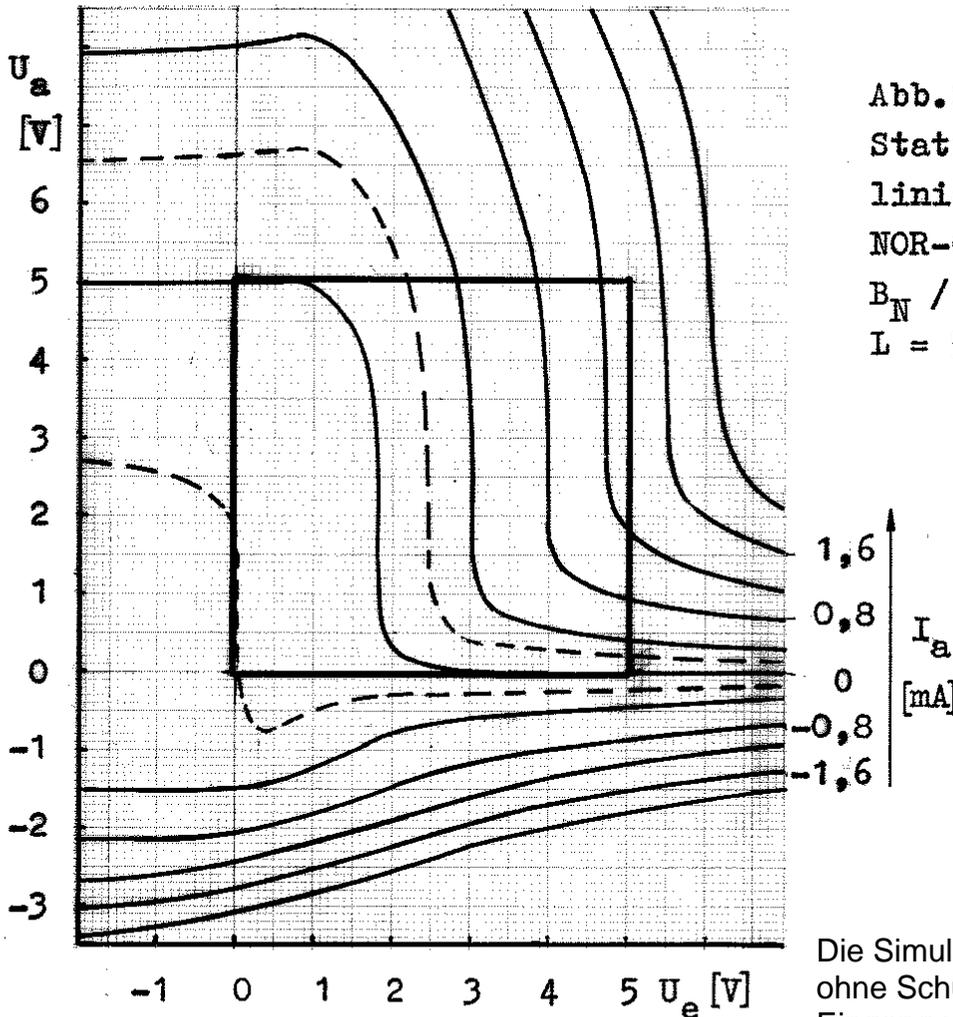


Abb.2.4-3

Statisches Transferkennlinienfeld des 4-fach NOR-Gatters NO4.

$B_N / B_P = 38/62 \mu\text{m}$,
 $L = 5 \mu\text{m}$.

Die Simulation erfolgte ohne Schutzdioden am Eingang und Ausgang!

2.5. Statisches Gattermodell

Das statische Transferkennlinienfeld des MOS-Inverters

$I_a = f(U_e, U_a)$ bzw. $U_a = f(U_e, I_a)$ soll unter Berücksichtigung der Hauptparameter des Gatters (maximale Verstärkung v_0 , Inverteschwellspannung U_{Inv} , Betriebsspannung U_{DD} , Ausgangslevel U_{ao}) approximiert werden.

Zunächst wird die Transferfunktion für ausgangsseitigen Leerlauf des Gatters ($I_a = 0$) bestimmt. Zwischen den Grenzwerten $-\infty < U_e < \infty$ hat die Funktion $U_a(U_e)$ den Spannungsbereich $U_{DD} - 0 = U_{DD}$ zu durchlaufen.

$$\lim_{U_e \rightarrow -\infty} U_a - \lim_{U_e \rightarrow +\infty} U_a = U_{DD} = U_{Hub} \quad (2.5.1)$$

Als Ansatz für die Transferfunktion wird eine Distribution der Sprungfunktion (vgl. auch /D13/ S. 28) mit den Normierungen $x = U_e / U_{DD}$ und $y = U_a / U_{DD}$ gewählt.

$$y = \frac{1}{1 + g^{nx}} \quad \text{heute heißt die Sigmoid-Funktion} \quad (2.5.2)$$

$y = \text{Sigm}(x)$

Die Funktion ist im Bereich $0 \leq y \leq 1$ definiert. Für $x = 0$ folgt $y = 1/2$.

Zunächst interessiert die Ableitung der Funktion für $x = 0$ (Bereich maximaler Verstärkung v_0). Dazu wird mit der Kettenregel differenziert:

$$y(r) = \frac{1}{r} \quad (2.5.3)$$

$$r(s) = 1 + g^s \quad (2.5.4)$$

$$s(x) = nx \quad (2.5.5)$$

$$\frac{dy}{dx} = \frac{dy(r)}{dr} \cdot \frac{dr(s)}{ds} \cdot \frac{ds(x)}{dx} \quad (2.5.6)$$

$$= -\frac{1}{r^2} \cdot g^s (\ln g) \cdot n \quad (2.5.7)$$

$$= -\frac{1}{(1 + g^{nx})^2} \cdot g^{nx} (\ln g) \cdot n \quad (2.5.8)$$

$$\frac{dy}{dx} = -\frac{n \ln g}{2 + g^{-nx} + g^{nx}} \quad (\text{Sigm}'(x)) \quad (2.5.9)$$

Der interessierende Wertebereich liegt zunächst in den Intervallgrenzen von $0 \leq y \leq 1$ und $-0,5 \leq x \leq 0,5$. Mit $x = 0$ folgt eine Beziehung zur Einstellung der maximalen Verstärkung v_0 :

$$v_0 = \frac{d y(0)}{d x} = -\frac{n}{4} \ln g, \quad x = 0 \quad (2.5.10)$$

Für den Sonderfall $g = 2,718\dots = e$ folgt:

$$n = -4 v_0; \quad g = e = 2,718\dots \quad (2.5.11)$$

Da das Produkt $n \cdot \ln g$ konstant sein muß, ist die Form der Gattergleichung frei wählbar. Die zweite Ableitung zeigt, daß die Krümmung unter der Voraussetzung $n \cdot \ln g = \text{const.}$ eine Konstante darstellt:

$$y'(x) = -\frac{n \ln g}{2 + g^{-nx} + g^{nx}} \quad \text{mit} \quad (2.5.12)$$

$$y'(u) = -n \ln g \frac{1}{u} \quad (2.5.13)$$

$$u(v) = 2 + g^{-v} + g^v \quad (2.5.14)$$

$$v(x) = n x. \quad (2.5.15)$$

Die Kettenregel lautet:

$$\frac{d}{d x} y'(x) = y''(x) = \frac{d y(u)}{d u} \cdot \frac{d u(v)}{d v} \cdot \frac{d v(x)}{d x} \quad (2.5.16)$$

$$= -\left(-\frac{1}{u^2} n \ln g\right) \cdot (g^{-v} \ln g + g^v \ln g) \cdot n \quad (2.5.17)$$

$$y''(x) = \frac{n^2 \ln g \cdot \ln g (g^{-nx} + g^{nx})}{4 + g^{-2nx} + g^{2nx} + 4 g^{-nx} + 4 g^{nx} + 2} \quad (2.5.18)$$

Im Punkte $x = 0$ ergibt sich die Krümmung zu

$$y''(0) = \frac{2 n^2 (\ln g)^2}{10} = \frac{1}{5} (n \ln g)^2. \quad (2.5.19)$$

Für $n \cdot \ln g = \text{konst.} = C$ (Forderung aus der ersten Ableitung) fol.

$$y'' = \frac{1}{5} C^2 \quad (2.5.20)$$

d.h. die Krümmung der Funktion ist unbeeinflussbar fixiert mit der Festlegung des Anstiegs $y' = v_0 = \text{konst.}$ Es zeigt sich, daß die reale Kennlinienkrümmung wesentlich stärker als die des Modells ist.

Als Ansatz wird $g = e$ und $n = -4 v_0$ gewählt. v_0 ist im Modell die am Gatter meßbare Leerlaufverstärkung für $U_a = U_{DD}/2$.

$$y = \frac{1}{1 + e^{-4 v_0 x}} \quad (v_0 \text{ ist negativ einzusetzen!}) \quad (2.5.21)$$

Einstellung der Inverterschwelle U_{Inv} :

Das Koordinatensystem (x, y) wird um den Wert U_{Inv}/U_{DD} nach links verschoben (Abb.2.5-1).

$$x^* = x - \frac{U_{Inv}}{U_{DD}} \quad (2.5.22)$$

$$x^* = \frac{U_e}{U_{DD}} - \frac{U_{Inv}}{U_{DD}} \quad (2.5.23)$$

Mit diesem Ansatz kann die Inverterschwelle, die in der Realität zu $U_e = U_a = U_{Inv}$ definiert ist, im Modell nur näherungsweise für $v_0 \gg 1$ eingestellt werden, denn sie ist auf $U_a = U_{DD}/2$ fixiert. Der Ansatz sichert, daß die Grenzwerte der Gatterkennlinie des ausgangsseitig leerlaufenden Gatters eingehalten werden:

$$\lim_{U_e \rightarrow \pm \infty} U_a \quad \Big| \quad I_a = 0 = \begin{cases} 0 \\ U_{DD} \end{cases} \quad (2.5.24)$$

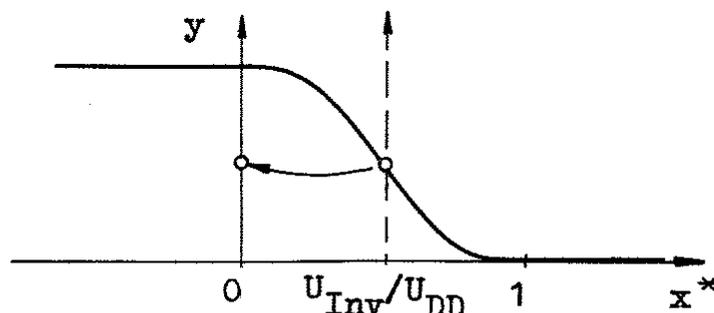


Abb.2.5-1

Einbeziehung des Ausgangsstromes:

Der Ausgangsstrom I_a wird auf den Strom I_o , den maximalen, ausgangsseitigen Kurzschlußstrom des Gatters, normiert.

$$i = \frac{I_a}{I_o} \quad (2.5.25)$$

Aus dem Kennlinienfeld Abb.2.4-2 ist zu erkennen, daß die Kennlinie bei von Null abweichenden Strömen nahezu erhalten bleibt. Eine Koordinatenverschiebung entlang der Achse $y \approx x$ wird mit

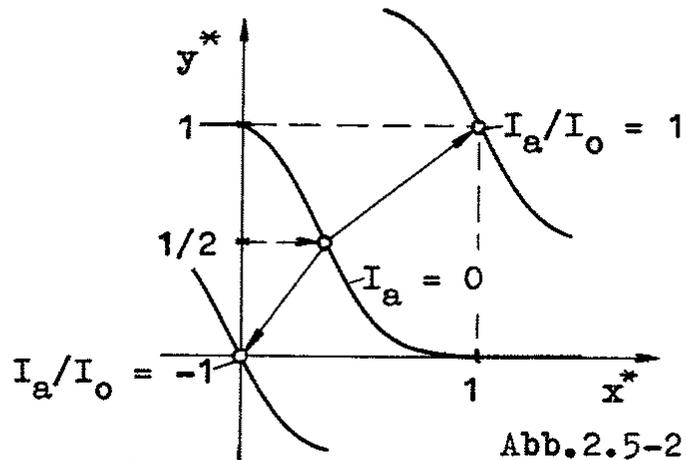


Abb.2.5-2

$$b = \frac{I}{2 I_o} \quad (2.5.26)$$

$$y^* = y - b \quad (2.5.27)$$

$$x^* = x - a \quad (2.5.28)$$

erreicht.

Korrektur der Inverterschwelle:

Für eine stark von $U_{DD}/2$ abweichende Inverterschwelle U_{Inv} ergä die Verschiebung entlang der Geraden $y = x$ für $y = x = 1$ bzw.

$y = x = 0$ nur näherungsweise den physikalisch diesen Punkten zugeordneten Stromwert $I_a/I_o = 1$ bzw. $I_a/I_o = -1$.

Für $I_a/I_o = 1$ soll das Argument der im Nenner von Glg.2.5.21 stehenden Exponentialfunktion durch Einführung einer Korrekturfunktion z verschwinden.

$$\left(\frac{U_e - U_{Inv}}{U_{DD}} - \frac{I_a}{2 I_o} z \right) = 0. \quad (2.5.29)$$

Mit $U_e = U_{DD}$, $I_a/I_o = 1$ folgt:

$$z = 2 \left(1 - \frac{U_{Inv}}{U_{DD}} \right). \quad (2.5.30)$$

Ebenso soll für $I_a/I_o = -1$ das Argument der Exponentialfunktion verschwinden. Mit dem Randwert $U_e = 0$ ergibt sich

$$z = 2 \frac{U_{Inv}}{U_{DD}}. \quad (2.5.31)$$

Die Rücksubstitution der Hilfskonstante z liefert mit den Randwerten $I_a/I_o = -1$ (P-Kanal-Zweig leitend) bzw. $I_a/I_o = 1$ (N-Kanal-Zweig leitend) die Stromkorrekturfunktion a

$$a = \frac{I_a}{2 I_o} z, \quad (2.5.32)$$

$$a = \begin{cases} \frac{I_a}{I_o} \left(1 - \frac{U_{Inv}}{U_{DD}} \right) & \text{für } I \geq 0, \\ \frac{I_a}{I_o} \frac{U_{Inv}}{U_{DD}} & \text{für } I < 0. \end{cases} \quad (2.5.33)$$

$$a = \begin{cases} \frac{I_a}{I_o} \frac{U_{Inv}}{U_{DD}} & \text{für } I \geq 0, \\ \frac{I_a}{I_o} \left(1 - \frac{U_{Inv}}{U_{DD}} \right) & \text{für } I < 0. \end{cases} \quad (2.5.34)$$

Die Gleichung für die Approximation des statischen Transferkennlinienfeldes kann aufgestellt werden: $U_a = f(U_e, I_a)$:

$$U_a = U_{DD} \left(\frac{1}{1 + \exp(-4 v_o \left(\frac{U_e - U_{Inv}}{U_{DD}} - a \right))} + \frac{I_a}{2 I_o} \right). \quad (2.5.35)$$

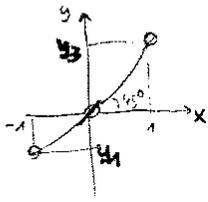
*wird
weitere*

(v_o ist negativ einzusetzen!)

Unterschiedliches Stromaufkommen der Zweige:

Aus dem Kennlinienfeld des Inverters NEG 1 (Abb.2.4-2) ist abzulesen, daß das Bezugsnormal I_o des Stromes eine zu beiden Seiten der Leerlauflinie ($I_a = 0$) etwa äquidistante, aber verschiedene Teilung des Kennlinienfeldes verursacht; HL- und LH-Flanke des Gatters besitzen unterschiedliche Flankengeschwindigkeiten. Es ist deshalb gerechtfertigt, den Strom I_o in Abhängigkeit von Vorzeichen des Stromes I_a zwischen den Werten $|I_{DSN}|$ und $|I_{DSP}|$ umzuschalten (Abb.2.5-3).

Glattemodell der Stromversymmetrie: (erprobt)



- RW:
- 1) $y'(0) = 1$
 - 2) $y(0) = 0$
 - 3) $y(1) = y_3$
 - 4) $y(-1) = y_1$

Ansatz:

$$y = a(x - x_0)^2 + b$$

Lösung:

$$y_1 - y_3 = -2 \quad ! \text{Zwangsbedingung!}$$

$$a = \frac{y_1 + y_3}{2}$$

$$b = \frac{1}{2(y_1 + y_3)}$$

$$x_0 = -\frac{1}{y_1 + y_3}$$

mit $-1 \geq x_0 \geq +1$
! sonst nicht monoton!

andere ausgedrückt:

$$x_0 = -\frac{1}{y_1 + y_3}$$

$$a = -\frac{1}{2x_0}$$

$$b = \frac{x_0}{2}$$

eingesetzt folgt Vereinfachung:

$$y = -\frac{1}{2x_0} (x - x_0)^2 + \frac{x_0}{2}$$

$$y = -\frac{x^2}{x_0} + x = x \left(1 - \frac{x}{x_0} \right)$$

mit

$$x_0 = -\frac{1}{y_1 + y_3} \quad \text{und} \quad y_1 - y_3 = -2 \quad !$$

$$I_0^* = I_0$$

Ergänzung zu Gleichung (2.5.35 und 2.5.36) S. 27/28

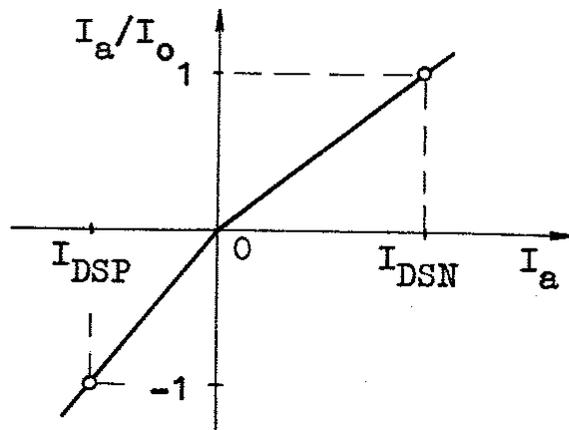


Abb.2.5-3

$$I_o = \begin{cases} |I_{DSN}| & \text{für } I_a \geq 0 \\ |I_{DSP}| & \text{für } I_a < 0 \end{cases} \quad (2.5.36)$$

I_{DSN} und I_{DSP} repräsentieren den Maximalstrom des N- bzw. P-Kanal Zweiges des Gatters. Für den CMOS-Inverter gilt:

$$I_{DSN} = |I_{DS} (U_{GS} = U_{DD}, U_{DS} = U_{DD})| \quad (2.5.37)$$

$$I_{DSP} = |I_{DS} (U_{GS} = -U_{DD}, U_{DS} = -U_{DD})| \quad (2.5.38)$$

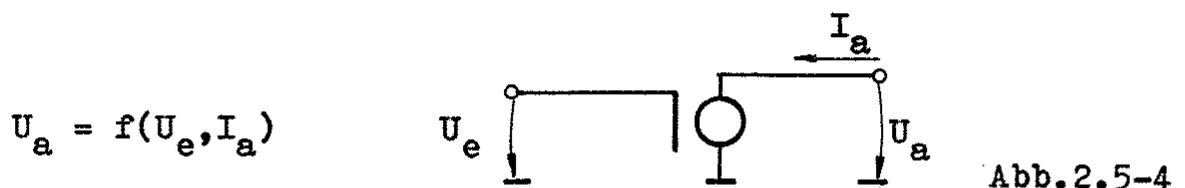
Die Approximation des statischen Transferkennlinienfeldes (2.5.3) ist in Abb.2.5-5 im Vergleich zu einem realen Kennlinienfeld dargestellt. Es ist zu erkennen, daß die Approximation maximal etwa um den Faktor 1,6 ($U_e = 5V$, $I_a = 0,2mA$), typisch jedoch unter 50% vom Realstrom abweicht.

Es wurden außer den in (2.5.35) stehenden Gatter-relevanten Parametern (U_{DD} , U_{Inv} , v_o , I_{DSN} , I_{DSP}) bislang keine weiteren Parameter gefunden, die als allgemeingültige Kriterien zur Charakterisierung des statischen Transferkennlinienfeldes in das Modell einbezogen werden können. Die in Abb.2.5-5 dargestellte Approximation des statischen Transferkennlinienfeldes wurde, um die Modellfehler gering zu halten, mit einer modifizierten Leerlaufverstärkung v_o vorgenommen. Im Gegensatz zur Realität wurde die Approximation mit einem Drittel der Leerlaufverstärkung berechnet, um die Modellgrenzen zu verdeutlichen. Die Kennlinienpunkte der Verstärkung $v = \pm 1$ (im Bild durch 45° -Schrägen angedeutet) können mit dem gegebenen Ansatz nur unzureichend modelliert werden, selbst wenn die Leerlaufverstärkung, wie in der Abbildung dargestellt, um den Faktor 3 reduziert wird. Die Bedeutung der geschlossenen

Darstellung liegt außer in ihrem pädagogischen Wert darin, daß gegenüber der Simulation auf Transistorniveau sowohl Speicherplatz für das Modell, wie auch Rechenzeit eingespart werden kann. Das Modell wäre für Technologien mit eingeschränktem Gattersortiment (CSGT-Standardzellentwurf) u.U. vorteilhaft einsetzbar. Der erhöhte Modellerstellungsaufwand kann durch geringere Simulationszeiten kompensiert werden.

Potentialverschiebungen des Plus- bzw. Masse-Anschlusses des Modells verhindern prinzipiell die Anwendung des Modells nicht. Sie wirken sich als Verschiebungen, Streckungen oder Stauchungen des Koordinatensystems aus.

In Abb.2.5-4 ist das Ersatzschaltbild des Modells angegeben.



Gegenüber klassischen Modellen besitzt das Modell eine Besonderheit. Die Modellgleichung ist explizit nicht nach I_a umstellbar, folglich versinnbildlicht das Modell eine Spannungsquelle U_a , die von der Eingangsspannung U_e , der Betriebsspannung U_{DD} und vom Ausgangsstrom I_a gesteuert wird.

Damit wird die Eigenschaft des Modells klar, die dessen Anwendbarkeit behindern kann. Ausgangsseitig darf das Modell nicht mit einer Spannungsquelle beaufschlagt werden (z.B. anderes Gatter), wenn das Modell in iterationsfreier Form in einem Timing-Simulator angewandt werden soll. Wird es hingegen in einem Iterationsprogramm benutzt, spielt dieser Nachteil keine Rolle, sofern der Iterationsalgorithmus die Nutzung gesteuerter Spannungsquellen gestattet. Zwischen zwei z.B. an einem bidirektionalen Bus liegende Gattern kann ein ohmscher Widerstand geschaltet werden, über den gesichert wird, daß die widersprüchliche Bedingung zweier unterschiedlicher Potentiale an einem Netzwerkknoten verhindert wird. Mit dem hier vorgestellten groben Modell steht der physikalisch orientierten Mathematik ein Werkzeug zur Verfügung, mit dem es in

den nächsten Jahren möglich sein könnte, die Gatterdynamik in analytischer Form herzuleiten. Dem Autor blieb dieser Weg bislang verschlossen. In Kap.5 wird gezeigt, daß dieses statische Modell mit wenigen Modellkonstanten geeignet ist, den gesamten Dynamikbereich des Gatters prinzipiell richtig wiederzugeben.

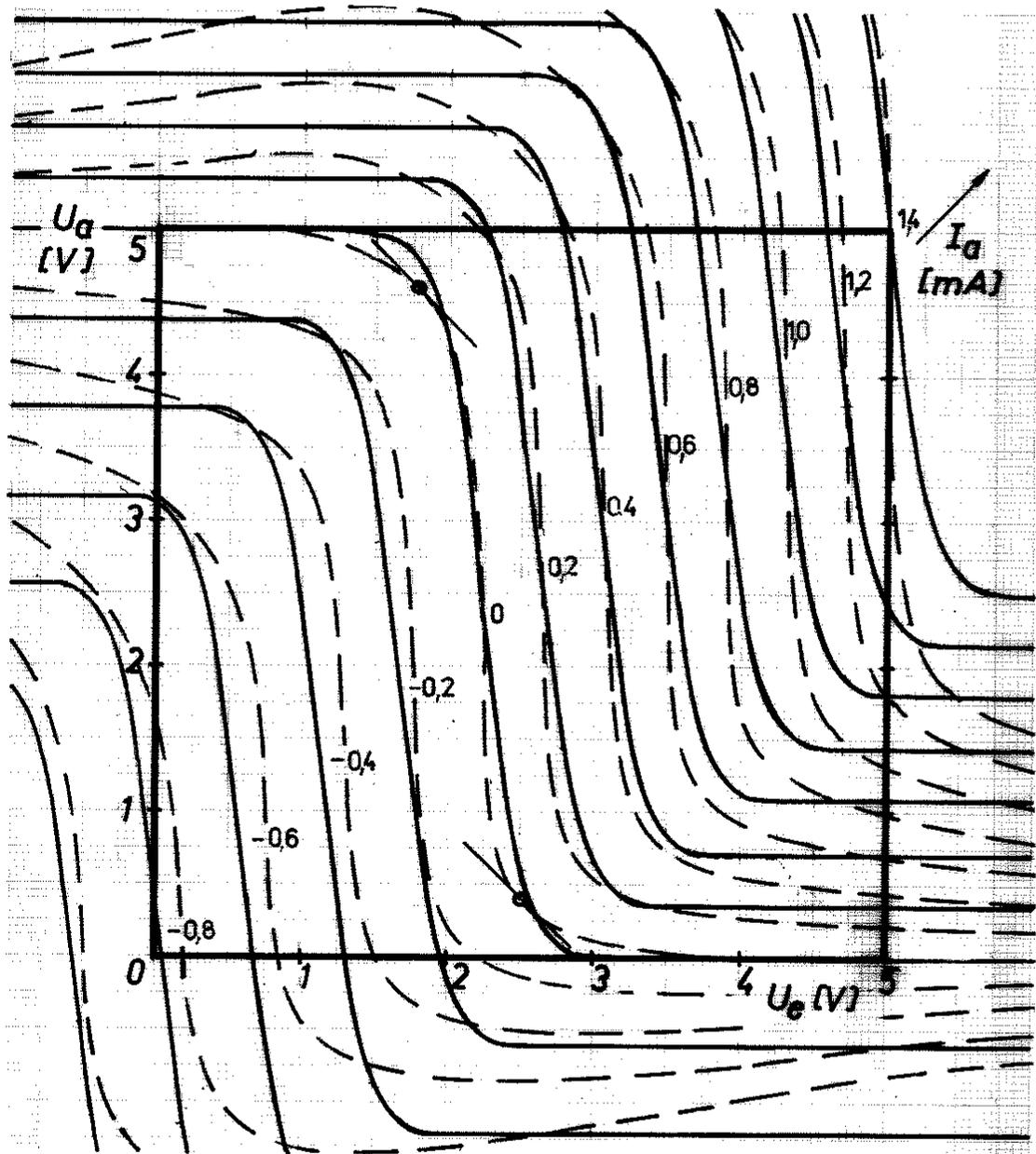


Abb.2.5-5: Modell des statischen Transferkennlinienfeldes des CSGT2-Inverters NEG1. Parameter: $v_o = -9$, $I_{DSN} = 1,4\text{mA}$, $I_{DSP} = -0,83\text{mA}$. — Modell, ---Simulation (ohne Substratdioden).

Die Simulation erfolgte ohne Schutzdioden am Eingang und Ausgang!

3. Zeitfunktionen digitaler Flanken

3.1. Flankenformen

Um die Zielstellungen des folgenden Kapitels zu erreichen, ist es notwendig, zu fragen, welche Systematisierungen zur Beschreibung des Eingangs- und des Ausgangsverhaltens digitaler Gatter nötig sind. Abb. 3.1 - 1 zeigt

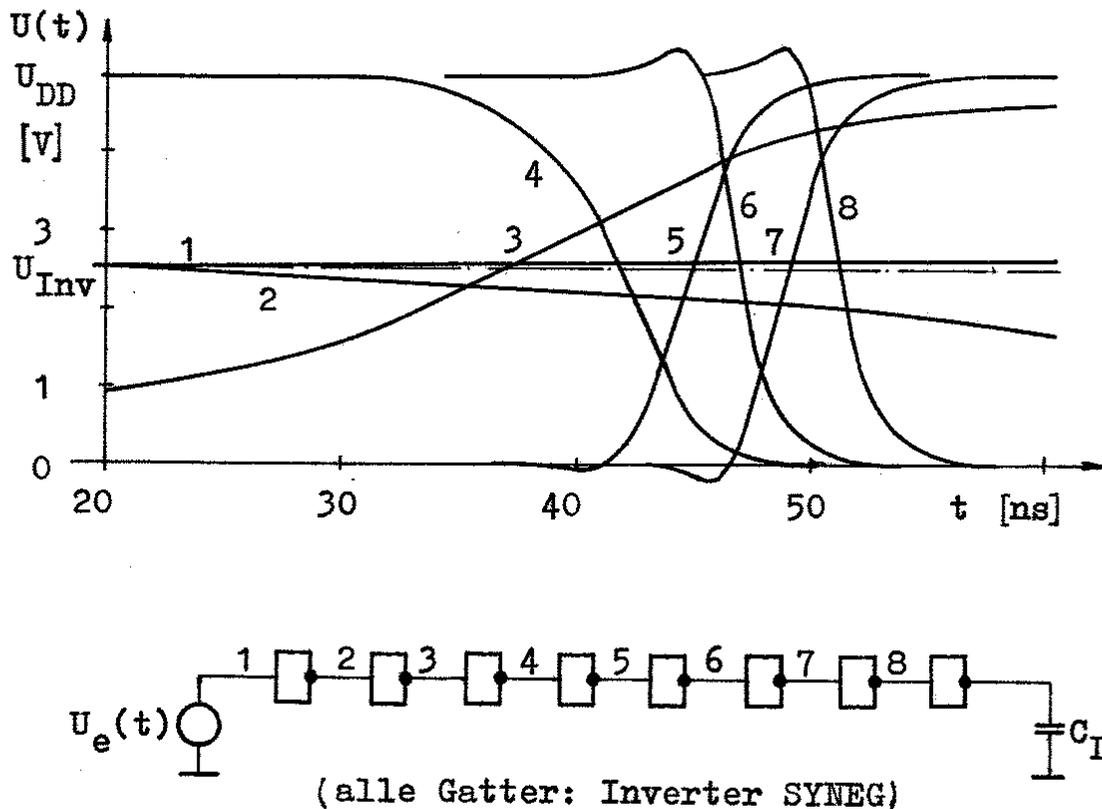


Abb.3.1-1

den Signaldurchlauf durch eine Kette identischer Gatter, (Inverter SYNEG) ausgehend von einer quasistatischen Flanke an Knoten 1. Es ist zu erkennen, daß qualitativ unterschiedliche Flankenformen auftreten. Auch entsteht die Frage, bei welcher Bezugsspannung Zeitmessungen vorgenommen werden. Zur Klärung der Frage ob verallgemeinerbare Flankeneigenschaften existieren, wurden Flanken, die aus unterschiedlichen Simulationen eines Gatters (Inverter SYNEG) stammen, im Anstieg so normiert, daß der Anstieg

$-|dU/dt|$ beim Durchgang durch den Pegel $U_{DD}/2$ identisch ist. Abb. 3.1 - 2 zeigt das Ergebnis. Als Eingangsfunktion zur Simulation wurden sinusförmige Flanken benutzt.

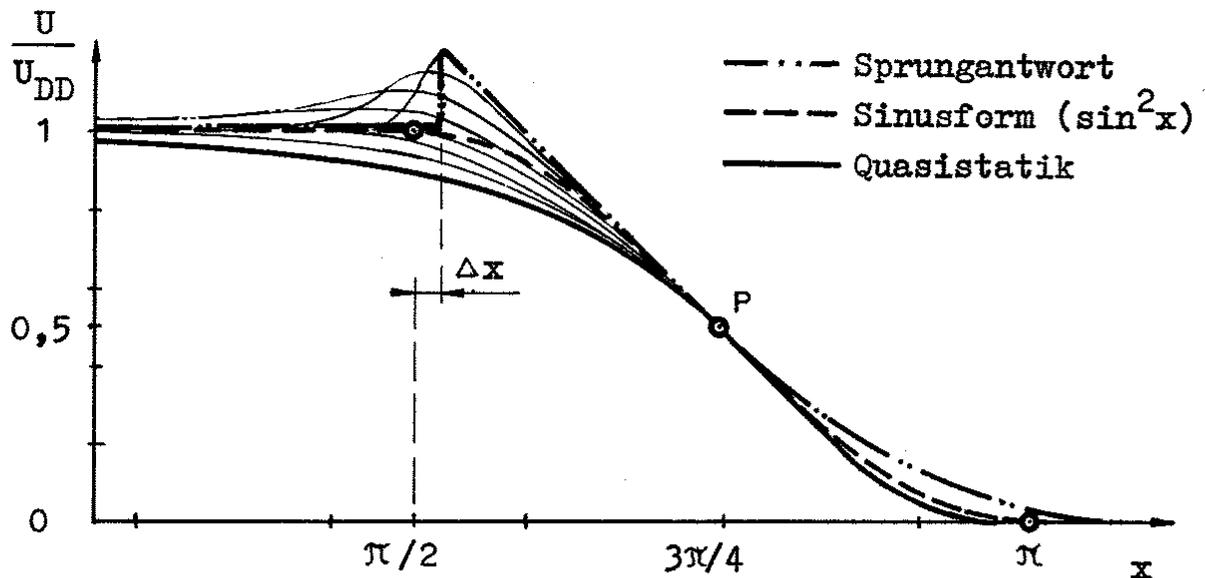


Abb.3.1-2: Auf gleiche Flankensteilheit im Punkte P normierte Ausgangsflanken des symmetrischen Inverters SYNEG. Zum Vergleich wurde eine sinusförmige Flanke mit dargestellt.

Es ist zu erkennen, daß nur wenige verallgemeinerbare Beziehungen zwischen aus unterschiedlichen Betriebsbereichen stammenden Flanken existieren. Die Kurvenkrümmung verläuft qualitativ unterschiedlich. Im Bereich der Quasistatik erscheint der Wendepunkt der Kurvenkrümmung (Maximum der Ableitung $|dU/dt|$) erst in der unteren Hälfte der Kurve, während das Maximum der Ableitung im Bereich der Sprungantwort weiter in der oberen Hälfte liegt, d.h. das Maximum der Flankensteilheit (der Nulldurchgang der zweiten Ableitung d^2U/dt^2) ist prinzipiell als Funktion des Arbeitsbereiches des Gatters angebar. Da jedoch die Eingangsfunktion, die im vorliegenden Fall sinusförmigen Charakter trug, ebenso die Ausprägung der Krümmungsqualität beeinflusst, bräuchte dieser Versuch keinen Nutzen, um in der Analyse der Gatterdynamik einen analytischen Erkenntniszuwachs zu bekommen. Abb. 3.1.- 2 zeigt aber, daß dennoch ein für die Untersuchung der Gatterdynamik nutzbares Kriterium existiert. Eine sinusförmige Eingangsflanke reproduziert im Mittel über alle Ausgangsfunktionen verschiedenster Betriebs-

bereiche des Gatters eine ebenfalls wieder etwa sinusförmige Ausgangsflanke. Diese Erkenntnis gab die Veranlassung, die Vermessungen der Betriebsbereiche des Inverters mit sinusförmigen Eingangsfanken durchzuführen. Die Frage, wie groß der in die Messung a priori eingehende Meßfehler durch Nutzung sinusförmiger Eingangsfanken ist, erscheint dabei nebensächlich, da dem realen Gatter in einem definierten Betriebsbereich stets Flanken angeboten werden können, die einsetzfallspezifisch sind, d.h. die den Charakter des Sprungantworttyps oder den des quasistatischen Typs besitzen können.

3.2. Taylorentwicklung

Es sei angenommen, die Flankenfunktion $U(t - t_0)$ einer digitalen Signalflanke lässt sich als konvergente Potenzreihe der Form

$$y(x) = a_0 + a_1(x-x_0) + a_2(x-x_0)^2 + \dots + a_n(x-x_0)^n + \dots \quad (3.2.1)$$

darstellen.

Wird die Funktion gliedweise differenziert und der Grenzübergang $x \rightarrow x_0$ vollzogen, so ergeben sich für die differenzierten Funktionen die Werte

$$\begin{aligned} y(x_0) &= a_0 \\ y'(x_0) &= 1! a_1 \\ y''(x_0) &= 2! a_2 \\ y'''(x_0) &= 3! a_3 \\ &\vdots \\ y^{(n)}(x_0) &= n! a_n \quad \text{bzw.} \quad a_n = \frac{y^{(n)}(x_0)}{n!} \end{aligned} \quad (3.2.2)$$

Die Potenzreihe kann dann in der nach Taylor bekannten Form (siehe /B15/) dargestellt werden, wobei x_0 die Entwicklungsstelle angibt

$$\begin{aligned} y(x) &= y(x_0) + \frac{y'(x_0)}{1!} (x - x_0) + \frac{y''(x_0)}{2!} (x - x_0)^2 + \\ &\dots + \frac{y^{(n)}(x_0)}{n!} (x - x_0)^n. \end{aligned} \quad (3.2.3)$$

Mit den Nebenbedingungen

$$y(x) = U(t), \quad x = t, \quad x_0 = t_0, \quad y(x_0) = U_0$$

ergibt sich allgemein die Taylorentwicklung einer digitalen Flanke im Punkte (t_0, U_0) des Durchlaufes des Bezugspotentials U_0 und der Bezugszeit t_0 :

$$\begin{aligned} U(t) &= U_0 + (t - t_0) \frac{dU(t_0)}{dt} + (t - t_0)^2 \frac{d^2U(t_0)}{2 dt^2} + \\ &(t - t_0)^3 \frac{d^3U(t_0)}{6 dt^3} + \dots \end{aligned} \quad (3.2.4)$$

Die Flankenfunktion $U(t)$ liegt nicht in analytischer Form vor, da sie derzeit nur aus numerischen Lösungen von Netzwerksimulationen zu gewinnen ist. Moderne Netzwerksimulatoren besitzen die Eigen-

schaft, mit variabler Schrittweitensteuerung $t \neq \text{const.}$ zu arbeiten, deshalb liegt $U(t)$ als Summe einer Folge von diskreten Stützstellen mit nicht äquidistantem Zeitraster vor. Der Mittelwertsatz der Differentialrechnung,

$$\frac{U(t+h) - U(t)}{h} = U'(t + \sigma h), \quad 0 < \sigma < 1, \quad (3.2.5)$$

mit dessen Hilfe die höheren Ableitungen der Flankenfunktion hergeleitet werden sollen, ist umzuformen. Die Flankenfunktion lautet in Stützstellendarstellung:

$$U(t) = \sum_{n=0}^m (t_n, U_n) \quad (3.2.6)$$

Der Mittelwertsatz kann umgeschrieben werden:

$$\frac{U(t_{i+1}) - U(t_i)}{t_{i+1} - t_i} = U'(t_i + \sigma(t_{i+1} - t_i)). \quad (3.2.7)$$

Unter der Annahme $\sigma = 0$ lassen sich Näherungen $U(t_i)$, $U'(t_i)$, $U''(t_i)$... der Koeffizienten der Taylorreihe angeben. Der Mittelwertsatz wurde aus formalen Gründen auf die doppelte Intervalllänge Δt erstreckt. Die Koeffizienten werden an der Entwicklungsstelle $(t_0, U_0) = (t_i, U_i)$ bestimmt.

$$U(t_i) = U_i, \quad (3.2.8)$$

$$U'(t_i) = \frac{U_{i+1} - U_{i-1}}{t_{i+1} - t_{i-1}}, \quad (3.2.9)$$

$$U''(t_i) = \frac{U'_{i+1} - U'_{i-1}}{t_{i+1} - t_{i-1}} \quad (3.2.10)$$

$$= \frac{1}{t_{i+1} - t_{i-1}} \left(\frac{U_{i+2} - U_i}{t_{i+2} - t_i} - \frac{U_i - U_{i-2}}{t_i - t_{i-2}} \right),$$

$$U'''(t_i) = \frac{U''_{i+1} - U''_{i-1}}{t_{i+1} - t_{i-1}} \quad (3.2.11)$$

$$= \frac{1}{t_{i+1} - t_{i-1}} \left(\frac{U'_{i+2} - U'_i}{t_{i+2} - t_i} - \frac{U'_{i-2} - U'_i}{t_{i-2} - t_i} \right), \text{ usw..}$$

Die praktische Ausführung der Differentiationen kann zweckmäßigerweise mit einem Steigungsschema erfolgen.

Es ist zu erkennen, daß für den Fall des Abbruchs der Entwicklung nach der dritten Ableitung sieben Stützstellen $(i-3, \dots, i, \dots, i+3)$ benötigt werden.

Für den Fall äquidistanter Stützstellen $t = h$ ergibt sich für die Koeffizienten die bekannte Form:

$$U'(t_i) = \frac{U_{i+1} - U_{i-1}}{2h}, \quad (3.2.12)$$

$$U''(t_i) = \frac{1}{4h^2} (U_{i+2} - 2U_i + U_{i-2}), \text{ usw.} \quad (3.2.13)$$

In /B15/ S. 806 finden sich zahlreiche Methoden zur numerischen Differentiation, insbesondere sei auf die wenig bekannten Methoden der Vereinigung von Taylorentwicklung und numerischer Differentiation in Form sog. Interpolationspolynome, z.B. der von Newton und Lagrange, hingewiesen /B15/ S. 793, die bei nicht äquidistanten Stützstellen anwendbar sind.

Die Taylorentwicklung der Flankenfunktion $U(t)$ kann z.B. bereits nach dem ersten Glied abgebrochen werden. $U^*(t)$ stellt die Näherung der Funktion $U(t)$ dar.

$$U^*(t) = U_i + (t-t_i) \frac{U_{i+1} - U_{i-1}}{t_{i+1} - t_{i-1}} \quad (3.2.14)$$

bzw.

$$\boxed{U^*(t) = U_0 + (t-t_0) \left. \frac{dU}{dt} \right|_{U_0}} \quad (3.2.15)$$

Digitale Flanken besitzen die Eigenschaft, daß der Funktionswert $U(t)$ nicht größer als der hohe (U_H), und nicht kleiner als der niedrige Signalpegel (U_L) wird. Folglich hat $U^*(t)$ noch die Nebenbedingung

$$\boxed{U_L \leq U^*(t) \leq U_H} \quad (3.2.16)$$

mit $U_H - U_L = U_{\text{Hub}}$ zu erfüllen.

3.3. Integralkonstanz

Ist es mit der Taylorentwicklung nicht erschöpfend möglich, eine digitale Flanke zu charakterisieren, so bietet die Tatsache, daß jede digitale Flanke stets als Integral der Ableitung der Signalspannung nach der Zeit aufgefaßt werden kann, den Ansatz zur Bestimmung des allgemeinen Funktionstyps digitaler Flanken (Abb.3.3

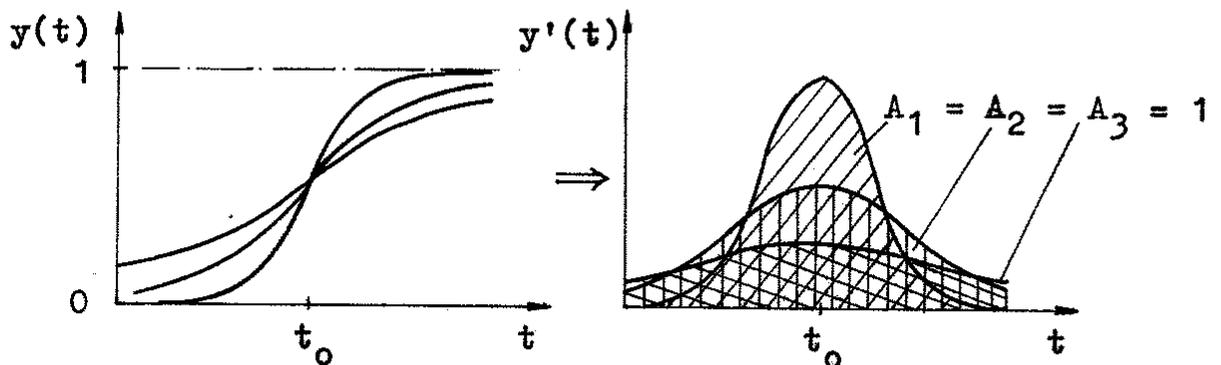


Abb.3.3-1

Mit $y(t) = U(t) / U_{\text{Hub}}$ und dem Grenzwert

$$\left| \lim_{t \rightarrow -\infty} y(t) - \lim_{t \rightarrow +\infty} y(t) \right| = 1 \quad (3.3.1)$$

kann eine digitale Flanke charakterisiert werden durch den Wert des bestimmten Integrals

$$y(t) = \int_{-\infty}^{+\infty} y'(t) dt = y(+\infty) - y(-\infty) = \pm 1. \quad (3.3.2)$$

Die Normierungsspannung U_{Hub} stellt im Allgemeinen den Signalhub des Gatters dar. Speziell für CMOS-Gatter ist U_{Hub} identisch der Betriebsspannung U_{DD} .

Eine Klasse symmetrischer Funktionen, die diese Bedingung erfüllt, ist bekannt, siehe Glg. 2.5.2 :

$$y'(t) = \pm \frac{n}{2 + e^{-nt} + e^{nt}}, \quad t_0 = 0. \quad (3.3.3)$$

Integration liefert die zugehörige Flankenfunktion

$$y(t) = \frac{1}{1 + e^{\mp nt}}. \quad (3.3.4)$$

Das Vorzeichen charakterisiert die Flankenrichtung. Die Funktion besitzt für $t=0$ ihr Maximum der Ableitung $y'(t)$ bei

$$y'(0) = \frac{n}{4} \quad (3.3.5)$$

Wird dieser Ausdruck in die Gleichung für $y(t)$ eingesetzt, ergibt sich eine allgemeine, elektrotechnische Darstellung der symmetrischen Flanke zu

$$y(t) = \frac{1}{1 + \exp(\mp 4 y'(0)t)} \quad (3.3.6)$$

$$U(t) = \frac{U_{DD}}{1 + \exp(\mp 4 \frac{dU}{dt} \frac{t}{U_{DD}})}$$

Mit der Einführung einer normierten Flankensteilheit f

$$f = y'(t) = \frac{1}{U_{Hub}} \frac{dU}{dt} \quad (3.3.7)$$

folgt

$$U(t) = \frac{U_{DD}}{1 + \exp(\mp 4 ft)} \quad (3.3.8)$$

Wird die Flanke mit beliebiger Bezugszeit t_0 gewünscht, so ist t durch $(t-t_0)$ zu substituieren.

Im Intervall $0 \dots 1$ wäre es ebenso möglich, die Funktion

$$y_s(t) = \sin^2 a \cdot t \quad (\text{steigende Flanke}) \quad (3.3.9)$$

bzw.

$$y_f(t) = \cos^2 a \cdot t \quad (\text{fallende Flanke}) \quad (3.3.10)$$

$$\text{mit } a = \frac{\pi}{2} f = \frac{\pi}{2U_{DD}} \cdot \frac{dU}{dt} \quad (3.3.11)$$

zu nutzen. Die Integrationsgrenzen sind von $-\infty \dots +\infty$ auf $0 \dots 1$ zu reduzieren.

Zwischen steigender und fallender Flanke gilt der bekannte Zusammenhang

$$\sin^2 at = 1 - \cos^2 at, \quad (U_{DD} / U_{DD} = 1); \quad (3.3.12)$$

beide Flankenrichtungen ergänzen sich komplementär zu 1.

Symmetrische Funktionen haben noch keine Bedeutung für die Vermessung bzw. Simulation digitaler Flanken erlangt. Aufgrund der

im folgenden begründeten Notwendigkeit der Einführung eines wählbaren Bezugspotentials U_0 bzw. U_{Inv} zur Verzögerungszeitdefinitivität ist es erforderlich, eine Klasse von unsymmetrischen Funktionen zu bestimmen, deren Funktionswert U_0 an der Stelle des Maximums der Ableitung vorgegeben werden kann.

3.4. Sinusförmige Meßflanke

Um eine genaue Analyse von Verzögerungszeit und Flankensteilheit der Ausgangsflanke durchführen zu können, ist es erforderlich, eine Eingangsflanke zu wählen, die gestattet, zu einer vorwählbaren Zeit t_0 mit wählbarer Flankensteilheit f_0 ein vorwählbares Bezugspotential U_0 zu durchheilen. Die Flanke soll sinusförmigen Charakters sein. Der Bereich maximaler Flankensteilheit (Nulldurchgang der zweiten Ableitung d^2U / dt^2) soll genau im Durchgang durch die Inverterschwelle erreicht sein. Es wurde eine spezielle FORTRAN-Prozedur für den Netzwerksimulator NIFAN /N3/ entwickelt, die aus zwei normierten, im Bezugspotential aneinander paßfähiger sinusförmigen Teilfunktionen besteht. In Abb. 3.4-1 ist zur Demonstration das Verhalten der Prozedur für das Durchlaufen von neun unterschiedlichen Bezugspotentialen $U_0 = 0,5 \dots 4,5V$ mit identischer Flankensteilheit dU/dt zum Zeitpunkt $t=t_0$ angegeben.

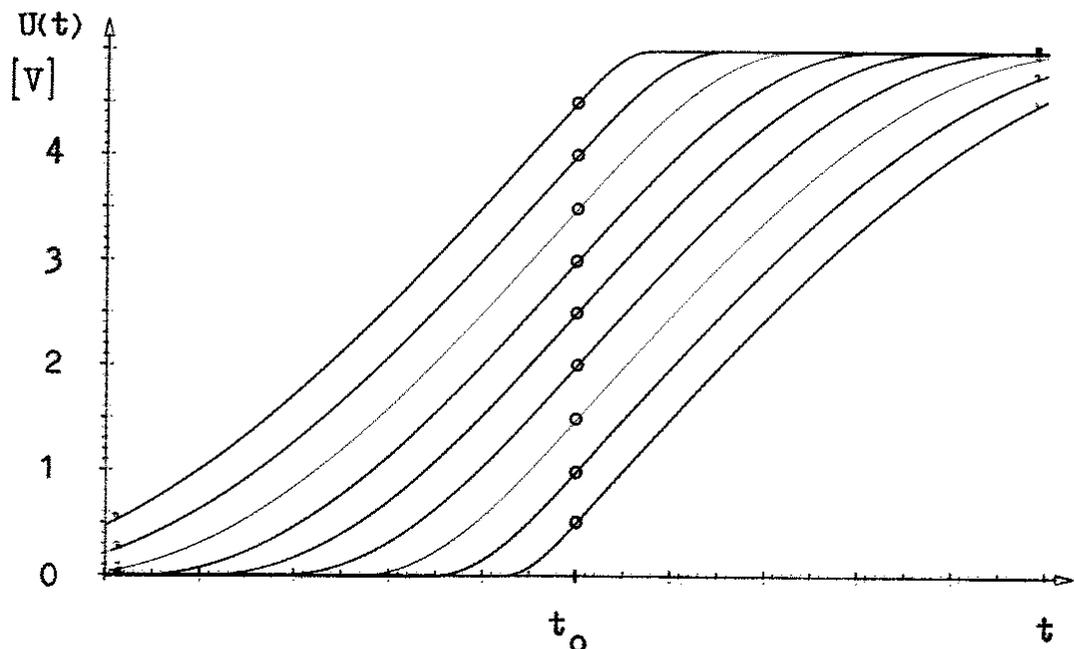


Abb.3.4-1: Sinusförmige Flanken, die mit der Prozedur EDGE generiert wurden. Im Punkt t_0 besitzen alle Flanken identische Flankensteilheit.

Zum Zeitpunkt $t = t_0$ erreicht die Flanke ihre maximale Flankensteilheit f_0 . Die Prozedur EDGE ist z.B. als gesteuerte Spannungsquelle aufrufbar; zB. in der Form:

Uname knoten - erde = EDGE (U_{Hub} , U_o , t_o , f_o)

U_{Hub} : Flankenhub

U_o : Bezugspotential

t_o : Zeitpunkt des Durchlaufes des Bezugspotentials

f_o : normierte Flankensteilheit

$$f_o = \frac{1}{U_{Hub}} \cdot \frac{dU}{dt} \quad (3.4.1)$$

Die Prozedur ist in Anlage 3 der Arbeit aufgeführt. Sie bildet die Voraussetzung dafür, die Gatterdynamik im Bereich der Quasistatik untersuchen zu können.

3.5. Potentiale und Spannungen

Im folgenden wird zwischen den Potentialen U_o , U_H , U_L und U_{DD} sowie der Spannung $U_{Hub} = U_H - U_L$ unterschieden. Die Unterscheidung ist nötig, um durch statische Ruhestrome verursachte Restspannungen in Betracht ziehen zu können.

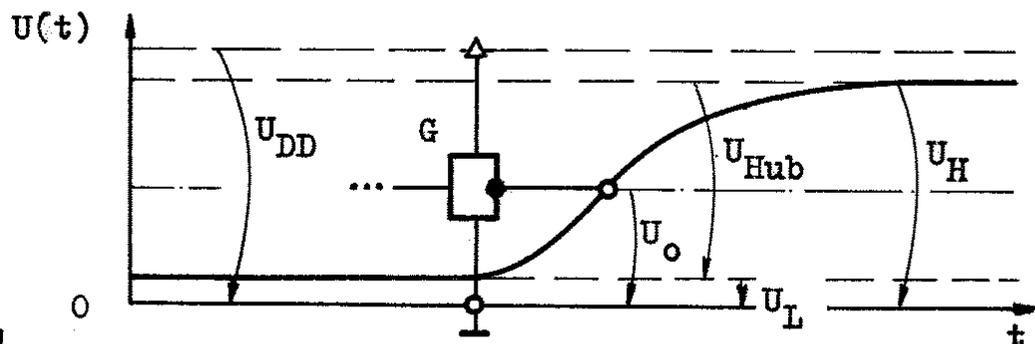


Abb.3.5-1

Abb. 3.5-1 zeigt symbolisch eine vom Gatter G getriebene Ausgangsflanke $U(t)$, die Signalpotentiale und -spannungen sind eingezeichnet.

4. Axiome der Gatterdynamik

Zur Charakterisierung von Flanken werden die in Abschnitt 1 geforderten, allgemeinen Schnittstellenparameter präzisiert. Aus den Schnittstellenparametern:

1. Logische Funktion
2. Signalpegel
3. Bezugspotentiale der Anschlüsse
4. Verzögerungsvektoren zwischen den Anschlüssen
5. Flankensteilheit an den Ausgängen unter Nennlast
6. Lastäquivalent der Eingänge

lassen sich allgemeingültige Axiome zur dynamischen Beschreibung digitaler MOS-Schaltungen gewinnen. Das vorgestellte Axiomensystem ist insofern vonnöten, als nur bei Beachtung der allgemeingültigen Regeln die im folgenden vorgestellte Methodik des dynamischen Transferkennlinienfeldes von Gattern angewandt werden kann. Das Axiomensystem stellt den Versuch einer Verallgemeinerung der den Entwickler digitaler Schaltungen intuitiv zur Kenntnis gelangende Methodiken dar, die ihn befähigen, funktionsfähige Schaltkreise zu entwerfen.

4.1. Identität des Signalhubes

Jede Flanke in digitalen Systemen ist gekennzeichnet durch die Grenzwerte (siehe auch Glg. 3.3.1)

$$\left| \lim_{t \rightarrow -\infty} U(t) - \lim_{t \rightarrow +\infty} U(t) \right| = U_{\text{Hub}} \quad (4.1.1)$$

Der Ausdruck U_{Hub} stellt den Signalhub der Flanke dar. Zwei zu verbindende Gatter sind dann miteinander koppelbar, wenn das signalsendende Gatter identisch den Signalhub liefert, für den das signalempfangende Gatter elektrisch dimensioniert ist. (Man erinnere sich der Problemstellungen, die durch unterschiedliche Signalhübe von Baugruppen in der NMOS-Technologie dann entstehen, wenn Transferelemente sowie EE- und ED-Treiber benutzt werden.)

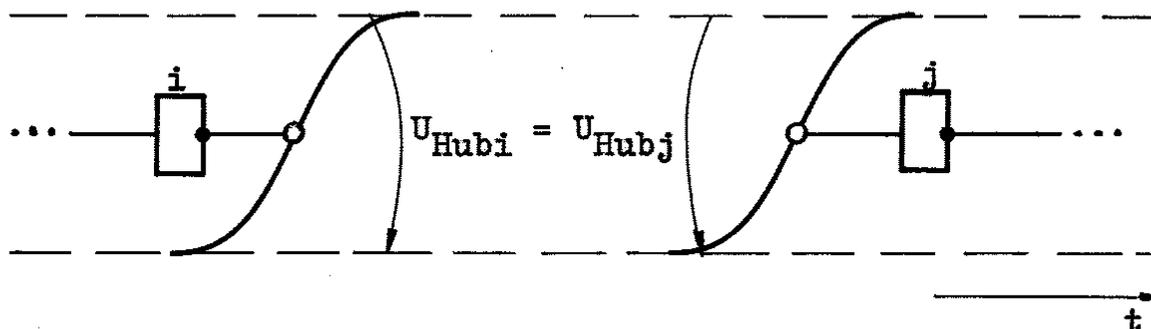


Abb.4.1-1

Der Signalhub U_{Hubi} von Gatter i muß dem Signalhub U_{Hubj} von Gatter j identisch sein.

Anschlüsse von Baugruppen unterschiedlichen Signalhubes dürfen nicht miteinander verbunden werden. Elektrische Fehler wären unausweichliche Folge.

4.2. Bezugspotential

Zur Charakterisierung einer Baugruppe oder eines Gatters sind die Signaldurchlaufzeiten des Signals

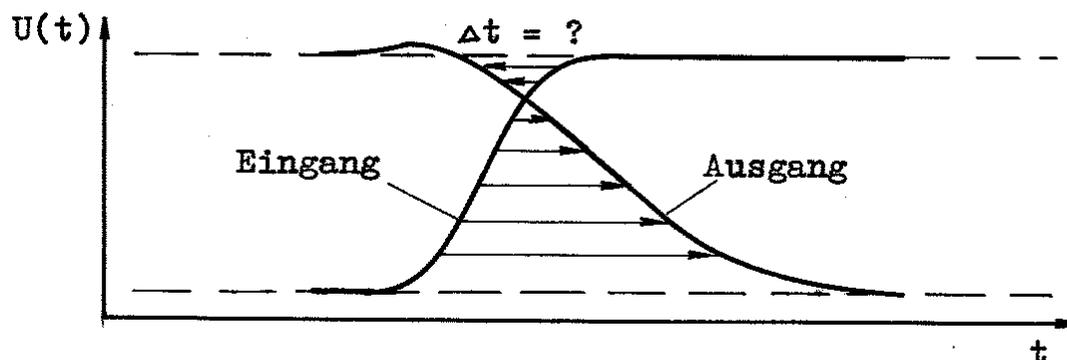


Abb.4.2-1

durch die Baugruppe zu bestimmen. Abb. 4.2-1 zeigt verschiedene Möglichkeiten, die Verzögerungszeit einer Baugruppe zu bestimmen (Man beachte, daß es möglich ist, an verzögernden Baugruppen negative Verzögerungszeiten zu messen!) Die Angabe einer Verzögerungszeit ist stets nur dann sinnvoll, wenn Bezugspotentiale U_{oi} , U_{oj} zur Messung definiert werden (Abb. 4.2-2).

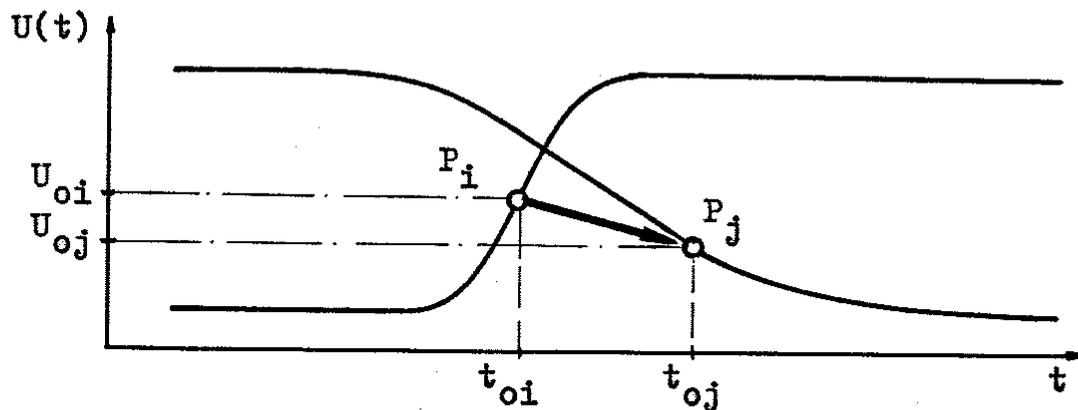


Abb.4.2-2

Die Flanke kann im Punkt P des Signaldurchganges durch das Bezugspotential mit ihrer Flankensteilheit charakterisiert werden. Theoretisch möglich wäre es, eine Taylorentwicklung der Flanke bis zum n-ten Glied durchzuführen und die Taylorkoeffizienten dem Punkt P zuzuordnen. Praktisch kann, um die Anzahl der Parameter im dynamischen Transferkennlinienfeld klein zu halten, die Taylorentwicklung nach dem zweiten Glied abgebrochen werden.

Auf Gatterebene erweist es sich als praktikabel, wenn die Bezugspotentiale für Eingang und Ausgang des Gatters identisch sind. Im Falle einer größeren, aus mehreren unterschiedlichen Gattern bestehenden Baugruppe sind verschiedene Bezugspotentiale für verschiedene Anschlüsse der Baugruppe möglich, da die unterschiedlichen Gatter verschiedene Bezugspotentiale besitzen.

Auf dem Niveau elementarer Logikgatter, wie NAND, NOR und Inverter lassen sich vorteilhaft zwei Bezugspotentiale nutzen: das der Quasistatik und das der Sprungantwort. Quasistatik und Sprungantwort zeigen definierte Grenzwerte bestimmter Gattereigenschaften an.

4.3. Flankensteilheit und Flankendauer

Die Entwicklung einer digitalen Flanke in eine nach dem ersten Glied abgebrochene Taylorreihe zeigte, (vgl. Abschnitt 3.2.), daß die Flanke durch Bezugspotential U_0 , Bezugszeit t_0 und Flankensteilheit dU/dt näherungsweise charakterisiert werden kann (Abb. 4.3-1).

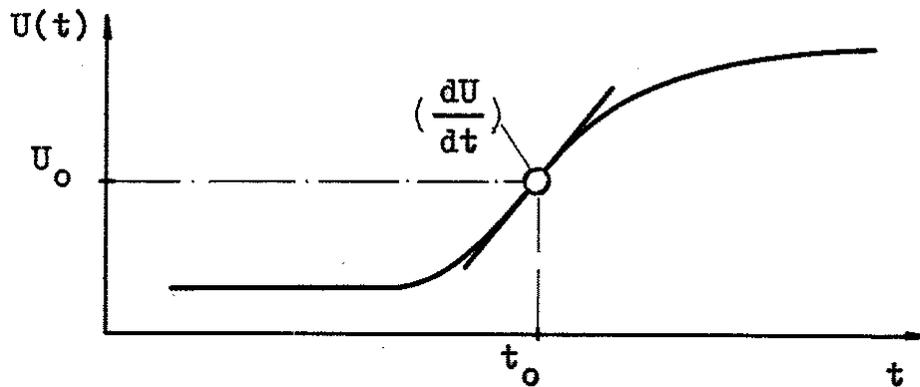


Abb.4.3-1

In Abschnitt 3.3 wurde gezeigt, daß jede digitale Flanke durch ihren Signalhub U_{Hub} charakterisiert wird, die approximierte Flankenfunktion

$$U^*(t) = U_0 + (t - t_0) \frac{dU}{dt} \quad (4.3.1)$$

gilt nur innerhalb des Wertebereiches $U_L \leq U^*(t) \leq U_H$.

Aus der Darstellung 4.3-2 ist zu erkennen, daß die Approximation der digitalen Flanke $U^*(t)$ dadurch gekennzeichnet ist, daß zwischen Signalhub U_{Hub} , Flankendauer T und Flankensteilheit dU/dt die Proportion

$$\frac{U_{\text{Hub}}}{T} = \frac{dU}{dt} \Big|_{U_0} \quad (4.3.2)$$

besteht.

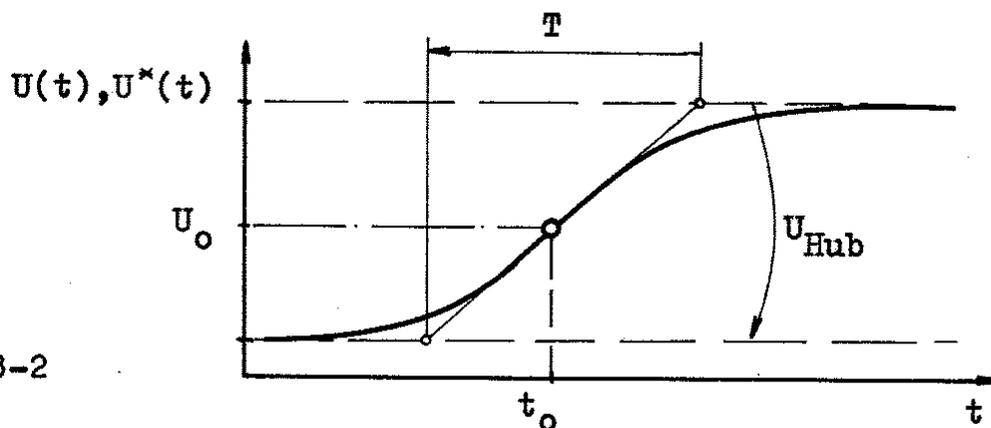


Abb.4.3-2

Die Auflösung von Glg. 4.3.2. nach $1/T$ führt auf die bereits erwähnte, normierte Flankensteilheit.

$$f = \frac{1}{T} = \frac{1}{U_{\text{Hub}}} \cdot \frac{dU}{dt} \Big|_{U_0} \quad (4.3.3)$$

Die Inverse $1/f$ der normierten Flankensteilheit gibt die zeitliche Dauer der approximierten Flanke (Flankendauer) an:

$$\boxed{T = \frac{1}{f}} = U_{\text{Hub}} \frac{dt}{dU} \Big|_{U_0} \quad (4.3.4)$$

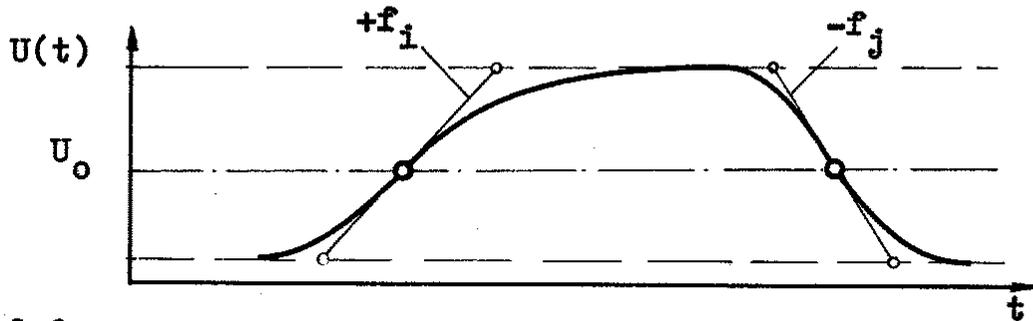


Abb.4.3-3

Die normierte Flankensteilheit stellt ein Beschreibungsmittel dar, mit dessen Hilfe sowohl Spannungsanstiegsgeschwindigkeit dU/dt , als auch Flankendauer $1/f$ charakterisiert werden können. Das Vorzeichen der normierten Flankensteilheit f gibt die Flankenrichtung (pos.: LH, neg.: HL) an. Die Maßeinheit der normierten Flankensteilheit ist $[1/s] = [\text{Hz}]$. Das Symbol f ist nicht mit dem Symbol der Frequenz $f = \omega/2\pi$ oder mit dem mathematischen Symbol der allgemeinen Funktion $f(x)$ zu verwechseln. Eine sinusförmige Realflanke $U(t)$ der Flankensteilheit f im Punkte $U_0 = U_{\text{Hub}}/2$ besitzt z.B. die zeitliche Dauer $\pi/(2f)$,

$$U(t) = U_{\text{Hub}} \sin^2 (t-t_0) \cdot f \quad (4.3.5)$$

$$= \frac{U_{\text{Hub}}}{2} (1 + \sin 2(t-t_0)f). \quad (4.3.6)$$

Sie gilt im Intervall $-\frac{\pi}{2} \leq 2(t-t_0)f \leq \frac{\pi}{2}$. (4.3.7)

Wird die Approximation der Flankenfunktion $U^*(t)$ (Glg. 4.3.1) auf die normierte Flankensteilheit f bezogen, gilt

$$\boxed{U^*(t) = U_0 + f U_{\text{Hub}}(t-t_0)} \quad (4.3.8)$$

mit $U_L \leq U^*(t) \leq U_H$. (4.3.9)

Die statische CMOS-Schaltungstechnik besitzt die Eigenschaft, daß der Signalhub U_{Hub} identisch der Betriebsspannung U_{DD} ist: $U_L = 0$, $U_H = U_{\text{Hub}} = U_{\text{DD}}$. Zur Approximation einer digitalen Flanke sind folglich die Werte t_0 , U_0 , f und U_{DD} erforderlich.

4.4. Spannungsverstärkung

Eine Konsequenz der Definition von Flanken durch eine Taylorentwicklung soll verdeutlicht werden. Jedes Gatter besitzt mindestens einen Eingang und einen Ausgang. Eingangs- und Ausgangsflanke werden durch eine Taylorentwicklung an der Stelle des Durchlaufes des Bezugspotentials U_0 definiert. Zwischen dem Durchlauf der Eingangsflanke $U_e(t)$ und dem Durchlauf der Ausgangsflanke $U_a(t)$ durch U_0 vergeht die Verzögerungszeit $t_a - t_e = \tau$ (Abb. 4.4-1).

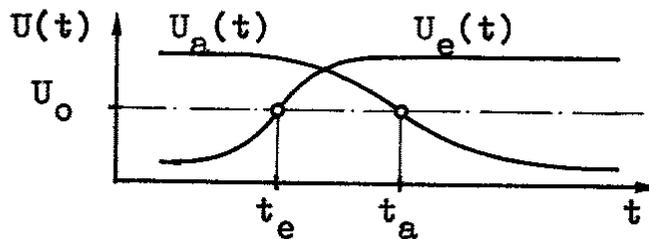


Abb.4.4-1

Wird nach der Spannungsverstärkung $v = dU_a/dU_e$ im Punkte U_0 gefragt, so kann diese aus dem Verhältnis

$$v = \frac{dU_a/dt}{dU_e/dt} = \frac{dU_a}{dU_e} \left(= \frac{f_a}{f_e} \right) \quad (4.4.1)$$

bestimmt werden. Da mit der Taylorentwicklung die Differentiale dU_a und dU_e an der Stelle des Bezugspotentialdurchgangs U_0 zu bestimmen sind, folgt, daß dU_a und dU_e zu unterschiedlichen Zeitpunkten bestimmt werden. Für den allgemeinen Fall ungleicher Bezugspotentiale gilt folglich:

$$\frac{dU_a(t_{oa}, U_{oa})}{dU_e(t_{oe}, U_{oe})} = v \quad (4.4.2)$$

Dieses Phänomen stellt keine durch die Digitaltechnik entstehende Neuheit dar. Man denke z.B. an den aus der Analogtechnik bekannte Verstärkungsbetrag im Bodediagramm. Dort tritt uns dieser Effekt ebenso entgegen, nur ist er durch die selten benötigten Zeitfunktionen von $U_e(t)$ und $U_a(t)$ nicht ganz offensichtlich.

Um mit wenigen Parametern zur Angabe einer Spannungsverstärkung auszukommen, wird vereinbart, daß unter der Verstärkung v_0 an der Stelle U_0 die zu verstehen ist, für die das Bezugspotential ein- und ausgangsseitig identisch ist: $U_0 = U_{oe} = U_{oa}$.

4.5. Verzögerungsvektor

Unter Zuhilfenahme des Begriffs des Bezugspotentials U_0 ist es möglich, Verzögerungszeiten von Gattern anzugeben. Als Verzögerungszeit $\Delta t = \tau$ wird die skalare Abbildung des Verzögerungsvektors \vec{V} , der zwischen den Meßpunkten P_i, P_j aufgespannt werden kann, auf die Zeitachse t verstanden (Abb. 4.5-1).

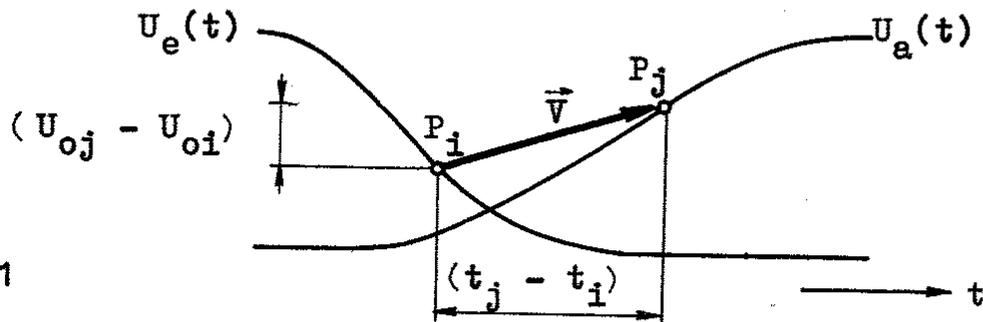


Abb.4.5-1

Vorteilhaft lassen sich Verzögerungszeiten dann angeben, wenn die Bezugspotentiale beider Meßpunkte identisch sind. Der Verzögerungsvektor (oder Verzögerungszeitvektor) ist eine gerichtete Größe. Seine positive Zählrichtung wird in Richtung der Zeitachse eingeführt. Es gilt:

$$\vec{V} = \overrightarrow{P_i P_j} \quad | \quad t_{oj} > t_{oi} \quad (4.5.1)$$

Die skalare Abbildung des Vektors auf die Zeitachse, die Verzögerungszeit τ , ergibt sich positiv für

$$\tau = t_{oj} - t_{oi} \quad | \quad t_{oj} > t_{oi} \quad (4.5.2)$$

Die skalare Abbildung des Verzögerungsvektors auf die Spannungsachse $U(t)$ ergibt die Änderung μ des Bezugspotentials,

$$\mu = U_{oj} - U_{oi} \quad | \quad t_{oj} > t_{oi} \quad (4.5.3)$$

Die Bezugspotentialdifferenz $\mu = \Delta U_0$ wurde bewusst nicht mit u eingeführt, um Verwechslungen mit Kleinsignalgrößen $u = dU$ der klassischen Wechselstromtechnik zu vermeiden.

Eine allgemeine Darstellung des von $P_0(t_0, U_0)$ auf die laufenden Koordinaten $P(t, U)$ gerichteten Vektors \vec{V} lautet:

$$\vec{V} = \overrightarrow{P_0 P} = (t-t_0) \cdot \vec{i} + (U-U_0) \cdot \vec{j}$$

wenn \vec{i} und \vec{j} die Einheitsvektoren von Zeit- und Spannungsachse darstellen.

Die so gewählte Verzögerungszeitdefinition schließt nicht aus, Verzögerungszeiten auch an einem Knoten entlang von Flanken zu bestimmen.

In Abb. 4.5-2 ist die Verzögerungszeit an einer Flanke dargestellt. Werden Gatter unterschiedlichen Bezugspotentials verbunden, so stellt die Flanke selbst eine Quelle von Verzögerungszeit dar.

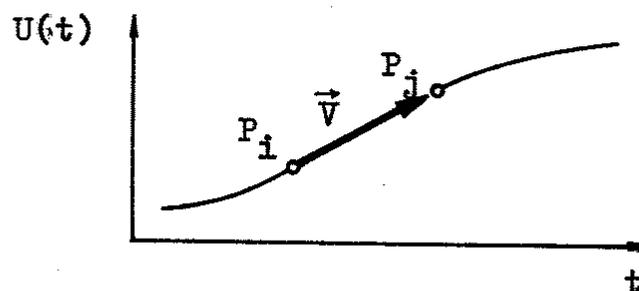


Abb.4.5-2

Abhängig von der Flankenrichtung entstehen positive oder auch negative Verzögerungszeiten. In Abb. 4.5-3 ist die Entstehung einer negativen Flankenverzögerungszeit symbolisch verdeutlicht.

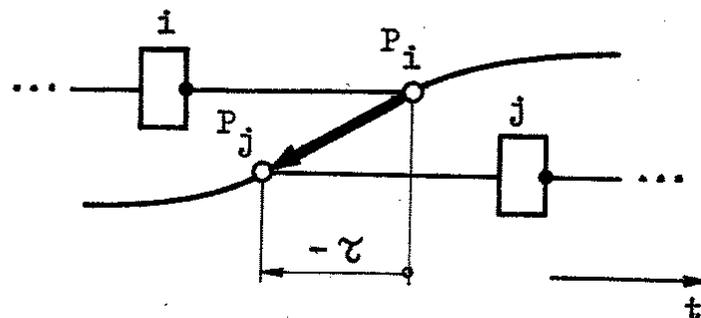


Abb.4.5-3

Die Flankenverzögerungszeit ist im Vorzeichen stets abhängig von der Flankenrichtung. Besitzen alle Gatter eines Schaltkreises gleiches Bezugspotential, so sind die Verzögerungszeiten an Flanken identisch Null, d.h. der zur Verzögerungszeitbestimmung von ganzen Gatterketten nötige Berechnungsaufwand kann reduziert werden.

4.6. Nähe der Bezugspotentiale

Die Betrachtung einer durch zwei Punkte P_1 und P_2 führenden digitalen Flanke zeigt, daß die Tangente der Flanke im Punkt P_1 verschieden von der im Punkt P_2 ist (Abb. 4.6-1).

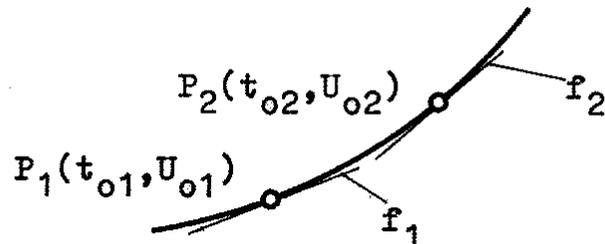


Abb.4.6-1

Gatteranschluß 1 möge das Bezugspotential U_{01} besitzen, ein am selben Knoten liegender Anschluß eines anderen Gatters 2 besitze das Bezugspotential U_{02} . Wird die reale Flanke durch die Approximationen f_1 und f_2 charakterisiert, so wird deutlich, daß eine reale Flanke beim Durcheilen verschiedener Bezugspotentiale unterschiedliche Flankensteilheiten f_1 und f_2 besitzt. Die Approximationen f_1 und f_2 weichen umsomehr voneinander ab, je weiter die Bezugspotentiale voneinander entfernt sind. Die Ausgangsflankensteilheit f_1 des Gatters 1 kann nur dann als Eingangsflankensteilheit f_2 des Gatters 2 genutzt werden, wenn die Bezugspotentiale beider Gatter hinreichend nahe beieinanderliegen.

$$\boxed{U_{01} = U_{02} \rightarrow f_1 = f_2} \quad (4.6.1)$$

Anders ausgedrückt, es kann nur dann die Flankensteilheit f_1 eines sendenden Anschlusses 1 an einen empfangenden Anschluß 2 fehlerfrei übergeben werden, wenn beide Anschlüsse gleiches Bezugspotential besitzen.

Liegen Bezugspotentiale von Flanken sehr weit auseinander, wäre es z.B. nötig, die Taylorreihe der Flanke bis zu höheren Ableitungen zu entwickeln. Der damit verbundene wesentlich höhere Analyse- und Protokollaufwand rechtfertigt in digitalen CMOS-Schaltungen nicht die erreichbare Erhöhung der Genauigkeit der Flankendarstellung.

4.7. Autonome Flanken

Digitale Flanken sind im Gegensatz zu Flanken linearer Systeme nicht superpositionierbar, eine Flanke kann nicht aus der Addition mehrerer anderer Flanken gewonnen werden, wenn die Flanken Ausgangsflanken nichtlinearer Gatter darstellen.

Es gilt:

$$U_a(t) = f(U_e(t)) \neq U_{a1}(t) + U_{a2}(t) + \dots \quad (4.7.1)$$

mit

$$U_{a1}(t) = f(U_{e1}(t), U_{a1}(t)) \quad (4.7.2)$$

$$U_{a2}(t) = f(U_{e2}(t), U_{a2}(t)) \quad (4.7.3)$$

für

$$U_e(t) = U_{e1}(t) + U_{e2}(t) \dots \quad (4.7.4)$$

Folglich ist es prinzipiell nicht möglich, im Übergangszustand ($U_L < U(t) < U_H$) befindliche Flanken zu addieren. Es besteht auch keine Veranlassung, verschiedene, zu gleicher Zeit auf einen Knoten wirkende Flanken addieren zu müssen.

Gegenstand der Untersuchung sind Flanken in digitalen Systemen. Instabile Übergangszustände zwischen Flanken (Hazards) besitzen nur den Informationswert der Anzeige eines Entwurfsfehlers (Abb. 4.7-1, Fall b).

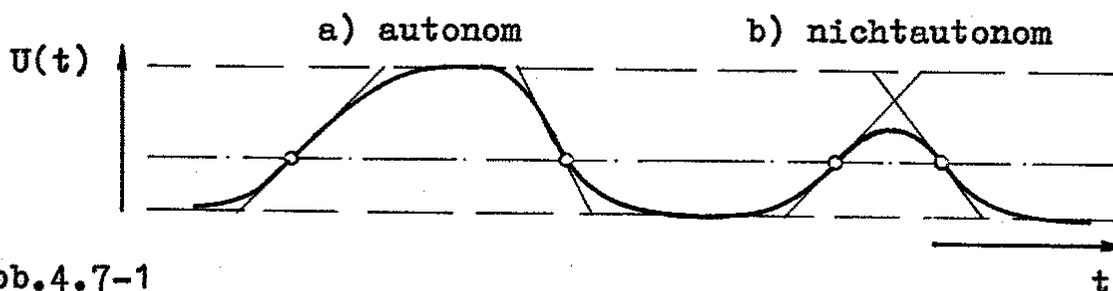


Abb.4.7-1

Es kommt folglich nicht darauf an, die Qualität einer unvollständigen, fehlerhaften Flanke zu analysieren, sondern festzustellen, daß eine unerlaubte Flankenform auftritt. Die Existenz eines Hazards kann nachgewiesen werden, indem jede den Netzwerknoten passierende Flanke auf Überlappung zur vorhergehenden und zur folgenden Flanke geprüft wird. Wird angenommen, daß die Flanke ober und unterhalb des Bezugspotentials U_0 durch sinusförmige Kurvenstücke approximiert werden kann, die im Punkte $P_0(t_0, U_0)$ identisch die normierte Flankensteilheit f besitzen, so ergeben sich,

abhängig vom Vorzeichen der normierten Flankensteilheit, die Anfangs- und Endzeiten t_{anf} und t_{end} des Flankenbeginns bzw. -ende (Abb. 4.7-2)

$$f \text{ positiv: } \begin{cases} t_{anf+} = t_0 - \frac{\pi}{2f} \cdot \frac{U_0}{U_{Hub}} & (4.7.5) \\ t_{end+} = t_0 + \frac{\pi}{2f} \left(1 - \frac{U_0}{U_{Hub}}\right) & (4.7.6) \end{cases}$$

$$f \text{ negativ: } \begin{cases} t_{anf-} = t_0 - \frac{\pi}{2f} \left(1 - \frac{U_0}{U_{Hub}}\right) & (4.7.7) \\ t_{end-} = t_0 + \frac{\pi}{2f} \cdot \frac{U_0}{U_{Hub}} & (4.7.8) \end{cases}$$

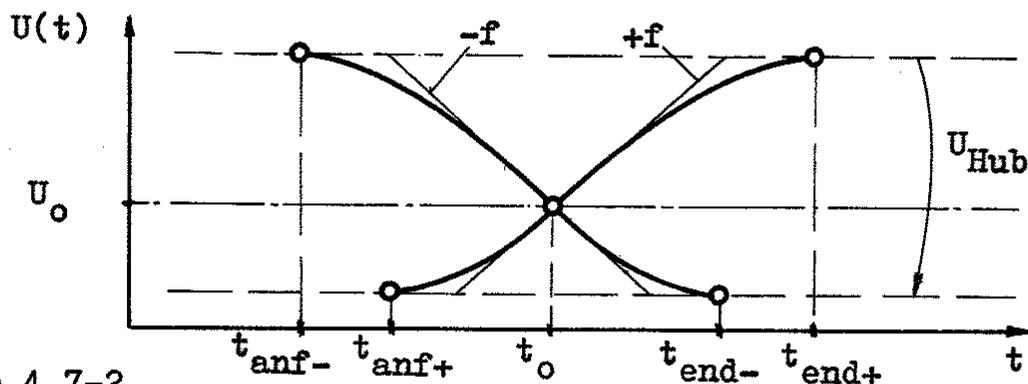


Abb.4.7-2

Eine Hazardprüfung kann algorithmisch so erfolgen, daß jede einer Knoten passierende Flanke darauf geprüft wird, ob ihre Anfangszeit $t_{anf(i)}$ vor der Endzeit $t_{end(i-1)}$ der vorhergehenden Flanke lag. Überlappen die Flanken nicht, gilt

$$\boxed{t_{anf(i)} \geq t_{end(i-1)}} \quad (4.7.9)$$

Für den Fall, daß die Startzeit der i-ten Flanke vor der Endzeit der (i-1)-ten Flanke liegt, gilt

$$t_{anf(i)} < t_{end(i-1)}. \quad (4.7.10)$$

Dieser Fall wäre als Hazard zu signalisieren.

Zwei Möglichkeiten bestehen, nichtautonome Flanken zu erzeugen.

1. Kettenschaltungen

Ein Knoten, der von einem einzigen Ausgang getrieben wird, ist auf die Autonomie der ihm passierenden Flanken gemäß oben gesagtem zu prüfen (Abb. 4.7-3).

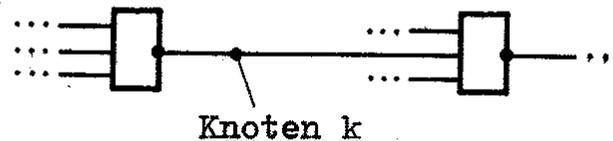


Abb.4.7-3

2. Parallelschaltungen (Opendrain-Schaltungen)

Opendrain-Schaltungen haben die Aufgabe, die Information mehrerer an einem Knoten liegender Sender zu sammeln und sie an einen oder mehrere Empfänger weiterzuleiten. Zwischen den Sendern wird die Vereinbarung getroffen, daß stets nur ein Sender zu einem Zeitpunkt eine Flanke senden darf (Abb. 4.7-4).

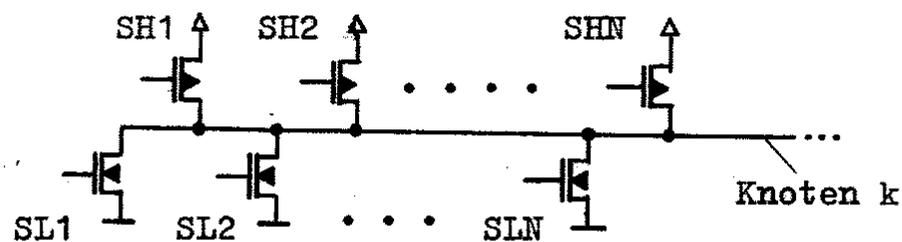


Abb.4.7-4

Alle den Knoten k passierenden Flanken sind, unabhängig von dem sie erzeugenden Sender, auf Autonomie zu prüfen. Für die Sender gilt die Besonderheit, daß sie jeweils nur eine Flankenrichtung treiben, d.h. daß in ihrem dynamischen Transferkennlinienfeld (s. Kap.6) nur eine Flankenrichtung eingetragen wird.

Alle Sender (SH1... SHN, SL1... SLN) in Abb. 4.7-4 arbeiten selbstständig und bis auf ein vereinbartes Zugriffsfenster unabhängig voneinander.

4.8. Flankenkonvergenz

Eine Flanke konvergiert stets gegen ein Grenzpotential. Erfolgt Konvergenz langsam, so stellen sich je nach Vollendung der Flanke unterschiedliche Startwerte der Folgeflanke ein, Flanke und Folgeflanke sind dann keine autonomen, voneinander unabhängigen Flanken mehr. Ein Gatter, das Flanken erzeugt, die gegen einen vom Eingangshub abweichenden Signalhub konvergieren, ist ausgangsseitig mit dem veränderten Signalhub auszuweisen; die Funktionsfähigkeit des Folgegatters ist ohne Berücksichtigung des angebotenen Signalhubes nicht gewährleistet.

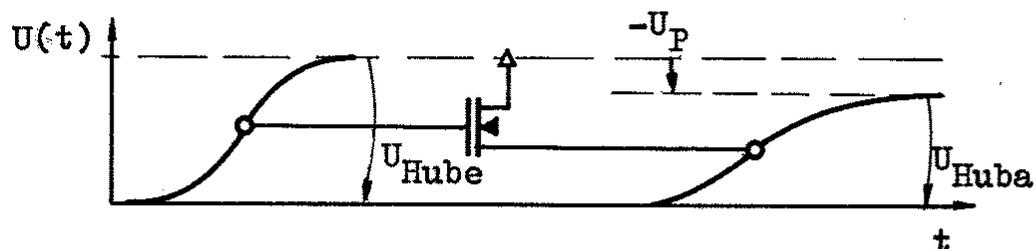


Abb.4.8-1

So besitzt ein N-Kanal-Transferrgatter (Abb. 4.8-1) die Eigenschaft, einen Ausgangsspannungshub U_{Huba} zu liefern, der gegenüber dem an der Gateelektrode liegenden Spannungshub U_{Hube} um eine Schwellenspannung U_P reduziert ist (Abb. 4.8-1).

4.9. Addition von Verzögerungsvektoren

Zur Analyse des kritischen Weges in digitalen Schaltungen ist es erforderlich, Aussagen über die Verzögerungszeit eines aus verschiedenen Gattern mit unterschiedlichen Lasten bestehenden Schaltungszweiges zu erhalten. Die Verzögerungszeit eines Gatters ist aufgrund einer unvermeidbaren, betriebsbereichsunabhängigen Bezugspotential-Definition an jedem Gatteranschluß stets an ein Bezugspotential gebunden, wobei Bezugspotentiale verschiedener Gatter voneinander abweichen können. Werden aus dynamischen Transferkennlinienfeldern der Gatter deren Verzögerungszeiten ermittelt, so ist daraus ohne Kenntnis der Flankensteilheiten an den Knoten zunächst nicht die Verzögerungszeit des Schaltungszweiges gewinnbar.

Abb. 4.9-1 verdeutlicht die Problematik. Verzögerungszeiten von Gattern, die nicht bei einem identischen Bezugspotential gemessen wurden, lassen sich nicht einfach summieren.

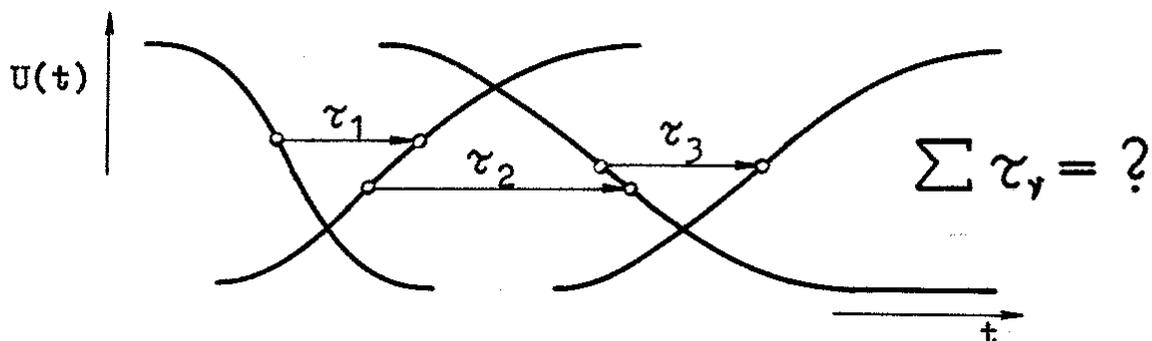


Abb.4.9-1

Werden Flanken durch ihr Bezugspotential U_0 und die für das Bezugspotential gültige Flankensteilheit f charakterisiert, so können aus den Komponenten Bezugspotentialdifferenz μ und Verzögerungszeit τ Vektoren \vec{V} auf der Spannungs-Zeit-Fläche gebildet werden (Abb. 4.9-2). Die Projektion der Vektoren auf die Zeitachse wird als Verzögerungszeit bezeichnet. Somit existieren zwei Typen von Verzögerungszeiten:

1. die Verzögerungszeit τ_z eines Schaltungszweiges (einer Baugruppe oder eines Gatters); und
2. die Verzögerungszeit τ_k eines Schaltungsknotens, die durch eine Bezugspotentialveränderung als Verzögerungszeit der Flanke entsteht.

Verzögerungsvektoren von Signalpfaden lassen sich aus der vektoriellen Addition der Vektoren der Zweige und Knoten gewinnen.

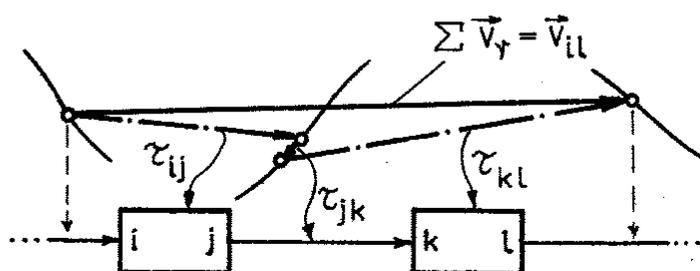


Abb.4.9-2

Abbildung 4.9-2 zeigt zwei Baugruppen, deren bezeichnete vier Anschlüsse unterschiedliche Bezugspotentiale $U_{oi} \dots U_{ol}$ aufweisen. Die Gesamtverzögerungszeit des Pfades beträgt

$$\tau_{il} = t_{ol} - t_{oi}, \quad (4.9.1)$$

wobei ein Bezugspotentialwechsel von

$$\mu_{il} = U_{ol} - U_{oi} \quad (4.9.2)$$

stattfindet. Die Baugruppe kann folglich in einem hierarchischen Baugruppenkonzept als autonome Baugruppe mit dem Verzögerungsvektor \vec{V}_{il} angegeben werden (Abb. 4.9-3).

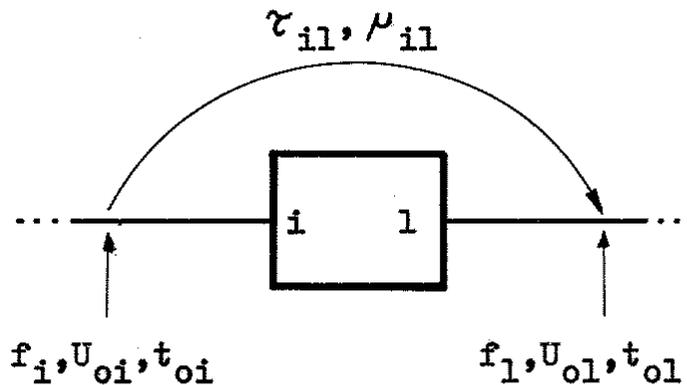


Abb.4.9-3

4.10. Knotenkapazität und Knotenladung

Zwischen normierter Flankensteilheit f und verursachendem Strom I einer Flanke besteht beim Durchlaufen des Bezugspotentials U_0 ein Zusammenhang, wenn vorausgesetzt wird, daß der Strom I_0 nur den dynamischen Stromanteil des durch das Gatter fließenden Gesamtstromes I_{ges} ausmacht. Die Proportionalitätskonstante besitzt die Maßeinheit $[As/V]$; es ist die im Moment des Durchlaufens des Bezugspotentials gültige Knotenkapazität C .

$$I_0 = -C \cdot f U_{\text{Hub}} \mid U_0 \quad (4.10.1)$$

Sie setzt sich aus der Summe der spannungsabhängigen und konstanten, am Knoten wirkenden Kapazitätsanteile C_i zusammen:

$$C = \sum_{i=1}^n C_i \quad (4.10.2)$$

Die Frage nach den konkreten Meßbedingungen der Kapazitätsbestandteile ist zu klären. Dazu betrachten wir Gleichung (4.10.1). Das Produkt $C \cdot U_{\text{Hub}}$ stellt eine Ladung Q dar, die Ladung, die zur Umladung des Knotens während der Flanke erforderlich ist. Sie kann als Integral des vom Gatter aufzubringenden dynamischen Ladestrom $I(t)$ über die Zeit verstanden werden

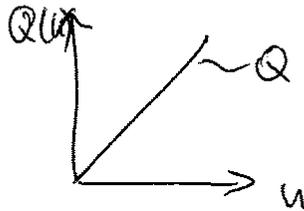
$$-\int_{-\infty}^{+\infty} I(t) dt = Q = C U_{\text{Hub}} \quad (4.10.3)$$

Die im Abschnitt "Integralkonstanz" (3.3.) hergeleitete Konstante der Fläche der Ableitung $dU(t)/dt$ über die Zeit t einer Flanke ist im physikalischen Sinne eine Ladungsmenge Q . Es scheint für die Charakterisierung digitaler Vorgänge unkomplizierter, den Begriff der Knotenladung $C \cdot U_{\text{Hub}}$ anstelle des Begriffes der Knotenkapazität C zu setzen. Sämtliche Kapazitäten des MOS-Transistors sind stark spannungsabhängige Größen $C(U)$. Die Summenkapazität eines Schaltungsknotens (Knotenkapazität) ist trotz ihrer integrierenden Wirkung noch immer spannungsabhängig. Der Begriff "Knotenkapazität" ruft zwangsläufig stets die Frage nach den geltenden Meßbedingungen hervor. Diese aber sind aufgrund der Spannungsabhängigkeit aller MOS-Kapazitäten nicht eindeutig festlegbar. Dagegen kann der Begriff der "Knotenladung" im Sinne des Stromintegrals verstanden werden. Im Gegensatz zur direkten Messung der Knotenkapazität läßt sich das Stromintegral durch Simulationen exakt ermitteln.

Folglich ist die Parallelschaltung verschiedener Gatteranschlüsse an einem Knoten inhaltlich als Parallelschaltung verschiedener Teilladungen Q_i zu verstehen.

Energiebilanz an der Lastkapazität C:

Ladung Q:



$$E = QU = UI t = Pt$$

$$Q = CU$$

$$E = \int Q du$$

$$E = C \int U du$$

$$E = \frac{1}{2} C U_{\text{hub}}^2 \quad [\text{VAs}] \quad \text{Energie pro Schaltflanke}$$

z.B. 1,5 μm CMOS: $C = 1 \text{ pF}$: $E = \frac{1}{2} \cdot 1 \text{ pF} \cdot 25 \text{ V}^2 = 12,5 \text{ pWs}$

Leistungsbilanz für Kondensator C:

Bei Taktung mit Frequenz f : 2 Flanken pro Takt

$$P = 2 \frac{E}{t} = \frac{2}{t} \left(\frac{1}{2} C U^2 \right) = \underline{\underline{f \cdot C \cdot U_{\text{hub}}^2}}$$

f : Schaltfrequenz

z.B. $f = 30 \text{ MHz}$, $C = 1 \text{ pF} \Rightarrow P = 30 \text{ MHz} \cdot 1 \text{ pF} \cdot 25 \text{ V}^2 = 750 \text{ pW}$

Leistung pro Megahertz Schaltfrequenz:

$$P = 1 \text{ MHz} \cdot C \cdot U_{\text{hub}}^2$$

z.B. 1 pF/5V: $\frac{P}{\text{MHz}} = 1 \text{ MHz} \cdot 1 \text{ pF} \cdot 25 \text{ V}^2 = 25 \text{ pW/MHz}$

$$Q = \sum_{i=1}^n Q_i = - \int_{-\infty}^{+\infty} I(t) dt \quad (4.10.4)$$

Division beider Seiten von Glg. 4.10.4 durch den für alle angeschlossenen Gatter identischen Spannungshub U_{Hub} liefert wieder die Gleichung 4.10.2.

Im Sinne dieser Betrachtung existiert für jeden Gatteranschluß eines digitalen MOS-Gatters eine Ersatzkapazität C (im folgenden als Kapazität bezeichnet), deren Wert eindeutig über das Stromintegral einer an den Knoten angelegten Flanke bestimmbar ist. Diese Erkenntnis ist insofern von großem Wert, als daß damit die unvermeidliche Frage nach den Meßbedingungen von MOS-Kapazitäten in digitalen Systemen geklärt ist: Die (Ersatz-)Kapazität C einer Schaltungsknotens läßt sich nur in schlechter Näherung aus topologischen Kapazitätsanteilen der Transistoren des Gatters ermitteln, sie läßt sich aber exakt aus der numerischen Berechnung des Stromintegrals der Flanke

$$C = \frac{-1}{U_{Hub}} \int_{-\infty}^{\infty} I(t) dt \quad (4.10.5)$$

ermitteln.

4.11. Flankenstrom I_0

Unter Zusammenfassung der bisherigen Erkenntnisse über die Natur digitaler Flanken sind zwei Kriterien zur Charakterisierung des Stromverlaufes $I(t)$ einer digitalen Flanke bekannt.

a) Der vom Gatter aufzubringende, dynamische Strom I_0 beim Durchlaufen des Bezugspotentials U_0 und der Bezugszeit t_0 ist aus der Flankensteilheit f und der Knotenladung $Q = C U_{Hub}$ bestimmbar

$$I_0 = -f Q \Big|_{t_0, U_0}, \quad \left(Q = - \frac{I_0}{f} \right) \quad (4.11.1)$$

der Stromwert I_0 zur Zeit t_0 ist Bestandteil jeder beliebigen Stromfunktion $I(t)$, s. Abb. 4.11-1.

b) Das Stromintegral

$$- \int_{-\infty}^{\infty} I(t) dt = Q \quad (4.11.2)$$

stellt eine Konstante dar. Die unter der Stromfunktion $I(t)$ liegende Fläche besitzt den Wert der Ladungsmenge Q .

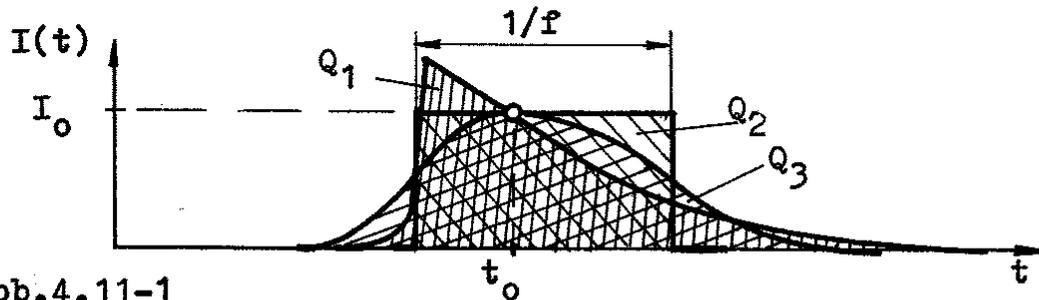


Abb.4.11-1

Die Flächen Q_1, Q_2, Q_3 der in Abb. 4.11-1 dargestellten Stromfunktionen $I(t)$ sind gleichgroß. Die Stromfunktionen $I_1 \dots I_3(t)$ stellen mögliche Approximationen der realen Flankenstromfunktion $I(t)$ dar, wenn vom zu treibenden Knoten die normierte Flankensteilheit f , die Lastkapazität C , der Spannungshub U_{Hub} und die Bezugszeit t_0 bekannt sind.

Als Flankenstrom $I(t)$ wird der rein dynamisch wirkende Ausgangsstrom verstanden, der aus der Differenz von dem Knoten zufließendem $I_P(t)$ und vom Knoten abfließendem Strom $I_N(t)$ gebildet wird (Abb. 4.11-2):

$$I(t) = I_N(t) - I_P(t). \quad (4.11.3)$$

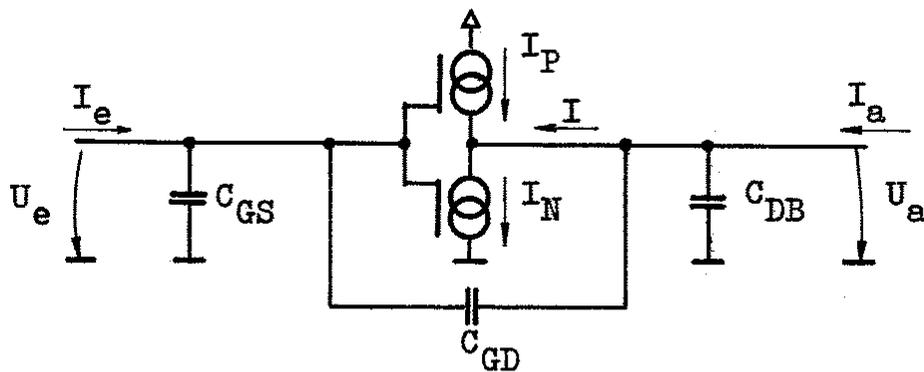


Abb. 4.11-2: Ströme und Kapazitäten am CMOS-Inverter

4.12. Koppelkapazität

Sind zwei Knoten unterschiedlicher Flankensteilheiten f_1 und f_2 , denen die Bezugspotentiale U_{o1} und U_{o2} zugeordnet sind, über ein Koppelkapazität C_m verbunden, so kann deren Wirkung durch nach Masse gerichtete Ersatzkapazitäten C_m^* , den sog. Miller-Kapazität (vgl. /N5/) beschrieben werden.

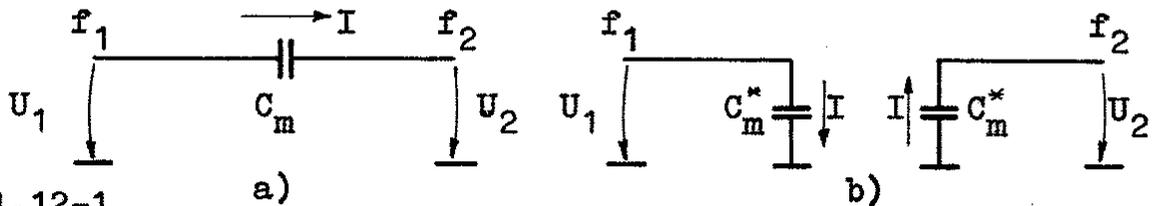


Abb.4.12-1

Das Verhältnis v der Flankensteilheiten betrage

$$v = \frac{f_2 (U_{o2})}{f_1 (U_{o1})} \quad (4.12.1)$$

v ist identisch die reale, zwischen beiden Punkten meßbare Spannungsverstärkung. Aus Abb. 4.12-1 läßt sich der durch die Miller-Kapazität C_m fließende Eingangsstrom I ablesen:

$$I = C_m \frac{d(U_1 - U_2)}{dt}, \quad (4.12.2)$$

$$I = C_m U_{Hub} (f_1 - f_2). \quad (4.12.3)$$

Unter Beachtung von Glg. 4.12.1 folgt

$$I = C_m U_{Hub} f_1 (1 - v) \quad (4.12.4)$$

Derselbe Strom I soll durch die Millerkapazität C_m^* der Ersatzschaltung fließen.

$$I = C_m^* U_{Hub} f_1 \quad (4.12.5)$$

Gleichsetzung der Glg. 4.12.4 und 4.12.5 liefert die Miller-Ersatzkapazität

$$\boxed{C_m^* = C_m (1 - v)} \quad (4.12.6)$$

Mit Glg. 4.12.1 gilt

$$C_m^* = C_m \left(1 - \frac{f_2}{f_1}\right) \quad (4.12.7)$$

Die der Millerkapazität C_m zufließende Ladung muß gleich der abfließenden Ladung sein, folglich wirkt C_m ein- und ausgangsseitig (Abb. 4.12-1, b)).

Sind die Flankensteilheiten f_2 und f_1 entgegengesetzt gerichtet, wirkt die Ersatzkapazität C_m dynamisch vergrößert, es gilt dann

$$C_m^* = C_m (1 + |v|). \quad (4.12.8)$$

4.13. Kapazitäten invertierender Gatter

Im Arbeitspunkt $U_a = U_e = U_{Inv}$ des Gatters kann eine Ersatzschaltung angegeben werden, die alle wesentlichen Kapazitätsanteile berücksichtigt. Abb. 4.13-1 zeigt die die Dynamik des Gatters beeinflussenden Kapazitätsanteile. Das Gatter besitzt eine aus den Gate-Source-Kapazitäten von P- und N-Kanal Transistor gebildete Eingangskapazität C_g . Der Gate-Drain-

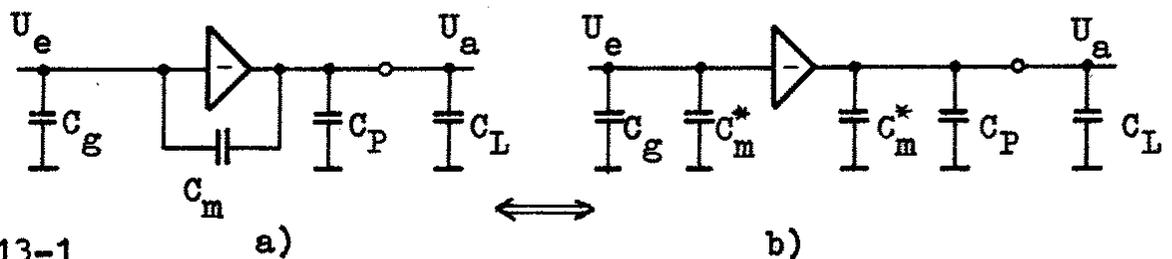


Abb.4.13-1

Kapazitätsanteil der aktiven Transistoren bildet eine zwischen Eingang und Ausgang liegende Millerkapazität C_m ; die Drain-Bulk-Sperrschichtkapazitäten sind als parasitäre, gattereigene Kapazität C_P eingezeichnet, und C_L stellt die an das Gatter angeschlossene, externe Lastkapazität dar. Im Punkt U_{Inv} wirkt die Momentanverstärkung $v = f_a/f_e$. Nach Abschnitt 4.12. läßt sich die Millerkapazität C_m in zwei nach Masse gerichtete Kapazitäten $C_m^* = (1 - v) C_m$ aufspalten.

Alle Kapazitäten C_e , C_m , C_P , C_L stellen stark spannungsabhängige

Kapazitäten dar, die einzig über das Stromintegral (Abschnitt 4.10.) näherungsweise bestimmbar sind. Für die Eingangskapazität des Gatters läßt sich aus Abb. 4.13-1 b) ablesen:

$$C_e = C_g + (1 - v) C_m \quad (4.13.2)$$

Vom Gatter ist die Knotenkapazität C_a

$$C_a = (1 - v) C_m + C_P + C_L \quad (4.13.3)$$

zu treiben.

Eingangs- und Ausgangskapazität werden auf ein willkürlich gewähltes Normal, die Gateoxidkapazität der aktiven Transistoren des Gatters

$$C_{Ox} = C_{Ox}'' L (B_N + B_P), \quad (4.13.4)$$

bezogen. L stellt die Kanallänge, B_N und B_P die Breite der Transistoren dar. C_{Ox}'' ist die flächenbezogene Oxidkapazität. Mit $C_g = a C_{Ox}$ und $C_m = q C_{Ox}$ nimmt die Gleichung 4.13.2 die Form an:

$$C_e = C_{Ox} (a + (1 - v) q) \quad (4.13.5)$$

Es ist zweckmäßig, die Konstantanteile a und q

$$g = a + q = (C_g + C_m) / C_{Ox} \quad (4.13.6)$$

$$C_e = C_{Ox} (g - vq) \quad (4.13.7)$$

zu substituieren. Da sich die Oxidkapazität der Transistoren im Falle eines leitfähigen Transistorkanals gerade aus der Summe der Gate-Drain-Kapazitäten C_m zusammensetzt, gilt

$$g = a + q = 1. \quad (4.13.8)$$

Glg. 4.13.7 kann vereinfacht werden:

$$C_e = C_{Ox} \left(1 - \frac{f_a}{f_e} q\right) \quad (4.13.9)$$

$$C_e = C_{Ox} - \frac{f_a}{f_e} C_m \quad (4.13.10)$$

Der Term $v = f_a / f_e$ ist bei invertierenden Gattern negativ.

Mit $C_m = q C_{Ox}$, $C_P = p C_{Ox}$ und $C_L = m C_{Ox}$ kann Glg. 4.13.3 umgeschrieben werden

$$C_a = C_{Ox} ((1 - v) \cdot q + p + m), \quad (4.13.11)$$

Die Substitution der Konstantanteile

$$c = p + q = (C_P + C_m) / C_{Ox} \quad (4.13.12)$$

liefert eine zweckdienliche Form der zu treibenden Knotenkapazität

$$C_a = C_{Ox} \left(c + m - \frac{f_a}{f_e} q\right). \quad (4.13.13)$$

Der Term $v = f_a / f_e$ ist wiederum bei invertierenden Gattern negativ. Die Knotenkapazität C_a kann nach internem (C_I) und externem (C_L) Anteil zerlegt werden,

$$C_a = C_I + C_L = C_{Ox} (n + m) \quad (4.13.14)$$

$$C_L = m C_{Ox} \quad (4.13.15)$$

$$C_I = n C_{Ox} \quad (4.13.16)$$

Der interne Lastfaktor n ergibt sich zu

$$n = c - \frac{f_a}{f_e} \cdot q \quad (4.13.17)$$

$$n = \frac{1}{C_{Ox}} \left(C_P + \left(1 - \frac{f_a}{f_e} \right) C_M \right)$$

(4.13.18)

Das Verhältnis $v = f_a / f_e$ charakterisiert die Spannungsverstärkung des Gatters beim Passieren der Inverterschwelle.

5. Kenngrößen invertierender CMOS-Gatter

5.1. Arbeitsbereiche des Gatters

Unter Arbeitsbereichen des Gatters sind im folgenden Bereiche bestimmter Flankensteilheiten der Eingangsspannung gemeint. Das Durchlaufen des vollen Signalhubes der Eingangs- und Ausgangsspannung in jedem der Arbeitsbereiche wird vorausgesetzt. Es erweist sich als sinnvoll, drei Spezialfälle mit zwei zwischen diesen Fällen liegenden Arbeitsbereichen einzuführen (Abb. 5.1-1)

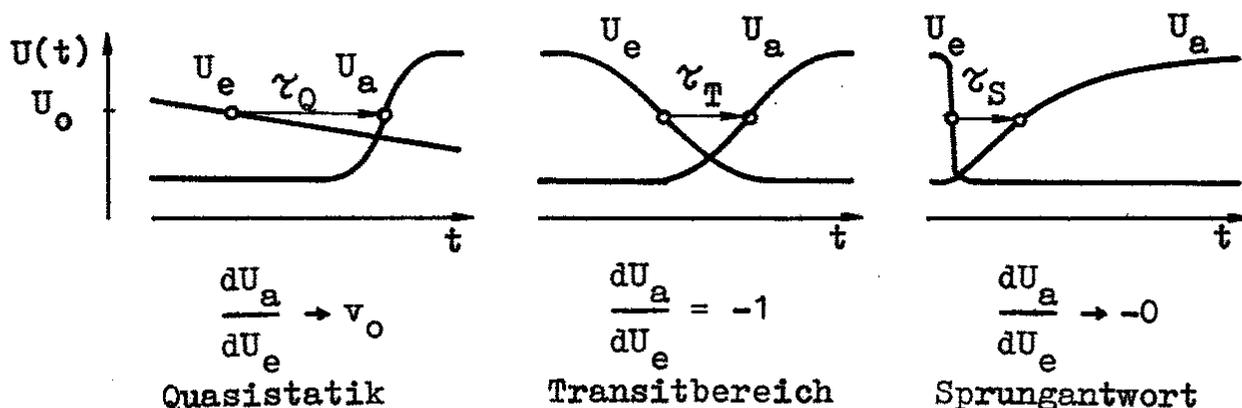


Abb.5.1-1

Betrachtet man die für die 3 Spezialfälle angegebenen Bilder (Abb. 5.1-1), so wird deutlich, daß die Verzögerungszeit eines Gatters als Funktion der Flankensteilheit am Gattereingang dargestellt werden kann. Gleiche Belastungsverhältnisse der Gatter vorausgesetzt, erreicht die Verzögerungszeit im Fall der Quasistatik ihr Maximum. Anhand der Abbildung können bereits vier Grenzwerte der Gatterdynamik abgelesen werden: Die Gatterverzögerungszeit ist im Fall der Quasistatik und im Fall der Sprungantwort (τ_Q, τ_S) konstant; die Flankensteilheit der Ausgangsflanke bei Sprungantwort ist konstant; und im Fall der Quasistatik gilt ein aus dem statischen Transferverhalten des Gatters bekannter Zusammenhang zwischen Eingangs- und Ausgangsflankensteilheit.

Folgende Fragen sind zu beantworten:

Welche Gatterkonstanten können wie mit dem bekannten Apparat der Groß- und Kleinsignaltheorie hergeleitet werden? Wie genau sind diese Herleitungen in Bezug auf Messungen bzw. Simulationen? Bei welcher Flankensteilheit der Eingangsspannung beginnen die Arbeitsbereiche der Quasistatik und der Sprungantwort? Welche Abhängigkeit besteht zwischen herleitbaren Gatterkenngrößen und Belastung des Gatters? Welches Verhältnis besteht zwischen Verzögerungszeit und Flankensteilheit im Transitfall?

a) Quasistatik

Durchläuft die Eingangsspannung im Verhältnis zu gattereigenen Zeitkonstanten die Inverterschwelle U_{Inv} extrem langsam, so folgt die Ausgangsspannung gemäß der statischen Transferkennlinie des Gatters quasistatisch der Eingangsspannung. Zwischen Flankensteilheit der Eingangsspannung f_e und Flankensteilheit der Ausgangsspannung f_a gilt im Bezugspunkt U_{Inv} die aus dem statischen Transferkennlinienfeld ablesbare Beziehung:

$$\left. \frac{dU_a}{dU_e} \right|_{U_{Inv}} = \lim_{f_e \rightarrow 0} \frac{f_a}{f_e} = v_0 \quad (5.1.1)$$

Die Größe v_0 stellt die quasistatische Spannungsverstärkung des Gatters dar. Die Verzögerungszeit der Quasistatik, τ_Q , ist unabhängig von der Flankenrichtung konstant.

$$\tau_Q = \tau_{Q-} = \tau_{Q+} = \text{const.} \quad (5.1.2)$$

Die Quasistatik wird von beiden Flankenrichtungen eines stark un-symmetrischen Gatters im Verhältnis v_a zur Sprungsteilheit f_s des Gatters erreicht:

$$\frac{f_{aQ}}{f_{aS+}} \neq \frac{f_{aQ}}{f_{aS-}} ; \quad v_{a\gamma} = \frac{f_{aQ}}{f_{aS\gamma}} \quad (5.1.3)$$

$$(|f_{aS+}| \neq |f_{aS-}|)$$

Der Index + bzw. - kennzeichnet die Flankenrichtung. Der Index γ kennzeichnet im folgenden eine allgemeine Flankenrichtungsabhängigkeit der Größe.

b) Transitbereich

Wird die Flankengeschwindigkeit der Eingangsspannung erhöht, so verringert sich die Spannungsverstärkung $|dU_a/dU_e|$ beim Durchlaufen des Bezugspotentials kontinuierlich. Sie erreicht schließlich im Transitfall den Wert $dU_a/dU_e = -1$. Mit den normierten Flankensteilheiten f_a und f_e wird der Transitfall für die Spannungsver-

stärkung

$$v = \frac{f_{aT}}{f_{eT}} = -1$$

(5.1.4)

definiert. Stark unsymmetrische Gatter erreichen bei wesentlich unterschiedlichen Eingangsflankensteilheiten beider Flankenrichtungen den Transitbereich. Folglich ist eine Unterscheidung zweier Transitfälle des i.a. unsymmetrischen Gatters nötig, dem der eingangsseitig steigenden, und dem der eingangsseitig fallenden Flanke. Zur eindeutigen Verdeutlichung, auf welche Flanke sich die jeweilige Transitflankensteilheit und die jeweilige Verzögerungszeit bezieht, wird als normierte Transitflankensteilheit f_T die der Eingangsflanke, f_{eT} ,

$$f_{Ty} = f_{eTy} = -f_{aTy}$$

(5.1.5)

gewählt. Abb.5.1-2 zeigt einen nahe der Transitsteilheit arbeitenden Ringoszillator. Um Irrtümer auszuschließen, muß bemerkt werden, daß die Transitflankensteilheit an Ringoszillatoren nicht direkt ablesbar ist. Die Gatter eines Ringoszillators arbeiten praktisch immer unsymmetrisch. Deshalb erzeugt der Ringoszillator stets Flanken, deren Flankensteilheit alternierend rechts- und linksseitig der Transitflankensteilheit der jeweiligen Flankenrichtung liegt.

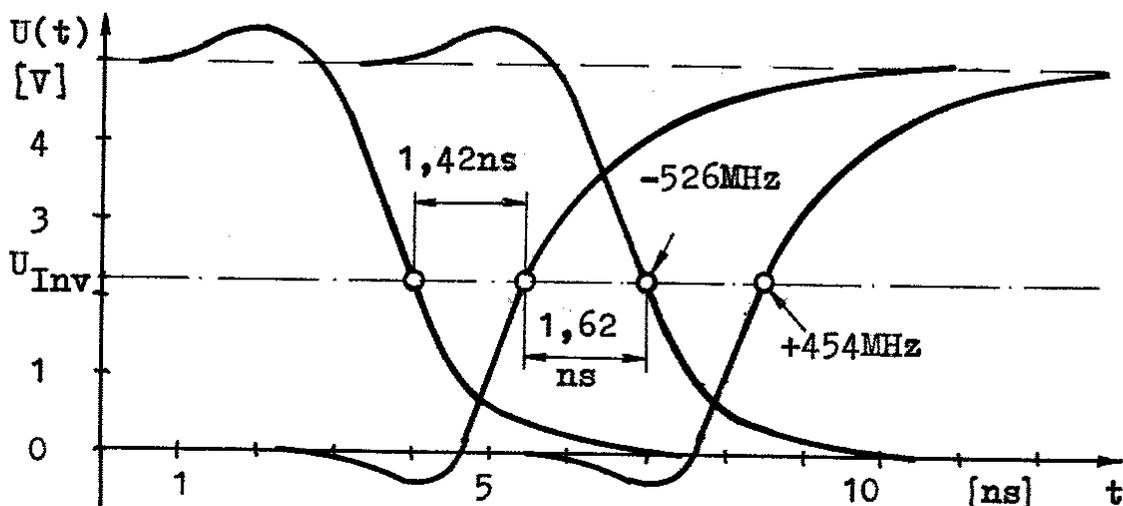


Abb.5.1-2: Flanken am Ringoszillator. Gattertyp NEG1 (Inverter), Lastfaktor $m=1$.

c) Sprungantwort

Wird die Flankensteilheit der Eingangsspannung f_e über den Transitfall hinaus weiter erhöht, so folgt die Ausgangsspannung mit im Verhältnis zur Eingangsflankensteilheit immer geringer werden der Flankensteilheit. In der graphischen Darstellung von $U_e(t)$ und $U_a(t)$ ergibt sich der Eindruck, die Eingangsfunktion besitzt Sprungcharakter. Demgemäß wird der zugehörige Arbeitsbereich des Gatters als Bereich der Sprungantwort bezeichnet.

Für den Fall der Sprungantwort gilt unabhängig von der weiteren Erhöhung der Eingangsflankensteilheit f_e , daß die Ausgangsflankensteilheit f_s und die Verzögerungszeit τ_s flankenrichtungsabhängig konstant bleiben:

$$\begin{array}{l}
 f_a = f_{S+} = \text{const.} \\
 \tau = \tau_{S+} = \text{const.}
 \end{array}
 \left. \vphantom{\begin{array}{l} f_a \\ \tau \end{array}} \right\} |f_{S+}| \cong |f_{T+}| \quad (5.1.6)$$

$$(5.1.7)$$

$$f_{S+} \neq f_{S-} \quad ; \quad \tau_{S+} \neq \tau_{S-} \quad . \quad (5.1.8)$$

Der Bereich der Sprungantwort des Gatters ist der im Schaltkreisentwurf kritischste und häufigst elektrisch simulierte Fall. Daraus resultiert der für Timing-Simulatoren bekannte Ansatz des Schalterverhaltens der Eingangsspannung. Dieser Ansatz ist insofern dynamisch relevant, als daß Gatter, die stark belastet sind die folglich einen großen Verzögerungszeitbetrag liefern, stets im Bereich der Sprungantwort arbeiten; während wenig belastete Gatter, die nicht im Bereich der Sprungantwort arbeiten, i.a. keinen großen Fehlerbeitrag zur Verzögerungszeit eines Schaltungskomplexes liefern.

5.2. Kenngrößen der Quasistatik

5.2.1. Inverterschwellspannung U_{Inv} und Schwellstrom I_{Inv}

Der Vorschlag, ein Bezugspotential zur Verzögerungszeitdefinition einzuführen, geht auf /M6/ zurück, auch wenn dort noch kein Hinweis auf Betriebsbereiche des Gatters formuliert wurde. Invertierende Gatter besitzen die Eigenschaft, nach einer hinreichend langen Einschwingzeit im gegengekoppelten Zustand ein Bezugspotential einzustellen, das von Mead/Conway /M6/ als Inverterschwell-

spannung oder kurz Inverterschwelle U_{Inv} eingeführt wurde (Abb. 5.2.1-1).

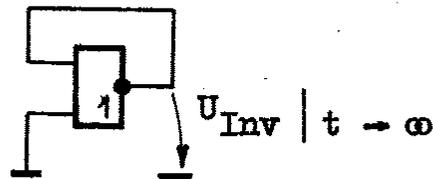


Abb.5.2.1-1
Inverterschwelle eines NOR-Gatters.

Bei NOR und NAND-Schaltungen mit n Eingängen sind $n-1$ Eingänge passiv zu schalten und der n -te Eingang ist rückzukoppeln. Die Transistoren des nichtpassiven Eingangs werden im folgenden als aktive Transistoren des Gatters bezeichnet. Unter Berücksichtigung der Tatsache, daß das Bezugspotential der Inverterschwellspannung auch in nichtinvertierenden Gattern erklärbar sein muß, wird als Definition festgehalten:

Die Inverterschwelle U_{Inv} ist die Eingangs- und Ausgangsspannung $U_e = U_a = U_{Inv}$, für die der den Ausgangsknoten hochziehende Transistorzweig identisch denselben Strom wie der niederziehende Transistorzweig liefert,

$$U_e = U_a = U_{Inv} : I_a = 0 \quad (5.2.1.1)$$

$$I_H = I_L = I_{Inv}. \quad (5.2.1.2)$$

Die Definition berücksichtigt dann sowohl die Besonderheiten der NMOS-ED-Schaltungstechnik wie auch die nichtinvertierender Gatter (Abb. 5.2.1-2).

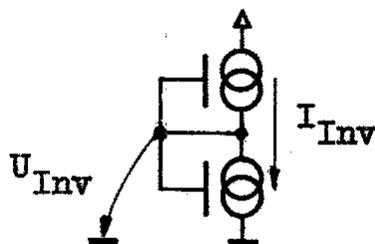


Abb.5.2.1-2

Im statischen Transferkennlinienfeld (vgl. Abschnitt 2.3.) gibt die Inverterschwelle den Schnittpunkt zwischen der Transferkurve $U_a = f(U_e)$ für $I_a = 0$ und der 45°-Geraden $U_a = U_e = U_{Inv}$ an. Inverterschwelle U_{Inv} und Bezugspotential U_0 unterscheiden sich. Die Inverterschwelle ist eine statische Gatterkenngröße. Sie kann

identisch dem Bezugspotential U_0 zur Charakterisierung der Taylorflanke $U^*(t)$ sein, muß es aber nicht. Insofern von einer Flankenapproximation $U^*(t)$ in Zusammenhang mit der Inverterschwellspannung gesprochen wird, bezieht sich, falls nicht anders vermerkt, das Bezugspotential U_0 stets auf die Inverterschwelle $U_0 = U_{Inv}$.

5.2.2. Leerlaufverstärkung v_o und Ausgangswiderstand r_{Inv}

Leerlaufverstärkung und Ausgangswiderstand sind Kleinsignalkonstanten des digitalen MOS-Gatters. Es gelten die Beziehungen

$$v_o = \frac{\partial U_a}{\partial U_e} \quad \left| \quad U_e = U_a = U_{Inv} \right. \quad (5.2.2.1)$$

und

$$r_{Inv} = \frac{\partial U_a}{\partial I_a} \quad \left| \quad U_e = U_a = U_{Inv} \right. \quad (5.2.2.2)$$

Abb. 5.2.2-1 zeigt für die numerische Bestimmung mit einem üblichen Netzwerksimulator minimalen Versuchsaufbau. G1... G3 sind Testgatter des zu bestimmenden Typs.

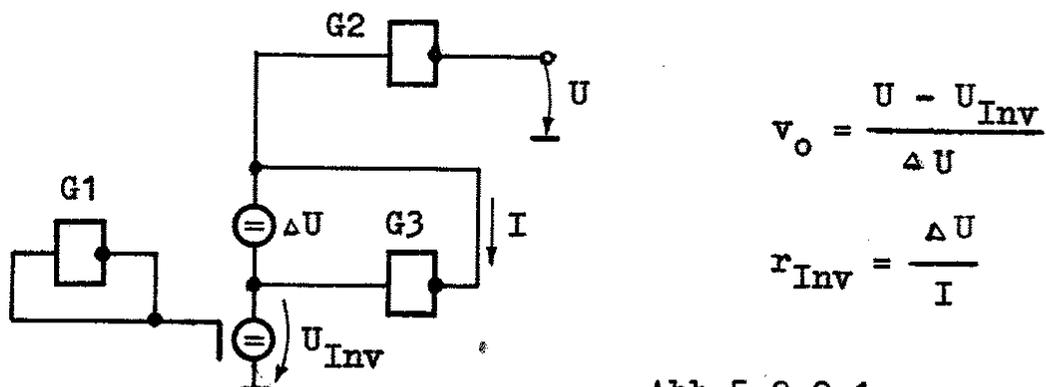


Abb.5.2.2-1

Die Spannungsdifferenz ΔU ist hinreichend klein zu wählen, z.B. 1mV. Die Spannungsquellen ΔU und U_{Inv} sind ideale EMK ohne Innenwiderstand. Eine einzige, statische Analyse genügt zur Bestimmung der Kennwerte v_o und r_{Inv} des Gatters.

Auch von Einzeltransistoren von Opendrain-Gattern kann nach angegebener Methode der Innenwiderstand bestimmt werden, allerdings

besitzen Einzeltransistoren nur dann eine Leerlaufverstärkung im Sinne einer Konstanten, wenn der zugehörige Meßstrom I_{Inv} angegeben wird. Anhand der statischen Transferkennlinie (Abschnitt 2.3.) ist leicht nachzuprüfen, daß Leerlaufverstärkung und Ausgangswiderstand unabhängig von der Flankenrichtung einer kleinen Eingangsspannungsänderung denselben Betrag besitzen, wenn die statische Transferkennlinie $U_a = f(U_e)$ des Gatters eineindeutig bzw. hysteresisfrei ist.

5.2.3. Verzögerungszeit τ_Q

Im Bereich des quasistatischen Betriebes erreicht das Gatter sei größte Verzögerungszeit τ_Q . Die Spannungsverstärkung des Gatters besitzt den Wert der am statischen Transferkennlinienfeld ablesbaren Leerlaufverstärkung v_o im Inverterpunkt $U_a = U_e = U_{Inv}$. Das Gatter besitzt im Inverterpunkt den Kleinsignal-Ausgangswiderstand r_{Inv} .

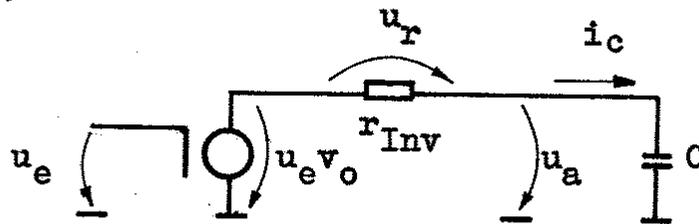


Abb.5.2.3-1

Für $dU_e = u_e$ und $dU_a = u_a$ gilt folglich im Bereich der Quasistat für $U_a = U_e = U_{Inv}$ die Ersatzschaltung nach Abb. 5.2.3-1 (vgl. auch /H8/). Für die Zweigspannung der Masche gilt

$$u_r + u_a = u_e v_o \quad (5.2.3.1)$$

$$\text{mit } u_r = i_c r_{Inv} = -r_{Inv} C \frac{du_a}{dt} \quad (5.2.3.2)$$

Für $u_r \ll U_{DD}$ hat der Spannungsabfall über r_a bei U_{Inv} seinen eingeschwungenen Zustand erreicht, rechts- und linksseitige Flankensteilheit sind identisch

$$\frac{du_a}{dt} = \frac{d}{dt} (v_o u_e) \quad (5.2.3.3)$$

Quasistatik - Herleitung einfacher:

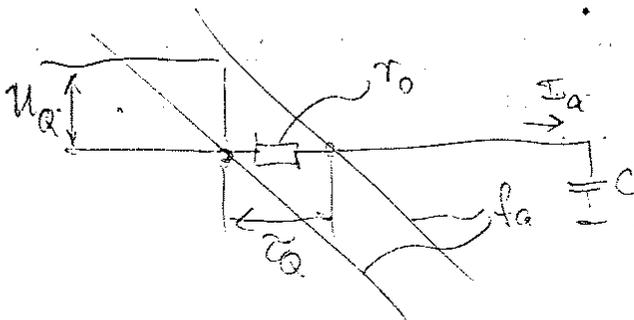
$$\text{I) } \frac{\Delta U_T}{\tau_Q} = \left. \frac{dU_a}{dt} \right|_{U_0} = f U_{\text{Hub}}$$

$$\text{II) } \frac{\Delta U_T}{I_a} = \left. \frac{dU}{dI_a} \right|_{U_0} = \tau_Q$$

$$\text{III) } I_a = C \left. \frac{dU}{dt} \right|_{U_0} = C f U_{\text{Hub}} = dI_a$$

$$\begin{array}{ccc} \text{I) } & \text{II) } & \text{III) } \\ \downarrow & \downarrow & \downarrow \\ \tau_Q = \frac{\Delta U_T}{f U_{\text{Hub}}} & = \frac{\tau_Q I_a}{f U_{\text{Hub}}} & = \frac{\tau_Q \cancel{C f U_{\text{Hub}}}}{\cancel{f U_{\text{Hub}}}} = \underline{\underline{\tau_Q C}} \end{array}$$

oder:



$$\text{I) } \tau_Q = \left. \frac{dU_a}{dI_a} \right|_{U_0} = \frac{U_a \in \text{II}}{I_a \in \text{III}}$$

$$\text{II) } \frac{U_Q}{\tau_Q} = \left. \frac{dU_a}{dt} \right|_{U_0} = f_a U_{\text{Hub}}$$

$$\text{III) } I = C \left. \frac{dU_a}{dt} \right|_{U_0} = C f_a U_{\text{Hub}}$$

$$\tau_Q = \tau_Q C$$

Aus Abb. 5.2.3-2 ist die Dreiecksbeziehung

$$\frac{u_r}{\tau_Q} = - \frac{du_a}{dt} \quad (5.2.3.4)$$

abzulesen.

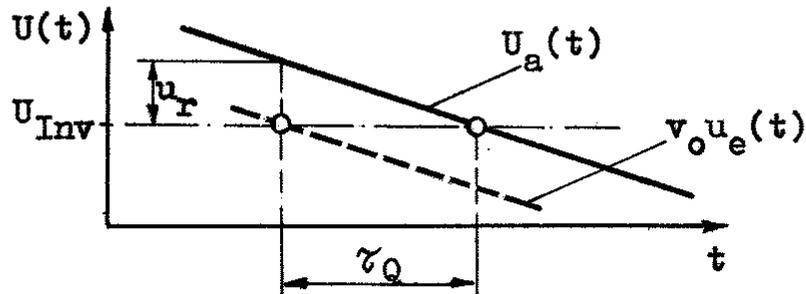


Abb.5.2.3-2

In diese wird u_r eingesetzt

$$\tau_Q = \frac{u_r}{-\frac{dU_a}{dt}} = \frac{-r_{Inv} C \frac{dU_a}{dt}}{-\frac{dU_a}{dt}} \quad (5.2.3.5)$$

Für den Fall der Quasistatik beträgt die Verzögerungszeit τ_Q des Gatters beim Durchgang durch die Inverterschwelle U_{Inv} damit

$$\tau_Q = r_{Inv} C \quad (5.2.3.6)$$

Der Ausgangswiderstand r_{Inv} ist gatterabhängig, die Kapazität C ist die vom Gatterausgang zu treibende, gesamte Knotenkapazität. Die Verzögerungszeit der Quasistatik, τ_Q , ist bei definiertem Lastfaktor m unabhängig von der Flankenrichtung eine Gatterkonstante, solange r_{Inv} eine Konstante des Gatters darstellt. Lässt sich die Lastkapazität C als Summe aus externer Lastkapazität C_L und interner Lastkapazität C_I angeben, so kann Glg. 5.2.3.7 unter Bezug auf Glg. 4.13.14 in der Form

$$\tau_Q = r_{Inv} (C_L + C_I) \quad (5.2.3.7)$$

geschrieben werden. C_I gibt die eigene, parasitäre Ausgangskapazität des Gatters an, die zum großen Teil aus der um v_o dynamisch vergrößerten Millerkapazität der Gate-Drain-Kapazitäten der Transistoren entsteht.

Mit $m = C_L/C_{OX}$ und $n = C_I/C_{OX}$ kann Glg. 5.2.3.7 auf

$$\tau_Q = \tau_{Q\infty}(m+n) \quad (5.2.3.8)$$

mit

$$\tau_{Q\infty} = r_{Inv} C_{OX} \quad (5.2.3.9)$$

umgeformt werden. m kennzeichnet den externen, n den gattereigenen Lastfaktor. Der Eigenlastfaktor n kann für $\tau_{Q0} = \tau_Q(m=0)$ zu

$$n = \frac{\tau_{Q0}}{\tau_{Q\infty}} \quad (5.2.3.10)$$

bestimmt werden (siehe auch Anlage 7, Beispiel 1).

Die Konstante $\tau_{Q\infty}$ kann über eine Simulation eines stark belasteten Gatters bestimmt werden. Mit dem Probelastfaktor $m=i$

$$\tau_{Q\infty} = \frac{\tau_{Qm}}{m+n} = \lim_{m \rightarrow \infty} \frac{\tau_{Qi}}{i+n} \approx \frac{\tau_{Qi}}{i} \quad (5.2.3.11)$$

kann der Eigenlastfaktor n näherungsweise ermittelt werden

$$n \approx i \frac{\tau_{Q0}}{\tau_{Qi}} \quad (5.2.3.12)$$

5.3. Kenngrößen des Transitfalls

Der Transitfall wird gemäß Abschnitt 5.1. definiert für die Spannungsverstärkung

$$\left. \frac{dU_a}{dU_e} \right|_{U_{Inv}} = \frac{f_a}{f_e} = -1 \quad (5.3.1)$$

Der Begriff der Transitflankensteilheit f_T wird auf die Richtung der Eingangsflanke f_e bezogen, da die Ausgangsflankensteilheit des Transitfalls kaum von der Sprungantwort f_s abweicht.

Da jedes reale Gatter Unsymmetrien aufweist, liefert eine Simulation des Ringoszillators nicht die Transitflankensteilheit. Die Transitflankensteilheit f_T ist folglich flankenbezogen für die Fälle

$$-f_e = f_a = -f_{T-} \quad (5.3.2)$$

$$f_e = -f_a = f_{T+} \quad (5.3.3)$$

zu untersuchen.

5.4. Kenngrößen der Sprungantwort

5.4.1. Schwellströme I_{No} , I_{Po}

Die Sprungantwort eines Gatters wird maßgeblich durch den im Umschaltmoment der Eingangsspannung fließenden Ausgangsstrom bestimmt. Je nachdem, ob die Ausgangsflanke vom P- oder N-Kanalzweig des Gatters getrieben wird, ergeben

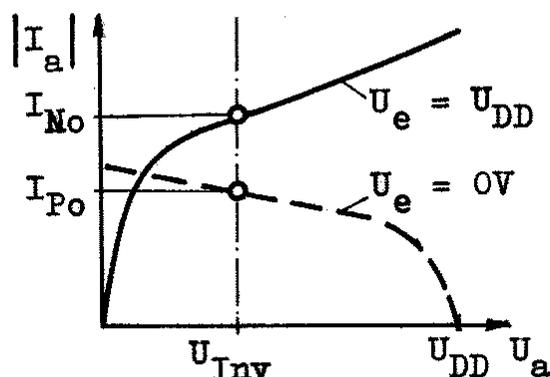


Abb.5.4.1-1

sich unterschiedliche Schwellströme I_{No} , I_{Po} beim Durchgang durch die Inverterschwelle U_{Inv} . Sie seien in gleicher Stromrichtung orientiert. Abb. 5.4.1-1 zeigt für einen Inverter die Kennlinie $I_a = f(U_a)$ für $U_e = \text{const.}$ Die Ströme können am Gatter bei den Eingangs- bzw. Ausgangsspannungen (U_e , U_a) zu

$$I_{No} = I_a(U_{DD}, U_{Inv}) \quad (5.4.1.1)$$

$$I_{Po} = I_a(0, U_{Inv}) \quad (5.4.1.2)$$

bestimmt werden.

Mit den in dieser Weise bezeichneten Strömen ist es möglich, die Flankensteilheit beim Durchgang durch die Inverterschwelle zu definieren. Im Falle der Sprungantwort verschwindet stets einer der Ströme, so daß I_a stets einem der beiden Ströme, I_{No} oder I_{Po} , identisch ist.

5.4.2. Flankensteilheit f_s

Sprungantworten realer Gatter zeigen für steigende und fallende Flankenrichtung einen linearen Spannungsanstieg im Bereich zwischen Flankenbeginn und Durchlauf etwa der Hälfte des Signalhubes. Zwischen Ausgangsstrom I_a eines Gatters und Spannungsanstiegsgeschwindigkeit dU/dt besteht die Proportionalität

$$I_a = -C \frac{dU}{dt} \quad (5.4.2.1)$$

Wird angenommen, die Flankensteilheit zu Flankenbeginn ist nahezu unverändert noch beim Durchgang durch die Inverterschwelle U_{Inv} des Gatters vorhanden, kann die normierte Flankensteilheit f_S der Sprungantwort beim Passieren des Bezugspotentials U_{Inv} benutzt werden. Umstellung nach f_S liefert mit $I_a(U_{Inv}) = I_0$:

$$f_{S\gamma} = \frac{-I_0}{C U_{Hub}} \quad \left| \quad U_a = U_{Inv} \quad (5.4.2.2)$$

Die Flankensteilheit der Sprungantwort f_S lässt sich für beide Flanken mit $I_0 = I_N$ (negative Flankenrichtung) bzw. $I_0 = I_P$ (positive Flankenrichtung zu

$$f_{S-} = -\frac{I_{No}}{C U_{Hub}} \quad (5.4.2.3)$$

$$f_{S+} = -\frac{I_{Po}}{C U_{Hub}} \quad (I_{Po} \text{ ist negativ}) \quad (5.4.2.4)$$

bestimmen. Simulationen zeigten, daß die Flankensteilheit der Sprungantwort bis zum Transitfall (f_T) erhalten bleibt, es gilt

$$f_{T\gamma} \approx f_{S\gamma} \quad (5.4.2.5)$$

in Abhängigkeit von der Flankenrichtung γ . Die eingeführte Kapazität C hat für den betrachteten Fall der Sprungantwort einen Bezug zu topologischen Kapazitäten. Im Moment des Durchlaufens der Inverterschwelle $U_a = U_{Inv}$ hat die Eingangsspannung U_e den Sprung bereits vollzogen, und ist konstant. Somit besitzen alle Kapazitätsanteile $C_{GD}(U)$, $C_{GS}(U)$, $C_{GB}(U)$, $C_{DB}(U)$ fuer $U_a = U_{Inv}$ einen definierten Wert. Diese Erkenntnis kann zur Verifikation topologischer Kapazitätsanteile angewandt werden. Die Gleichheitszeichen in Gleichung 5.4.2.3 und 5.4.2.4 sind dann gerechtfertigt wenn C aus der Sprungantwort bestimmt wird. Dann ergeben sich notwendigerweise Differenzen zur im Falle der Quasistatik wirksamen Lastkapazität C , da sich deren innerer Anteil C_T aus unter andere Spannungsabhängigkeiten bestimmten topologischen Kapazitätsanteil zusammensetzt. Anlage 7, Beispiel 1 und 2 zeigt, daß die sich ergebenden Differenzen praktisch vernachlässigbar sind.

Gleichung 5.4.2.2 läßt sich auch schreiben:

$$\frac{1}{f_{S\gamma}} = \frac{U_{Hub} C_{Ox}}{-I_{O\gamma}} (n + m). \quad (5.4.2.6)$$

Als Normativ-Flankensteilheit $f_{S\infty}$ der Sprungantwort wird der Ter

$$f_{S\infty\gamma} = - \frac{I_{O\gamma}}{U_{Hub} C_{Ox}} \quad (5.4.2.7)$$

eingeführt. Die für den konkreten Lastfaktor m gültige Flankensteilheit f_S läßt sich bestimmen zu

$$f_{S\gamma} = \frac{f_{S\infty\gamma}}{(n + m)} \quad (5.4.2.8)$$

f_{S0} kennzeichnet die Flankensteilheit der Sprungantwort bei ausgangsseitigem Leerlauf ($m=0$). Die Flankensteilheit $f_{S\infty}$ kann aus der Simulation eines mit hohem Lastfaktors $m = 1$ belasteten Gatters bestimmt werden. Glg. 5.4.2.8 wird nach $f_{S\infty}$ umgestellt:

$$f_{S\infty\gamma} = f_{S1\gamma} (n + 1). \quad (5.4.2.9)$$

Da n zunächst unbekannt ist, muß $f_{S\infty}$ über den Grenzwert

$$f_{S\infty\gamma} = \lim_{i \rightarrow \infty} (f_{S1\gamma} (n + i)) \approx i \cdot f_{S1\gamma} \quad (5.4.2.10)$$

bestimmt werden. Zur praktischen Ermittlung von $f_{S\infty}$ wird die Sprungantwort eines mit hohem Lastfaktor (z.B. $m = 1 = 1000$) belasteten Gatters simuliert (siehe auch Anlage 7, Beispiel 2). Die Flankensteilheit f_S der Sprungantwort eines unter beliebigem Lastfaktor m arbeitenden Gatters kann mit der Näherung 5.4.2.12 aus der Kenntnis der Eckwerte $f_{S\infty}$ und f_{S0} sowie n ermittelt werden. Gleichung 5.4.2.8 erhält die Form

$$f_{S\gamma} \approx \frac{i \cdot f_{S1\gamma}}{(n + m)}. \quad (5.4.2.11)$$

Mit $n = f_{S\infty} / f_{S0}$ folgt aus Glg. 5.4.2.8:

$$f_{S\gamma} = \frac{1}{\frac{1}{f_{S0\gamma}} + \frac{m}{f_{S\infty\gamma}}}. \quad (5.4.2.12)$$

Als Näherung mit $f_{S\infty} \approx i \cdot f_{Si}$ kann die Flankensteilheit der Sprungantwort $f_{S\uparrow}$ unter beliebigen Lastfaktor m zu

$$f_{S\uparrow} \approx \frac{1}{\frac{1}{f_{S0\uparrow}} + \frac{m}{i \cdot f_{Si\uparrow}}} \quad (5.4.2.13)$$

angegeben werden.

5.4.3. Flankenkonstante $k_{S\infty}$

Vergleichbar mit dem Transitfall existiert auch für die Sprunganwort ein Zusammenhang zwischen Verzögerungszeit $\tau_{S\infty}$ und Flankensteilheit $f_{S\infty}$ des Ausgangsknotens bezogen auf den Durchgang durch das Bezugspotential $U_0 = U_{Inv}$ (siehe Abb. 5.4.5-1).

Der Quotient $\tau_{S\infty}$ zu $1/f_{S\infty}$ stellt eine Gatterkonstante $k_{S\infty}$ dar.

$$k_{S\infty\uparrow} = \tau_{S\infty\uparrow} f_{S\infty\uparrow} \quad (5.4.3.1)$$

$k_{S\infty}$ ist flankenrichtungsabhängig und gilt für stark belastete, d.h. millerfreie Gatter.

Die Idealisierung (Abb. 5.4.5-1) läßt erkennen, daß zwischen Spannungsänderung und Zeitänderung eine Proportionalität besteht ($U_0 = U_{Inv}$):

$$\frac{U_H - U_0}{\tau_{S\infty-}} \approx \frac{U_H - U_L}{1/f_{S\infty-}} \quad (5.4.3.2)$$

Für die entgegengesetzte Flankenrichtung gilt:

$$\frac{U_0 - U_L}{\tau_{S\infty+}} \approx \frac{U_H - U_L}{1/f_{S\infty+}} \quad (5.4.3.3)$$

Umformung nach $|\tau_{S\infty} f_{S\infty}|$ liefert mit $U_H - U_L = U_{DD}$, $U_L = 0$:

$$|\tau_{S\infty} f_{S\infty}|_{\tau} \approx \begin{cases} (1 - \frac{U_0}{U_{DD}}) , & (f_{S\downarrow} \text{ negativ}) \\ \frac{U_0}{U_{DD}} , & (f_{S\downarrow} \text{ positiv}). \end{cases} \quad (5.4.3.4)$$

Folglich besteht zwischen Verzögerungszeit und Flankensteilheit der Sprungantwort eines Gatters ein über eine statische Spannungsrelation herstellbarer Zusammenhang.

5.4.4. Verzögerungszeit τ_S

Die die Flankenkonstante $k_{S\infty}$ der Sprungantwort charakterisierende Beziehung, Glg. 5.4.3.4. kann unter Berücksichtigung einer Mittelverzögerungszeit τ_m (siehe Abb. 5.4.5-1) nach τ_S aufgelöst werden:

$$\tau_{S\uparrow} = \begin{cases} \tau_{m-} - \frac{1}{f_{S-}} \cdot (1 - \frac{U_0}{U_{DD}}) \\ \tau_{m+} + \frac{1}{f_{S+}} \cdot \frac{U_0}{U_{DD}} , \end{cases} \quad (5.4.4.1)$$

wobei U_0 das zur Flankendarstellung benutzte Bezugspotential und U_{DD} die Betriebsspannung charakterisiert. Die Flankensteilheiten $f_{S\uparrow}$ der Sprungantwort wurden in Abschnitt 5.4.2. zu

$$f_{S-} = - \frac{I_{No}}{C U_{DD}} \quad (I_N \text{ positiv}) , \quad (5.4.4.2)$$

$$f_{S+} = - \frac{I_{Po}}{C U_{DD}} \quad (I_P \text{ negativ}) \quad (5.4.4.3)$$

eingeführt. Eingesetzt in Glg. 5.4.4.1 ergeben sich Näherungen für die Verzögerungszeiten der Sprungantwort, wenn τ_m zunächst als bekannt vorausgesetzt werden kann:

$$\tau_{S\uparrow} = \begin{cases} \tau_{m-} + \frac{C}{I_{No}} (U_{DD} - U_0) \\ \tau_{m+} + \frac{C}{-I_{Po}} \cdot U_0 . \end{cases} \quad (5.4.4.4)$$

U_0 charakterisiert das zur Verzögerungszeitbestimmung benötigte Bezugspotential, z.B. das der Inverterschwelle des Gatters ($U_0 = U_{Inv}$).

$$\text{Mit } (U_x, I_0) = \begin{cases} (U_0, -I_{Po}) & \text{für } f_S > 0 \\ (U_{DD} - U_0, I_{No}) & \text{für } f_S < 0 \end{cases} \quad (5.4.4.5)$$

und $C = C_{Ox} (n + m)$ (Siehe Abschnitt 4.13.) kann Gleichung 5.4.4. umgeformt werden. Abhängig von der Flankenrichtung gilt

$$\tau_{St} = \frac{U_x}{I_0} C_{Ox} (n + m) + \tau_m \quad (5.4.4.6)$$

Als Normativ-Verzögerungszeit $\tau_{S\infty}$ der Sprungantwort wird der Teil

$$\tau_{S\infty} = \frac{U_x}{I_0} C_{Ox} = C_{Ox} \begin{cases} \frac{U_0}{-I_{Po}} \\ \frac{U_{DD} - U_0}{I_{No}} \end{cases} \quad (5.4.4.7)$$

eingeführt. Gleichung 5.4.4.6 bekommt die Form

$$\tau_{St} = \tau_{S\infty} (n + m) + \tau_{mT} \quad (5.4.4.8)$$

n bezeichnet den Eigenlastfaktor des Gatters, m den externen Lastfaktor, τ_m ist eine zusätzliche, durch die Miller-Wirkung vom Eingang auf den Ausgang entstehende Verzögerungszeit (siehe Abschnitt 5.4.5.).

Die Form der Einführung der Zusatzverzögerungszeit τ_m trägt den experimentell sowohl in der $U(t)$ -Charakteristik (Abschnitt 6.3.) wie auch im normierten, dynamischen Transferkennlinienfeld (Abschnitt 6.5) für die Sprungantwort bei kleinem Lastfaktor gefundenen Zusammenhängen Rechnung.

Für den Fall $m = 0$ entsteht aus Glg. 5.4.4.8 eine Bestimmungsgleichung für den Eigenlastfaktor n .

$$\tau_{SoT} = n_T \tau_{S\infty T} + \tau_{mT}; \quad (5.4.4.9)$$

$$n = \frac{\tau_{SoT} - \tau_{mT}}{\tau_{S\infty T}} \quad (5.4.4.10)$$

Experimentell kann $\tau_{S\infty}$ mit dem Probe-Lastfaktor $m = i$ aus Glg. 5.4.4.8 über die Gleichung (siehe auch Anlage 7, Beispiel 4)

$$\tau_{S\infty} = \frac{\tau_{Si\gamma} - \tau_{m\gamma}}{n + i} \quad (5.4.4.11)$$

anhand eines hohen Lastfaktors i zu

$$\tau_{S\infty} = \lim_{i \rightarrow \infty} \left(\frac{\tau_{Si\gamma} - \tau_{m\gamma}}{n + i} \right) \quad (5.4.4.12)$$

$$\tau_{S\infty} \approx \frac{\tau_{Si\gamma}}{i} \quad \left| \quad i \gg n \quad (5.4.4.13) \right.$$

bestimmt werden. Experimente am stark unsymmetrischen Gatter NA 6 bestätigten, daß n eine praktisch vernachlässigbare Flankenabhängigkeit besitzt ($n_+ = 2,52$; $n_- = 2,11$).

Die Verzögerungszeit τ_{Sm} der Sprungantwort eines unter beliebiger Lastfaktor m arbeitenden Gatters kann mit Glg. 5.4.4.8 und Glg. 5.4.4.10 zu

$$\tau_{Sm\gamma} = \tau_{S\infty\gamma} \left(\frac{\tau_{S0} - \tau_{m\gamma}}{\tau_{S\infty\gamma}} + m \right) + \tau_{m\gamma} \quad (5.4.4.14)$$

$$\tau_{Sm\gamma} = \tau_{S0\gamma} + \tau_{m\gamma} + m \cdot \tau_{S\infty\gamma} \quad (5.4.4.15)$$

bestimmt werden. Mit der Näherung $\tau_{S\infty\gamma} = \tau_{Si\gamma}/i$ folgt

$$\tau_{Sm\gamma} = \tau_{S0} + \tau_{m\gamma} + \frac{m}{i} \tau_{Si\gamma} \quad (5.4.4.16)$$

Es empfiehlt sich, die Miller-Verzögerungszeiten anhand zweier dynamischer Simulationen der Sprungantwort des Gatters unter verschiedenem Lastfaktor zu ermitteln. Für den Fall des ausgangseitig leerlaufenden Gatters ($m = 0$) kann die Millerverzögerung beider Flanken überschlägig beim Wiedereintritt des Signals in den Hubbereich $U_L \dots U_H$ ($0 \dots U_{DD}$) gewonnen werden (Abb. 5.4.4-1)

Die Miller-Verzögerungszeit $\tau_{m\gamma}$ der Sprungantwort ist Folge der kapazitiven Überkopplung der Eingangs-Sprungfunktion auf den Ausgang. Die Überkopplung entsteht durch die Miller-Kapazität C_m der Gate-Drain-Kapazitätsanteile der schaltenden Transistoren. Substratdioden bewirken eine Abflachung der Miller-Spannungsüberhöhung ΔU_a . Die Ladung der Millerkapazität wird durch die Diffusionskapazität der Substratdioden vorübergehend gespeichert (Abb. 5.4.5-1). Die fiktive Verlängerung der Ausgangsflanke zum Zeitpunkt $t = 0$ kann durch ΔU_a angegeben werden. Die Miller-Hinwirkung auf den Ausgang ist im Ersatzschaltbild Abb. 5.4.5-2 festgehalten. Sie ist deshalb von Interesse, weil sich die auf den Lastfaktor m normierte Verzögerungszeit $\tau_S = \tau_{S\infty} + \tau_m$ des Gatters unter den Extrema $m = 0$ bzw. $m = \infty$ gerade um die Miller-Verzögerungszeit τ_m unterscheidet, geeignete Normierung vorausgesetzt.

$$\underline{m \gg 1}: \quad \tau_{S\gamma} \approx m \cdot \tau_{S\infty\gamma} \quad (5.4.5.1)$$

$$\underline{m = 0}: \quad \tau_{S\gamma} = n \cdot \tau_{S\infty\gamma} + \tau_{m\gamma} \quad (5.4.5.2)$$

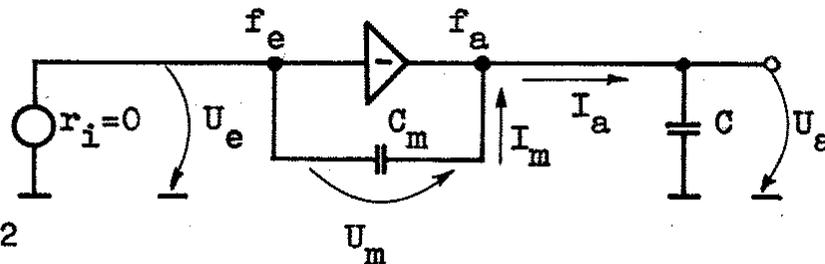


Abb.5.4.5-2

a) Bestimmung von C_m aus der Spannungsüberhöhung

Gilt im Einschaltmoment $t = 0$, daß der Strom durch die Millerkapazität C_m identisch dem Strom durch die Ausgangs- oder Lastkapazität C ist, kann die Ladungsbilanz

$$-I_m \Delta t = C_m \Delta U_m \quad \left. \vphantom{-I_m \Delta t = C_m \Delta U_m} \right\} \quad (5.4.5.3)$$

$$-I_a \Delta t = C \Delta U_a \quad \left. \vphantom{-I_a \Delta t = C \Delta U_a} \right\} \quad I_m = I_a \quad (5.4.5.4)$$

für $t = 0$ aufgestellt werden. Der Spannungsabfall $\Delta U_a + \Delta U_m$ ist identisch der Eingangsspannungsänderung $\Delta U_e = U_{Hub}$,

$$\Delta U_a + \Delta U_m = U_{Hub} \quad (5.4.5.4)$$

Auflösung nach ΔU_a ergibt die fiktive Spannungsüberhöhung des Gatters ohne Substratdioden

$$\Delta U_a = U_{Hub} \frac{1}{\frac{C}{C_m} + 1} \quad (5.4.5.5)$$

in Abhängigkeit von Miller- und Lastkapazität. Umgestellt nach C_m folgt eine Bestimmungsgleichung für die effektiv wirkende Millerkapazität des Gatters bei Sprungantwort:

$$\frac{C_{m\gamma}}{C} = \frac{1}{\frac{U_{Hub}}{\Delta U_{a\gamma}} - 1} \quad (5.4.5.6)$$

In die Lastkapazität gehen sowohl externe, wie auch interne, parasitäre Kapazitätsanteile der Transistoren ein, vgl. Abschnitt 4.13..

b) Bestimmung von C_m aus der Verzögerungszeit τ_m
 Die Flankensteilheit $\Delta U_a / \Delta t$ der Ausgangsflanke ist im Bereich $0 < t < t_0$ nahezu konstant, es gilt die Proportion

$$\frac{\Delta U_a}{\Delta t} = |f_S| U_{Hub} = -\frac{\Delta U_a}{\tau_m} \quad (5.4.5.7)$$

Daraus läßt sich die Verzögerungszeit τ_m unter Berücksichtigung von 5.4.5.5 zu

$$\tau_{m\gamma} = \frac{1}{|f_{S\gamma}|} \left(\frac{1}{\frac{C}{C_{m\gamma}} + 1} \right) \quad (5.4.5.8)$$

bestimmen. Umstellung nach C_m liefert eine Gleichung zur Bestimmung des Milleranteils C_m in Abhängigkeit von der Miller-Verzögerungszeit τ_m und der Lastkapazität C

$$\frac{C_{m\gamma}}{C} = \frac{1}{\frac{1}{(|f_S| \tau_m)_\gamma} - 1}$$

(5.4.5.9)

Die Gleichungen 5.4.5.6 und 5.4.5.9 werden zur näherungsweisen Bestimmung der Millerkapazität C_m aus einer Sprungantwort des ausgangsseitig leerlaufenden Gatters benötigt. Die genauere Bestimmung der Millerkapazität aus dem Vergleich der normierten Transfercharakteristiken des Gatters unter unterschiedlichem Lastfaktor m ist für praktische Anwendungen zu aufwendig.

5.5. Proportionen zwischen Quasistatik und Sprungantwort

5.5.1. Verhältnis der Verzögerungszeiten

In den Abschnitten 5.2.3. und 5.4.4. wurde gezeigt, daß die Verzögerungszeit eines Gatters für den Fall der Quasistatik und für den Fall der Sprungantwort gegen definierte Grenzwerte τ_Q und τ_S konvergiert. Für Abschätzungen der Gatterdynamik wird der Quotient der Verzögerungszeiten von Quasistatik τ_Q und Sprungantwort τ_S benötigt. Der Quotient τ_Q / τ_S stellt eine dimensionslose Größe dar. Der Quotient ist eine flankenrichtungsabhängige Gatterkonstante.

$$\boxed{v_{\tau} = \frac{\tau_Q}{\tau_S} \Big|_{U_{Inv}}} \quad (5.5.1.1)$$

Falls die Verzögerungszeiten τ_Q und τ_S nicht durch Simulationen zu bestimmen sind, kann v_{τ} in Abhängigkeit von der Flankenrichtung näherungsweise aus den Bestimmungsgleichungen für τ_Q (Glg. 5.2.3.6) und für τ_S (Gln. 5.4.4.4) bestimmt werden.

Die Konstanten v_{τ} ergeben sich flankenrichtungsabhängig unter Vernachlässigung der Millerverzögerungszeit τ_{mV} der Sprungantwort des Gatters zu:

$$\boxed{v_{\tau_{\infty-}} = \frac{r_{Inv} I_{No}}{U_{DD} - U_{Inv}}} \quad (5.5.1.2)$$

$$\boxed{v_{\tau_{\infty+}} = \frac{r_{Inv} (-I_{Po})}{U_{Inv}}} \quad (5.5.1.3)$$

Statt des allgemeinen Bezugspotentials U_0 muß in obigen Gleichungen die Inverterschwellspannung U_{Inv} eingeführt werden. Der Kleinsignal-Ausgangswiderstand $r_a = r_{Inv}$ des Gatters bezieht sich im Bereich der Quasistatik auf die Spannungen $U_e = U_a = U_{Inv}$; I_{No} bzw. I_{Po} charakterisieren die vom Gatter treibbaren Ausgangsströme nach Abschnitt 5.4.1. (siehe auch Anlage 7, Beispiel 5).

Die Inverterschwelle U_{Inv} stellt in invertierenden Gattern das einzige Bezugspotential U_0 des Gatters dar, für das aufgrund der zur Eingangzeitfunktion $U_e(t)$ invertierenden Ausgangszeitfunktion $U_a(t)$ die Verzögerungszeiten τ_Q von positiver und negativer Flankenrichtung identisch sind.

5.5.2. Länge der Übergangsbereiche

Abb.5.5.2-1 zeigt einen Ausschnitt aus dem dynamischen Transferkennlinienfeld eines Gatters.

Zwischen den Punkten P_1 und P_2 , für die die Verstärkungen $v = f_a/f_e = v(P_1) = v_0$ und $v(P_2) = -1$ gelten, soll das Verhältnis von Abszissen- und Ordinatendifferenz gebildet werden. Es interessiert eine allgemeine Beziehung zwischen v_a und v_e .

Mit $\lg(-v_0) = x$ (v_0 ist negativ) kann aus Abb.5.5.2-1 abgelesen werden

$$\lg v_e = x + z. \quad (5.5.2.1)$$

z stellt eine Kathete eines gleichschenkligen

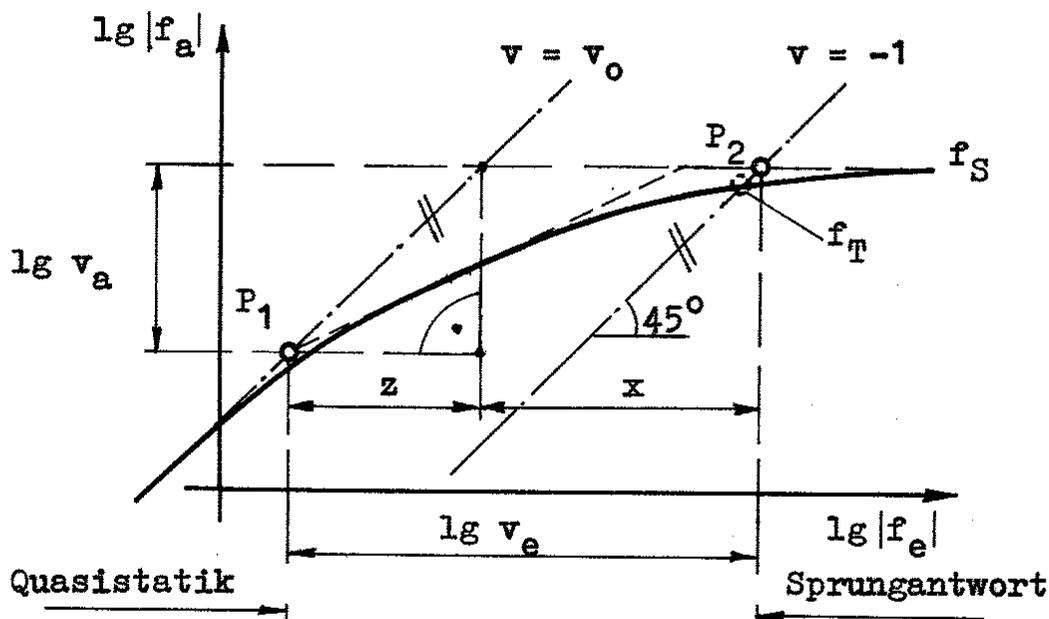


Abb.5.5.2-1

Dreiecks dar. Die andere Kathete wird von $\lg v_a$ gebildet,

$$z = \lg v_a. \quad (5.5.2.2)$$

Werden x und z in Glg. 5.5.2.1 eingesetzt, ergibt sich eine Beziehung zur Bestimmung der Länge des Übergangsbereiches zwischen Quasistatik und Sprungantwort. Der Übergangsbereich v_e der Eingangsflankensteilheit f_e korreliert mit dem der Ausgangsflankensteilheit f_a ,

$$\lg v_e = \lg(-v_0) + \lg v_a \quad (5.5.2.3)$$

$$v_e = -v_0 \cdot v_a \quad (5.5.2.4)$$

$$\boxed{v_e + v_o v_a = 0} \quad (5.5.2.5)$$

Gleichung 5.5.2.5 besagt, daß die Länge des Übergangsbereiches v_e stets zur Länge des Übergangsbereiches v_a proportional ist.

Als Proportionalitätsfaktor wirkt die (statische) Leerlaufverstärkung v_o .

Die Grenzen des Übergangsbereiches zur Quasistatik und zur Sprungantwort sind festzulegen.

Punkt P_1 kann zB. charakterisiert werden durch das Verhältnis der Quasistatik

$$f_{aQ} = v_o f_{eQ} \quad (5.5.2.6)$$

An der Stelle P_2 ist die Eingangsflankensteilheit f_e gerade der Ausgangsflankensteilheit f_s der Sprungantwort identisch,

$$f_e = f_{eS} = -f_{aS} = -f_s \quad (5.5.2.7)$$

Damit sind v_e und v_a festgelegt zu

$$\boxed{v_e = \frac{f_{eS}}{f_{eQ}} = - \frac{f_s}{f_{eQ}}} \quad (5.5.2.8)$$

$$\boxed{v_a = \frac{f_{aS}}{f_{aQ}} = \frac{f_s}{f_{aQ}}} \quad (5.5.2.9)$$

Über die direkte Umformung der Gleichungen 5.5.2.6...8 kann das Ergebnis, Glg. 5.5.2.5, auch formal hergeleitet werden.

Abb. 5.5.2-1 verdeutlicht, daß der Transitfall $|f_{aT}| = |f_{eT}|$ für physikalische Beschreibungen der Gatterdynamik als Bezugspunkt ungeeignet ist.

Die wenigen, bislang vorgenommenen dynamischen Simulationen (Gatter NA6 und SYNEG) deuten an, daß v_a und v_e unabhängig von der Flankenrichtung sind (Anlage 7, Beispiel 6).

5.6. Relativität der Last

Ein beliebig nichtlineares Gleichungssystem ist auf eine Konstante normierbar, solange beide Seiten der Gleichungen auf dieselbe Größe normiert werden. Folglich ist die Gleichung der Gatterdynamik in konventioneller Form, vereinfacht z.B.

$$I_{DSN}(U_e, U_a) + I_{DSP}(U_e, U_a) = -C_L \cdot \frac{dU_a}{dt} \quad (5.6.1)$$

unabhängig von aktueller Eingangsspannung U_e und von aktueller Ausgangsspannung U_a normierbar. Wird als Normierungsgröße die Gateoxidkapazität des Gattereingangs C_{Ox} benutzt, kann als Lastfaktor m der Quotient aus an das Gatter angeschlossener Lastkapazität C_L und Oxidkapazität C_{Ox} definiert werden:

$$m = \frac{C_L}{C_{Ox}} \quad (5.6.2)$$

Die Ströme I_{DSN} und I_{DSP} von N- und P-Kanal-Transistor eines CMOS-Inverters lassen sich ausdrücken zu

$$\begin{aligned} I_{DS\gamma} &= \frac{B_\gamma}{L_\gamma} \beta_0 \cdot f(U_e, U_a) \\ &= \frac{B_\gamma}{L_\gamma} C_{Ox}'' \cdot \underbrace{\mu(U_e, U_a) \cdot f(U_e, U_a)}_{k_\gamma} \end{aligned} \quad (5.6.3)$$

C_{Ox}'' stellt die flächenbezogene Oxidkapazität $\mu(U_e, U_a)$ die Majoritätsladungsträgerbeweglichkeit des Transistors dar. Ist die Oxidkapazität C_{Ox} als Zusammenfassung der Oxidkapazitäten von P- und N-Zweig des Gatters auffassbar

$$C_{Ox} = (B_N L_N + B_P L_P) C_{Ox}'' \quad (5.6.4)$$

so liefert die Normierung der linken Seite von Glg. 5.6.1:

$$\frac{I_a}{C_{Ox}} = \frac{I_{DSN}}{C_{Ox}} + \frac{I_{DSP}}{C_{Ox}} = \frac{B_N k_N}{L_N (B_N L_N + B_P L_P)} + \frac{B_P k_P}{L_P (B_N L_N + B_P L_P)} \quad (5.6.5)$$

für jedes beliebige Wertepaar U_e, U_a .

Werden alle Gatter betrachtet, deren Kanallänge $L = L_N = L_P$ konstant ist, folgt

$$\frac{I_a}{C_{Ox}} = \frac{1}{L^2} \left(\frac{k_N}{1 + \frac{B_P}{B_N}} + \frac{k_P}{1 + \frac{B_N}{B_P}} \right) . \quad (5.6.6)$$

Die Lösung der Differentialgleichung 5.6.1 ist, wenn die Klasse aller Inverter gleicher Breitenverhältnisse $B_N/B_P = \text{konst.}$ betrachtet wird, folglich abhängig vom Lastfaktor m

$$\frac{I_a}{C_{Ox}} = \text{konst.} = -m \frac{dU_a}{dt} . \quad (5.6.7)$$

Werden Gatter mit gleichem Lastfaktor $m = \text{konst.}$ benutzt, so liefern diese Gatter bei identischer Eingangsfunktion $U_e(t)$ eine identische Ausgangsfunktion $U_a(t)$ (Abb. 5.6-1).

Die Eingangskapazität steigt allerdings proportional zur höheren Oxidkapazität breiterer Transistoren.

Folglich läßt sich unter Einführung des Lastfaktors m mit einer Simulation eines Inverters der Transistorbreiten $B_{N1}/B_{P1} = a$ auf die Klasse aller Inverter γ des gleichen Breitenquotienten $B_{N\gamma}/B_{P\gamma} = a$ schließen. Diese von Mead/Conway /M6/ aus Beobachtung formulierte These erweist sich insofern als nützlich, als damit mit einer einzigen Simulationsreihe an einem Gatter die Klasse aller Gatter derselben Inverterschwellspannung U_{Inv} beschrieben werden kann. Verbal läßt sich der Satz formulieren:

- Gatter gleichen Typs und gleicher Inverterschwellspannung, aber unterschiedlicher Transistorbreiten sind bei identischer Eingangsflanke dann gleich-
- schnell, wenn sie unter identischem Lastfaktor m betrieben werden.

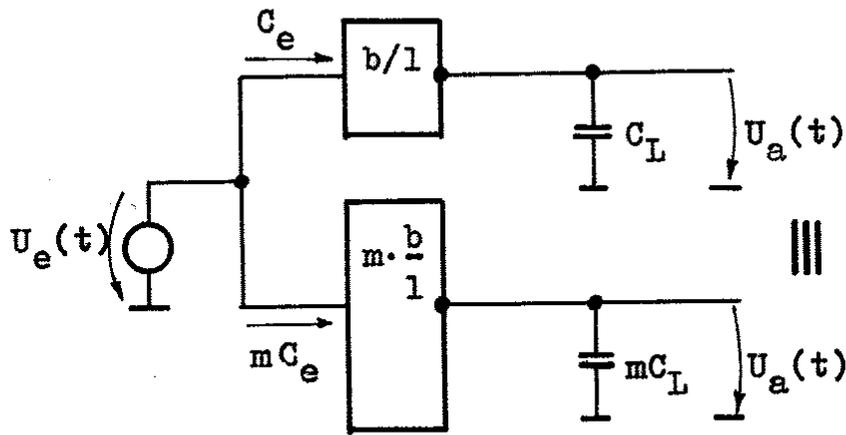


Abb.5.6-1

Sämtliche folgende Darstellungen wurden demgemäß mit dem Lastfaktor m als Parameter durchgeführt. Als Normierungskonstante wird die aus der Kanalgeometrie des Gatters ablesbare Gateoxidkapazität C_{Ox} benutzt. In Simulationen ist die gefundene Gesetzmäßigkeit nachweisbar, sofern die Differenz zwischen der für den Transistor elektrisch wirksamen Breite und der Oxidbreite des Transistors vernachlässigbar ist.

Als Vereinbarung soll festgehalten werden:

Bei einstufigen Elementargattern (NEG, NOR, NAND) wird der stetig ausgangsseitig zu verstehende Lastfaktor m auf die Oxidkapazität C_{Ox} der den Signalwechsel verursachenden Eingangsstufe bezogen. Für aus Elementargattern zusammengesetzte Baugruppen, deren Größe nicht breitenvariabel ist, besteht nicht die Notwendigkeit der Einführung eines Lastfaktors.

Es ist zu beachten, daß die reale Eingangskapazität C_e des Gatters von den aktuellen Betriebsbedingungen des Gatters, insbesondere von U_a und U_e , sowie von der Miller-Rückwirkung über die Gate-Drain-Kapazität der Transistoren abhängig ist. Es gilt stets:

$$C_e = f(U_e, U_a, U_e(t), U_a(t)) \neq C_{Ox} \quad (5.6.8)$$

Nach Glg. 4.13.10 gilt im Arbeitspunkt der Inverterschwelle:

$$C_e = C_{Ox} - \frac{f_a}{f_e} C_m \quad (5.6.9)$$

6. Untersuchung der Gatterdynamik invertierender CMOS-Gatter

Die im folgenden dargestellten Experimente zur Gatterdynamik entspringen dem Wunsch, Gatter-Verzögerungszeiten bei Logiksimulationen schnell und einfach ermitteln zu können. Leitgedanke ist der daß künftig ein herkömmlicher Logiksimulator benutzt werden kann (z.B. /S13/, /L12/), der den logisch aktiven Signalpfad vorbestimmt, und Flankenrichtungen sowie Ausbreitungsrichtung der Signale vorgibt; und der in den dynamischen Transferkennlinienfeldern betreffender Gatter die aktuelle Flankensteilheit sowie die aktuelle Verzögerungszeit bestimmt. Die Messungen der Flankensteilheiten f_a und f_e sowie der Verzögerungszeit τ des zu untersuchenden Gatters erfolgten unter Beachtung der im Kapitel 4 eingeführten Axiome (Abb. 6.0-1).

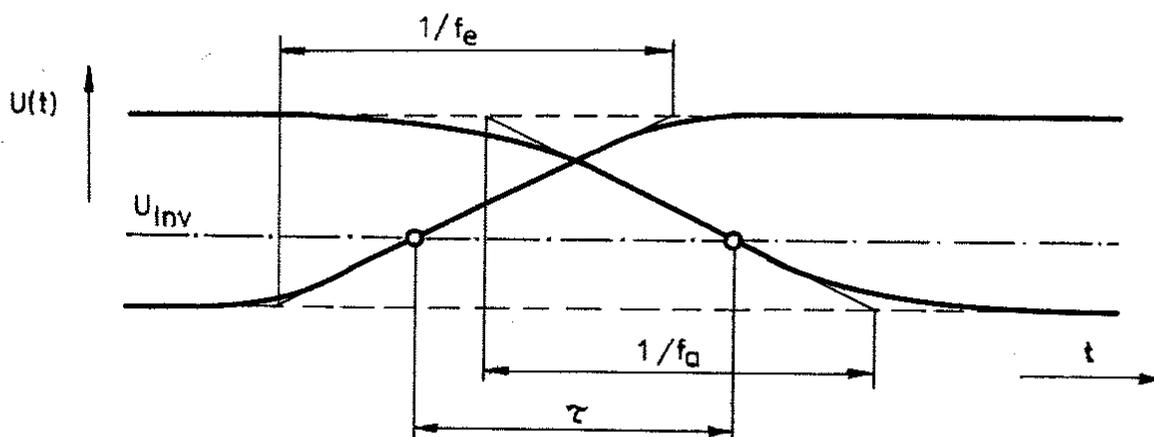


Abb. 6.0-1

Im Vergleich von ausgewählten CMOS-Grundgattern (Inverter, NOR, NAND) werden wesentliche dynamische Eigenschaften deutlich. Die Untersuchung ist dem Ziel gewidmet, eine Funktion der Abhängigkeit der Verzögerungszeit τ von der Flankensteilheit am Eingang f_e und vom Lastfaktor m

$$\tau = f(f_e, m) \quad (6.0.1)$$

sowie eine Funktion der Abhängigkeit der Ausgangsflankensteilheit f_a von der Eingangsflankensteilheit f_e und vom Lastfaktor m zu ermitteln

$$f_a = f(f_e, m) \quad (6.0.2)$$

In Abb. 6.0-2 ist symbolisch das zu bestimmende Gattermodell angegeben.

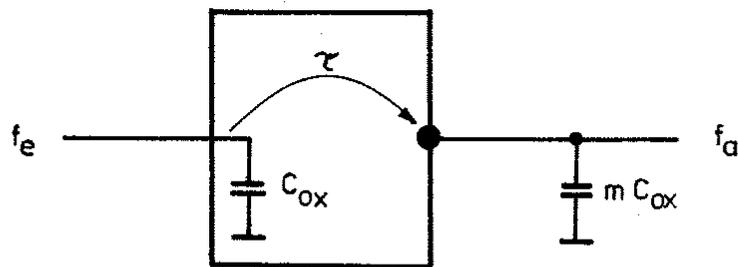


Abb.6.0-2

Dieses Gattermodell wird durch ein analytisch iterationsfrei lösbares Gleichungssystem charakterisiert. Die angegebenen Kennlinien können z.B. durch stückweise (z.B. Spline-) oder kontinuierliche (z.B. Lagrange- oder Newton-) Interpolationspolynome approximiert werden /B15/. Die Genauigkeit der Approximation kann verbessert werden, indem die Eingangskapazität

$$C_e = f(f_a / f_e) \quad (6.0.3)$$

als Funktion der Flankentransfercharakteristik nach Abschnitt 5. eingeführt wird. Damit ist zu Rechnungsbeginn die aktuelle Knotenkapazität jedes Knotens unbekannt, für jede den Knoten passieren Flanke ist ein Iterationszyklus auszuführen. Das Gattermodell hätte die in Abb. 6.0-3 dargestellte Form.

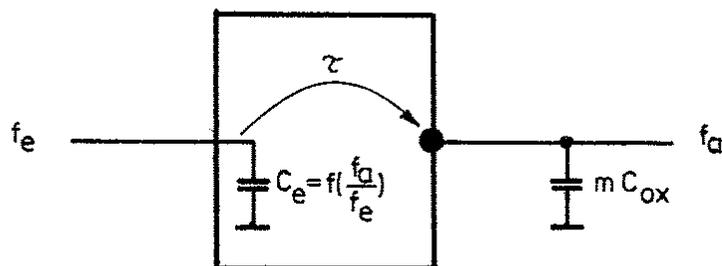


Abb.6.0-3

6.1. Derzeitiger Erkenntnisstand

Aus der Historie der Entwicklung der Fernsehübertragungstechnik sind Problemstellungen bekannt, die gewisse Analogien zu Verzögerungszeitproblemen des Schaltkreisentwurfs haben. So sind z.B. in /D13/ und /W12/ verschiedene Untersuchungen von Verzögerungs-

ketten mit den Mitteln der linearen Systemtheorie publiziert worden. In Kap. 7 werden die Grenzen der linearen Systemtheorie zur Approximation der Dynamik digitaler Gatter kurz umrissen.

Empirische Verzögerungszeitformeln werden in Gatearray- und Standardzellkonzepten genutzt. Zwischen Eingangsflankensteilheit und Verzögerungszeit sowie Lastfaktor werden lineare Beziehungen angenommen, s. /F2/, /L7/.

Ausgangspunkt der Zeitkonstanten-Approximation (/02/, /03/, /H8/) ist, daß jeder MOS-Transistor durch einen geschalteten, "effektiven" Source-Drain-Widerstand charakterisiert wird. Dieser Widerstand ist invers proportional zum Breiten- zu Längenverhältnis des Transistors. Die erreichbare Approximationsgüte ist aufgrund der Willkürlichkeit der Modellvorstellung ungewiß und fallabhängig. Relative Fehler von mehreren tausend Prozent sind im Bereich der Quasistatik nicht auszuschließen. Die Anwendungsquote von Timingsimulatoren dieses Typs leidet unter diesem Umstand. Indes ist diese Form der Gewinnung von Verzögerungszeiten noch genauer als die Praxis der Angabe von pauschalen, ohne Bezug zur Schaltung stehenden Verzögerungszeiten in derzeitigen Logiksimulation. Einziger Vorteil der Methode ist der, daß die Lösung der Differentialgleichung der ausschließlich vorkommenden RC-Glieder in analytischer Form bekannt ist. Der Ausgangsspannungsverlauf $U(t)$ besitzt stets den Charakter einer Sprungantwort eines RC-Gliedes, die im Exponenten stehende Zeitkonstante ergibt sich aus der Multiplikation von "effektiv" wirkenden Source-Drain-Widerstand R eines Transistors und Lastkapazität des Knotens C ,

$$U(t) = U_{DD} \begin{cases} \exp(-t/\tau) & \text{(fallende Flanke)} \\ 1 - \exp(-t/\tau) & \text{(steigende Flanke)}. \end{cases} \quad (6.1.1)$$

Timing-Simulatoren, die nach der Zeitkonstanten-Approximation arbeiten, werden in der Literatur auch als Schaltpegel-Simulatoren (switch-level-simulator) bezeichnet.

Andere Typen von Timing-Simulatoren z.B. /L13/, die auf vereinfachten Iterationsverfahren der Netzwerkanalyse aufbauen, liefern genauere Ergebnisse als die Zeitkonstanten-Abschätzung (z.B. /H1,

Ihre Weiterentwicklung jedoch scheitert am zu hohen Rechenzeitbedarf. Sie arbeiten, verglichen mit Logiksimulatoren, bei gleicher Problemgröße zumindest um den Faktor nötiger Iteration pro simulierte Flanke zu langsam, und sind deshalb für die dynamische Verifikation kompletter Schaltkreise des VLSI-Niveaus ungeeignet

6.2. Untersuchungsmethodik

Die Untersuchungen wurden anhand eines auf die Betriebsspannung $U_{DD} = 5V$ symmetrierten CMOS-Inverters (SYNEG) und anhand typischer CMOS-Standardzell-Gatter, des Inverters NEG1 und des Gatters NA6 (6-fach NAND) mit dem Netzwerkanalyseprogramm NIFAN /N3/ vorgenommen. Sämtliche Simulationsergebnisse wurden aus Plottbildern ermittelt, da es darum ging, eine brauchbare Methodik aus der Fülle denkbarer, aber unbrauchbarer Möglichkeiten herauszulösen. Die Genauigkeit der Simulationen litt unter diesem Umstand.

Die Untersuchungen wurden so durchgeführt, daß jeweils zehn Gatter identischen Typs, davon jeweils fünf Paare mit entgegengesetzten Vorzeichen der Flankensteilheit, mit fünf um den Faktor 10 gestaffelten Beträgen der Flankensteilheit beaufschlagt wurden. Somit ergab jeweils eine Simulationsreihe Ergebnisse im Bereich des Faktors der Flankensteilheit von $\pm 1 \dots 100 \sqrt{10}$.

Im logarithmischen Maßstab sind dies die äquidistanten Stützstellen (1, 3.162, 10, 31.62, 100, 316.2).

Als Bezugspotential wurde ausschließlich das der Quasistatik der Gatter U_{Inv} benutzt. Dazu wurde in jeder Simulation ein elftes Gatter identischen Typs statisch rückgekoppelt. Dieses Gatter liefert das in die Prozedur EDGE aller anderen 10 Gatter eingehende Bezugspotential U_{Inv} (Inverterschwellspannung). Für Gatter hoher Leerlaufverstärkung v_0 zeigte sich, daß bis zu drei aufeinanderfolgende Simulationen (entspricht 15 Stützstellen) nötig waren, um den gesamten Arbeitsbereich des Gatters für einen Wert des Lastfaktors zu durchfahren. Da Wert darauf gelegt wurde, Unterschiede zwischen unter Wirkung des Millereffekts stehenden Gattern (kleine Lastkapazitäten) und frei von Millerwirkung bleibenden Gattern (hohe Lastkapazität) festzustellen, ist zu ermes-sen, daß der manuelle Arbeitsaufwand für die Untersuchung eines

Gattertyps bei variabler Lastkapazität beträchtlich ist. Die Untersuchungen waren vorwiegend orientierenden Charakters. Für eine zielgerichtete produktionsreife Untersuchung z.B. aller Gatter eines Schaltkreises scheidet der vorgestellte, manuelle Experimentierweg aus. Der Einfluß der Lastkapazität wurde, mit einer Normierung auf die eigene Eingangskapazität des Gatters, als Lastfaktor m in den Schritten von

$$m = 0, 1, 3.16, 10, 31.6, 100, 316, 1000 \quad (6.2.1)$$

simuliert. Der Lastfaktor m ergab sich aus dem Verhältnis von Lastkapazität C_L zu Oxidkapazität C_{Ox} des Gattereinganges, $m = C_L / C_{Ox}$.

In Anlage 4 sind die Steuerdaten für einen unter den genannten Aspekten durchgeführte Simulationskomplex (10 Meßpunkte) aufgeführt.

Von jeder Simulation wurde die normierte Flankensteilheit f_a am Ausgang und die Verzögerungszeit τ beim Durchgang von Eingangsspannung und Ausgangsspannung durch das Bezugspotential U_{Inv} als Funktion der normierten Eingangsflankensteilheit f_e und des Lastfaktors registriert:

$\tau = f(f_e, m)$	(6.2.2)
$f_a = f(f_e, m)$	(6.2.3)

6.3. Simulationsbeispiel

Abbildung 6.3-1 zeigt den zur Simulation benutzten Schaltungsaufbau.

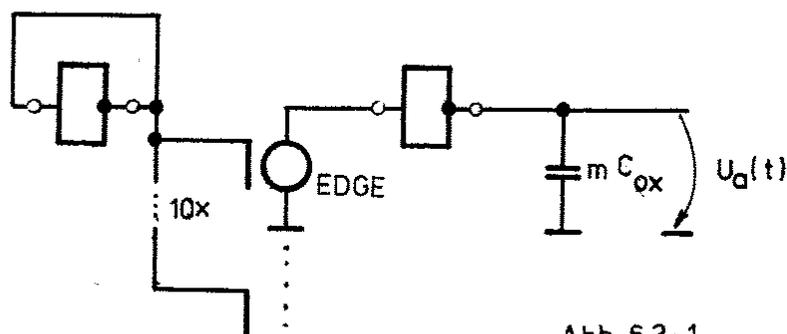


Abb. 6.3-1

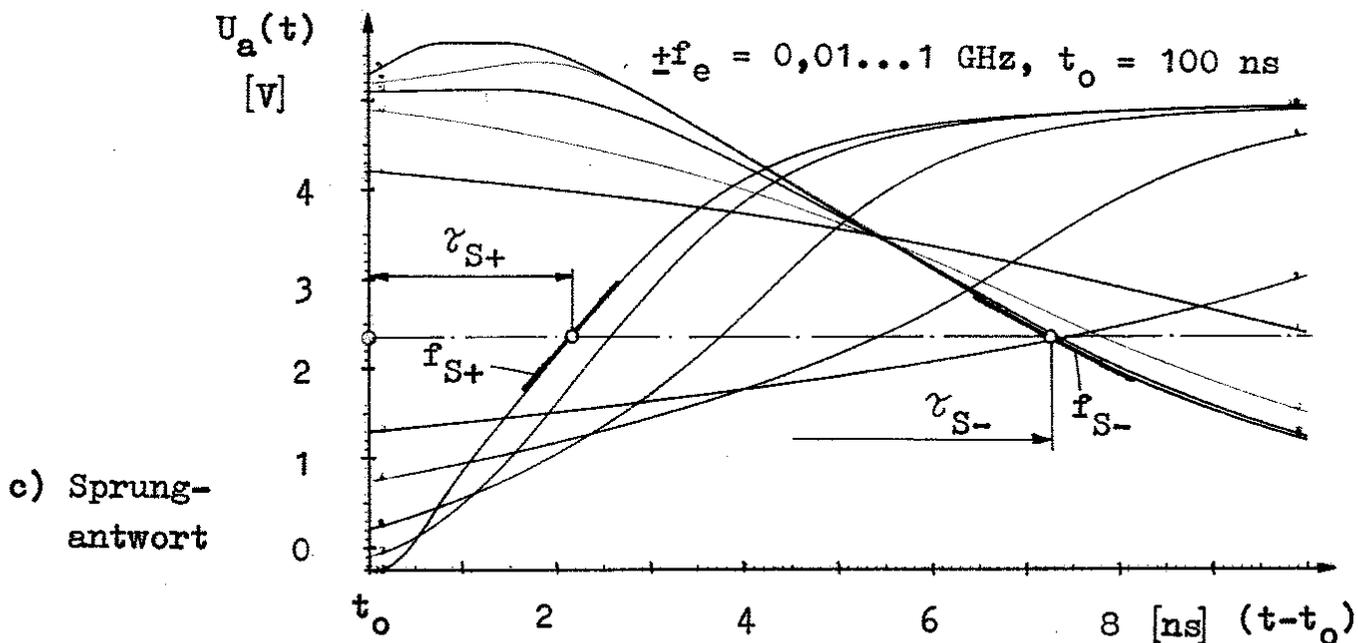
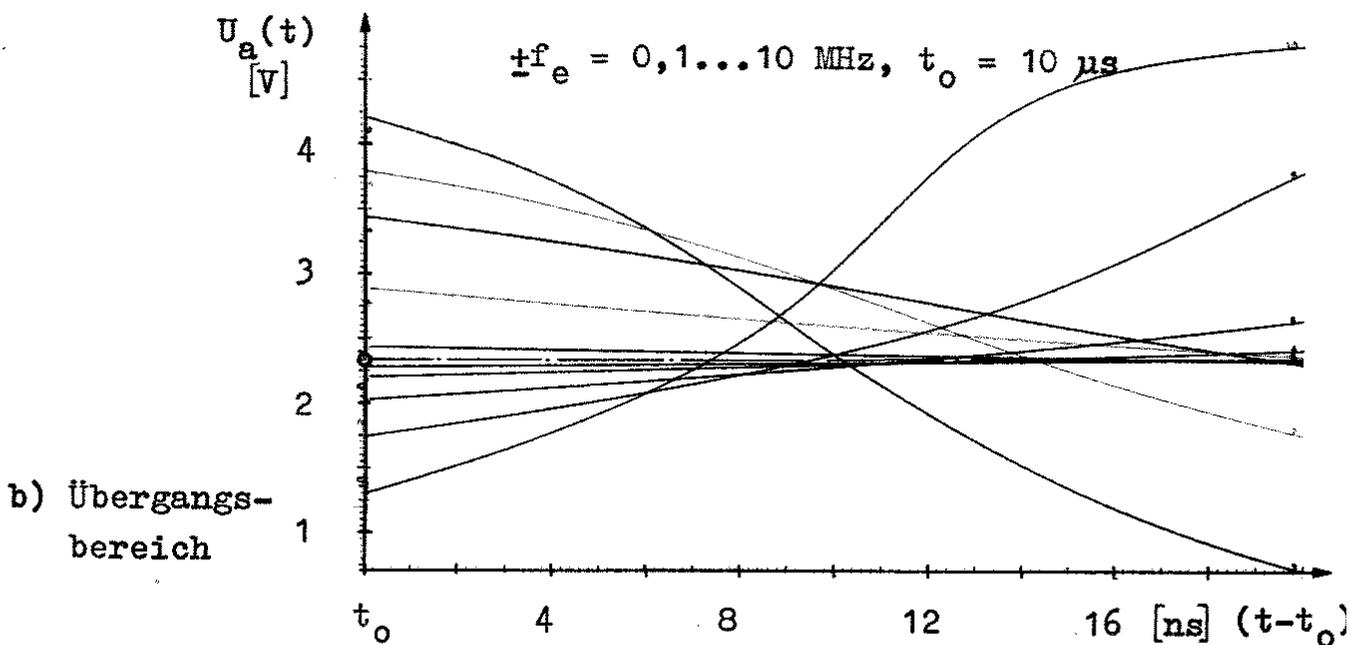
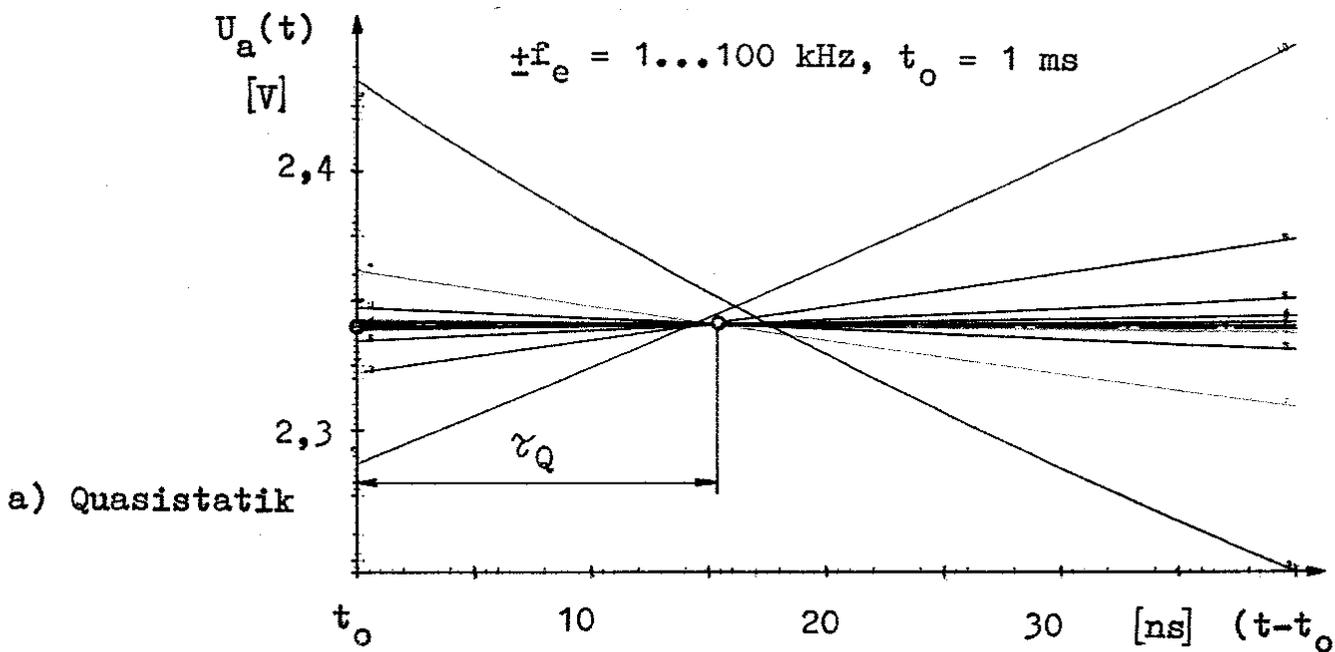


Abb.6.3-2: Gesamtsimulation aller Arbeitsbereiche des Gatters NA6.
 Daten: $U_{Inv} = 2,3409 \text{ V}$, $m = 0$, $U_{DD} = U_{Hub} = 5 \text{ V}$.

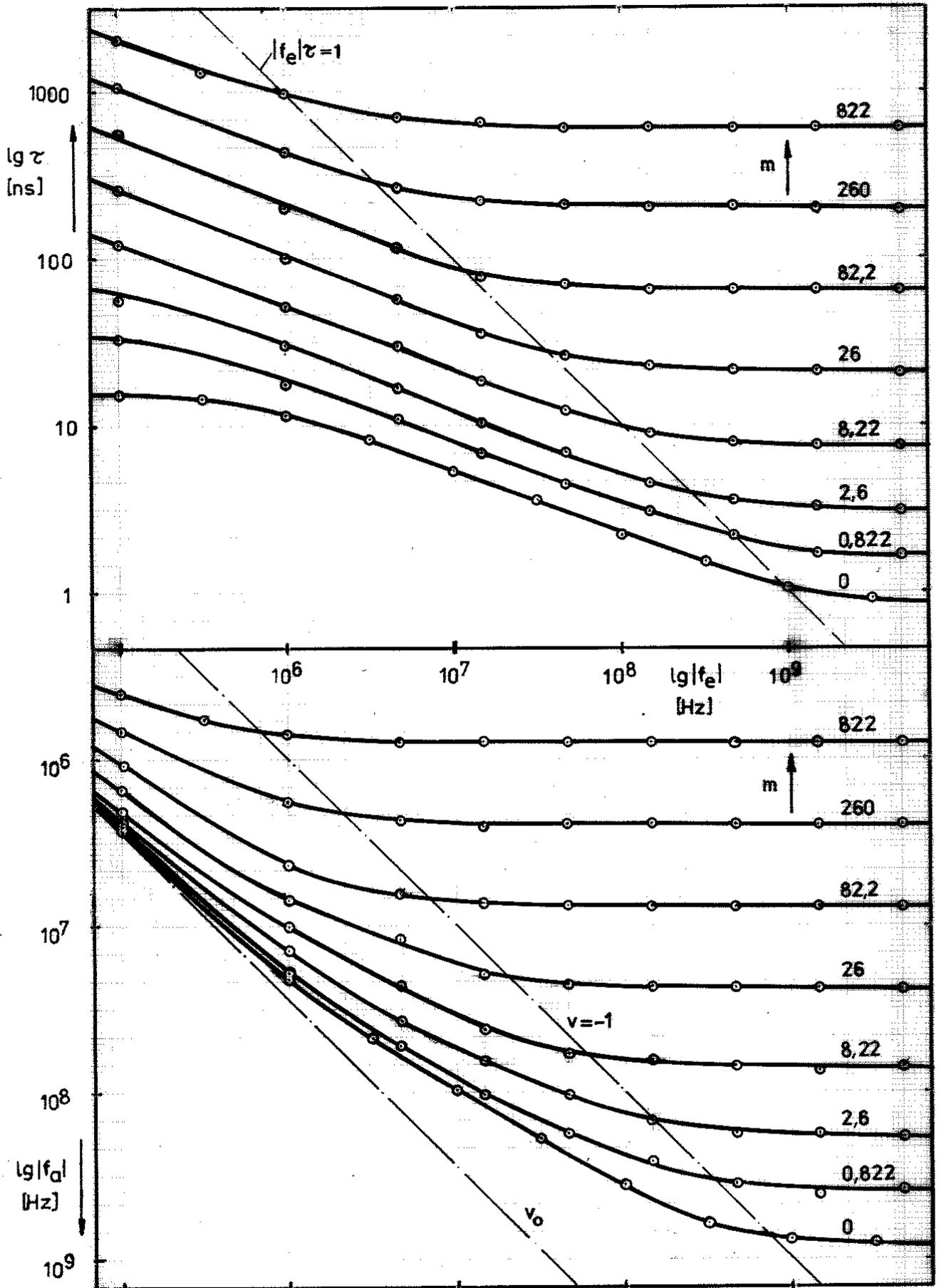


Abb.6.4-1: Dynamisches Transferkennlinienfeld der fallenden Ausgangsflanke. Gatter SYNEG. $U_{Inv} = 2,50V$; $I_{No} = 0,854mA$; $v_0 = -27,7$; $r_{Inv} = 69k\Omega$; $B_N/B_P = 0,33$; $U_{Hub} = U_{DD} = 5V$; $C_{ox} = 0,2714pF$.

In Abb. 6.3-2 ist ein typisches Ergebnis einer Simulation angegeben. Es wurden zehn identische Gatter mit identischer Belastung mit unterschiedlichen Flankensteilheiten der Eingangsspannung simuliert. Die Ausgangsflanken der Gatter wurden im Bild (Abb. 6.3-2) festgehalten. Jeweils fünf Gatter wurden mit positiver, die anderen fünf mit negativer Eingangsflankenrichtung betrieben. Der linke Bildrand wurde auf die Zeit $t = t_0$ festgelegt. Es ist zu erkennen, daß die identischen Gatter auf unterschiedliche Flankensteilheiten der Eingangsspannung sehr verschieden reagieren.

Die Inverterschwelle wurde als gestrichelte Linie eingezeichnet. Die Simulationen wurden am 6-fach NAND-Gatter NA6 einer CSGT2-Standardzelltechnologie durchgeführt.

Sehr gut sind die scheinbar jeglicher Gesetzmäßigkeit entsagenden Flankenformen zu erkennen. Die Bilder geben lückenlos den gesamten Arbeitsbereich des Gatters NA6 von der Quasistatik Abb. 6.3-2, bis zur Sprungantwort, c) an. Das erste und das fünfte Kurvenpaar aus Abb. b) stimmt mit dem letzten aus a) bzw. mit dem ersten aus c) überein.

6.4. Dynamisches Transferkennlinienfeld

Mit der Einführung der aus dem Abbruch der Taylorentwicklung nach dem zweiten Glied entstammenden Charakteristiken der Flankensteilheit f und der Verzögerungszeit τ stehen Werkzeuge zur Verfügung, die die Dynamik digitaler Gatter zu vermessen. Korrelieren Flankensteilheit und Verzögerungszeit des Gatters in den Grenzbereichen Quasistatik und Sprungantwort in gezeigter Weise, so gelang es bislang noch nicht, geeignete analytische Beziehungen in beliebigen Betriebsbereichen zu finden. Zur Darstellung des gesamten Betriebsbereiches des Gatters wurde ein Medium gesucht, die Informationen Verzögerungszeit τ und Flankensteilheit f_a am Ausgang des Gatters in Abhängigkeit von der Eingangsflankensteilheit f_e und von der aktuellen kapazitiven Belastung des Gatters, ausgedrückt im Lastfaktor m , anschaulich abzubilden. Die gesuchte Abbildung wird als "dynamisches Transferkennlinienfeld" des Gatters bezeichnet (Abb. 6.4-1). Entlang der Abszisse wird logarithmisch der Betrag der Eingangsflankensteilheit $\log |f_e|$ aufgetragen. Auf

der positiven Ordinate wird logarithmisch die Verzögerungszeit des Gatters τ aufgetragen. Um anzudeuten, daß die Ausgangsflankensteilheit des Gatters f_a stets negativ zur Eingangsflankensteilheit f_e ist, wird der Logarithmus des Betrages der Ausgangsflankensteilheit $\log |f_a|$ in negativer Abszissenrichtung angetragen.

Die Darstellung kennzeichnet die Klasse aller Inverter des Kanalbreitenverhältnisses $B_P/B_N \approx 3$ ($U_{Inv} = 2,50V$) der gewählten CSGT2 Technologie bei beliebiger Lastkapazität. Aus Übersichtlichkeitsgründen wurde in Abb. 6.4-1 auf die Darstellung der anderen Flankenrichtung, $f_a = f(-f_e)$, verzichtet. Sie weicht aufgrund der gewählten, symmetrischen Invertertyps SYNEG (s. Anlage 1) nur unwesentlich von der Darstellung der Flankenrichtung $-f_a = f(f_e)$ ab.

6.5. Normiertes DTKF

Die Darstellung des DTKF in Abb. 6.4-1 macht deutlich, daß der Lastfaktor m des Gatters eine Verschiebung der Einzelkennlinien entlang der eingezeichneten Achsen $|f_e|\tau = \text{const.}$ und $|f_a| = |f_e|$ bewirkt. Zur Untersuchung, wie stark die jeweiligen Einzelkennlinien voneinander abweichen, werden die Achsen normiert.

Die Abszisse wird dazu auf die Flankensteilheit $\lg |f_e/f_{Sx}|$ umgerechnet; f_{Sx} kennzeichnet die Flankensteilheit der Sprungantwort in Abhängigkeit von der Flankenrichtung unter dem aktuellen Lastfaktor.

Die Ordinate ist geteilt. Im oberen Teil wird die auf die Eingangsfankendauer $1/f_e$ normierte Verzögerungszeit $\lg |\tau f_e|$ eingetragen, im unteren Teil wird die logarithmische Spannungsverstärkung $\lg |f_a/f_e|$ dargestellt.

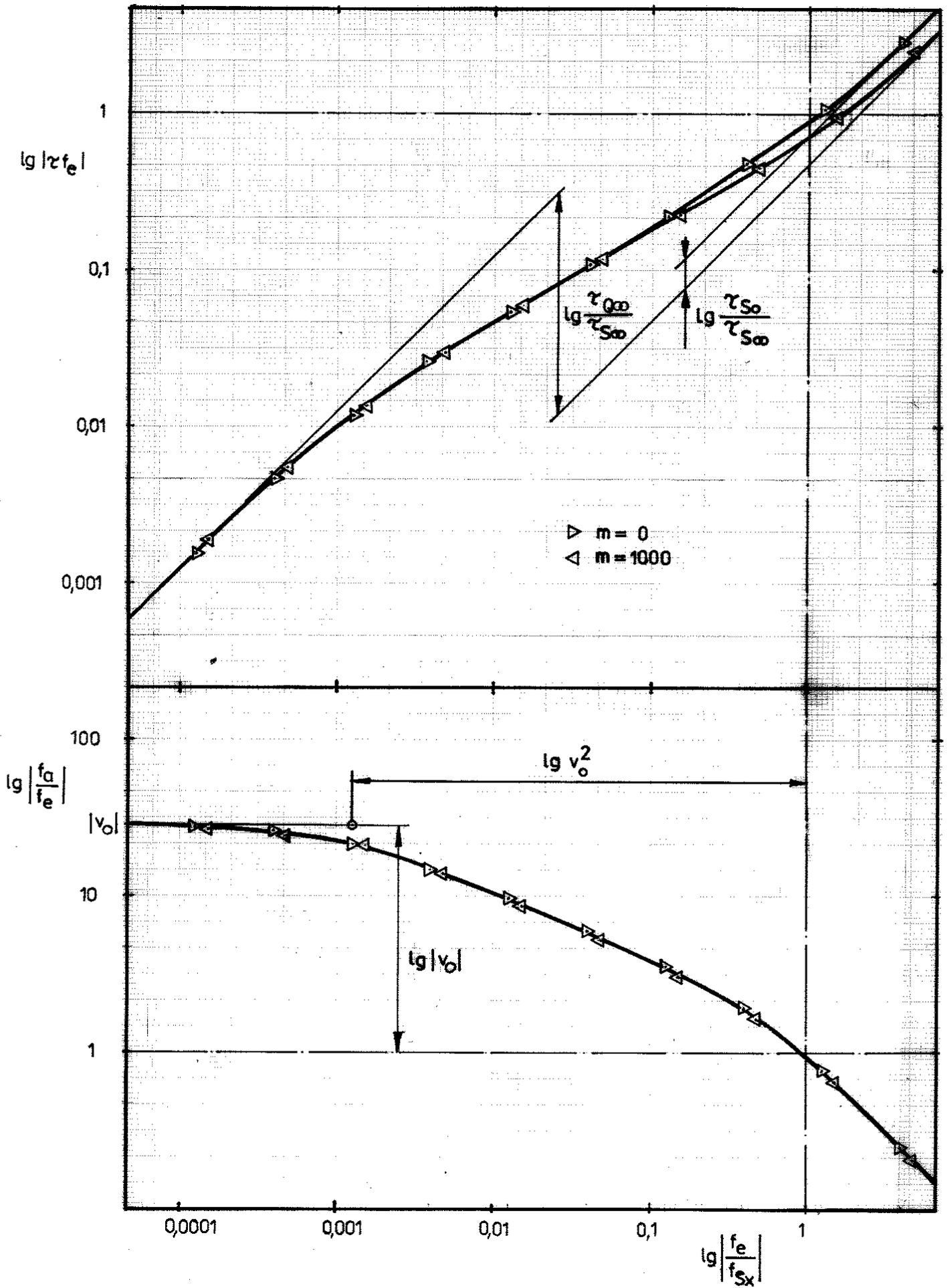


Abb.6.5-1: Normiertes DTKF der fallenden Ausgangsflanke.
Gatter SYNEG.

Es zeigt sich, daß die normierte Flankentransfercharakteristik $f_a/f_e = f(f_e)$ unabhängig vom Lastfaktor bleibt! Hingegen zeigt die Verzögerungszeitcharakteristik $\tau = f(f_e)$ an, daß zwischen unterschiedlich stark belasteten Gattern Unterschiede bestehen. Diese Unterschiede sind mit der unterschiedlichen Wirkung des Miller-effekts zu interpretieren. In Abschnitt 5.4.5. war die Millerwirkung der inneren Koppelkapazitäten zwischen Eingang und Ausgang des Gatters untersucht worden. Bei kleiner, externer Belastung kommt die Millerkapazität des Gatters stärker zur Wirkung ($m = 0$) bei hinreichend großer externer Last ($m = 1000$) wird sie unwirksam. Die Millerzeitkonstante τ_m aus Abb. 5.4.5-1 geht für große Ausgangsbelastungen gegen Null.

Die Darstellung nach Abb. 6.5-1 zeigt erstmalig, daß ein digitaler Gatter für einen Gattertyp gleicher Transistorbreitenverhältnisse B_N/B_P eine bis auf die Millerabweichung der Verzögerungszeit der Sprungantwort lastunabhängige Übertragungscharakteristik besitzt. Welche Bedeutung besitzt diese Aussage?

1. Die normierte DTKF-Darstellung (NDTKF) zeigt die Möglichkeit an, die Dynamik digitaler Gatter in geschlossener Form zu modellieren.
2. Mit der Modellierung des NDTKF ergibt sich die Möglichkeit, iterationsfrei die Dynamik großer Schaltkreise zu bestimmen, indem von jedem Gattertyp einmalig vor Rechnungsbeginn die NDTKF mittels Netzwerksimulation bestimmt wird, und in der dynamischen Logiksimulation jeweils nur im NDTKF des betreffenden Gatters die Verzögerungszeit abgelesen wird. Damit kann der Aussagewert dynamischer Logiksimulationen von CMOS-Schaltungen erheblich gesteigert werden, ohne den Berechnungsaufwand der Logiksimulation drastisch zu steigern.
3. Es entsteht die Möglichkeit, Schaltkreise des VLSI- und ULSI-Niveaus dynamisch verifizieren zu können.
4. Die vorangegangenen Betrachtungen zeigten, daß es möglich ist, näherungsweise eine theoretische Voraussage des NDTKF ausgehend von statischen Gatterparametern anzugeben. Damit wird dem Ingenieur ein Werkzeug gegeben, mit dem die Dynamik von Gattern bereits in der Synthesephase eines Schaltkreises voraussagbar ist.

Abbildung 6.5-1 zeigt, daß durch die Normierung der Verzögerungszeit τ auf die Flankendauer der Eingangsflanke $1/f_e$ nur ein geringer Abstraktionsgewinn entsteht. Die normierte Verzögerungszeit $|\tau f_e|$ von stark belastetem und von unbelastetem Gatter sind im Arbeitsbereich der Quasistatik identisch. In den folgenden Betrachtungen wird die Verzögerungszeit τ deshalb auf die Zeitkonstante der Quasistatik τ_Q bezogen. τ_Q kann nach Abschnitt 5.2.3 als Funktion des Lastfaktors m angegeben werden.

Der direkte Weg der Ermittlung von τ_Q über Gleichung 5.2.3.8 ist für praktische Belange ungünstig. Stark belastete, im Bereich der Sprungantwort arbeitende Gatter, deren Verzögerungszeit stark in die Gesamtverzögerungszeit eines Signalpfades eingeht, sollten über $\tau_Q = v_\tau \tau_S$ (Glg. 5.5.1.1) bestimmt werden, d.h. τ_S sollte aus Genauigkeitsgründen Bezugsgröße sein.

Daraus resultiert, daß zwischen zwei Darstellungsweisen des NDTK zu wählen ist:

a) Die Normierung der Verzögerungszeitachse auf $\lg \tau / \tau_Q$ ist anschaulich und pädagogisch richtig; es ist sofort zu erkennen, daß die Verzögerungszeiten beider Flanken im Bereich der Quasistatik identisch sind.

b) Die Normierung auf $\lg \tau / \tau_S$ (Glg. 5.4.4.8) vermittelt den falschen Eindruck, die Verzögerungszeiten der Sprungantwort beider Flanken wären identisch. Dennoch aber besitzt diese Normierung den Vorzug, den für die Praxis wesentlichen Bereich der Sprungantwort bestmöglich darzustellen.

Zur Demonstration, welche Güte die aus der Simulation von Sprungantwort des leerlaufenden ($m = 0$) und des hochbelasteten ($m = 10$) Gatters nach Kap. 5 gewinnbaren Normierungsteilheiten f_{SX} bei beliebigen Lastfaktor besitzen, sei ein Vergleich zwischen den gewonnenen Beschreibungsformeln und Simulationsdaten aufgeführt. Testmedium ist die DTKF des Inverters SYNEG. Die Simulation ergibt für genügend hohe Eingangsflankensteilheit $f_e = 1000 \text{ GHz}$;

$m = 0$:

$$\begin{cases} -f_{as} = 0,796 \text{ GHz} \\ \tau_{S-} = 0,870 \text{ ns} \end{cases}$$

$m = 1000$:

$$\begin{cases} -f_{as} = 0,651 \text{ MHz} \\ \tau_{S-} = 0,723 \mu\text{s} \end{cases}$$

Die Miller-Verzögerungszeit τ_{m-} sei zunächst unbekannt.

a) Ermittlung des Eigenlastfaktors n :

$$n = \frac{f_S}{f_{So}} \approx \frac{i \cdot f_{si}}{f_{So}} = 1000 \cdot \frac{0,651\text{MHz}}{796\text{MHz}} \quad (6.5.1)$$

$$\underline{\underline{n = 0,8178}}$$

b) Ermittlung der Miller-Verzögerungszeit τ_{m-} :

$$\tau_{m-} = \tau_{so} - n \tau_{so} \approx \tau_{so} - \frac{n \tau_{si}}{i} \quad (6.5.2)$$

$$= 0,87\text{ns} - \frac{0,8178 \cdot 723\text{ns}}{1000}$$

$$\underline{\underline{\tau_{m-} = 0,2787\text{ns}}}$$

Ein Vergleich mit Simulationsdaten für ausgewählte Lastfaktoren n zeigt geringfügige Abweichungen:

Tabelle 6.5-1

m	Rechnung		Realität	
	f_{as} [GHz]	τ_{s-} [ns]	f_{as} [GHz]	τ_{s-} [ns]
0	0,7952	0,871	0,796	0,870
0,8217	0,3969	1,465	0,385	1,685
8,217	0,0720	6,812	0,0704	7,50
82,17	0,007844	60,28	0,00786	64,0
821,7	0,7914MHz	595,0	0,792MHz	594
1000	0,6504MHz	723,8	0,651MHz	723

Die Vergleichsregeln wurden nach den Gleichungen

$$\tau_s = \tau_{s\infty} (m + n) + \tau_m \quad (6.5.3)$$

$$f_s = f_{s\infty} / (m + n) \quad (6.5.4)$$

vorgenommen.

Es zeigt sich, daß obige Gleichungen für hohe Lastfaktoren zunehmend genauer gelten. Für niedrige Lastfaktoren machen sich größere Ungenauigkeiten für $0 < m < 10$ bemerkbar.

Es ist anzunehmen, daß diese Abweichung durch die näherungsweise spannungsunabhängige Beschreibung der Millerkapazität zustande kommt.

6.6. Länge des Übergangsbereiches

Um die Frage zu beantworten können, durch welche Gesetzmäßigkeit die Länge v_e des Übergangsbereiches zwischen Quasistatik und Sprungantwort bestimmt wird, und ob die Bereichsgrenzen des Übergangsbereiches gesetzmäßig im Flankentransferfeld und im Verzögerungsfeld übereinstimmen, wurden die statischen Parameter des Meßobjektes, des Inverters SYNEG reproduzierbar variiert. Durch die Veränderung der Betriebsspannung U_{DD} wurden Leerlaufverstärkung v_o , Schwellstrom I_N und Ausgangswiderstand r_{Inv} verändert (vgl. Anlage 8).

Die Simulationen wurden mit dem Lastfaktor $m = 1000$ durchgeführt $C_{Ox} = 0,2714 \text{ pF}$.

Abb. 6.6-1 zeigt, daß die Länge des Übergangsbereiches der Eingangsfankensteilheit zwischen Quasistatik f_{eQ} und Sprungantwort f_{eS} zufällig etwa mit dem Quadrat der Leerlaufverstärkung v_o des Gatters korreliert.

$$\frac{f_{eS}}{f_{eQ}} = v_e \approx v_o^2 \quad (6.6.1)$$

Die Anwendung von Gleichung 5.5.2.5 auf Gleichung 6.6.1 ergibt für den Inverter

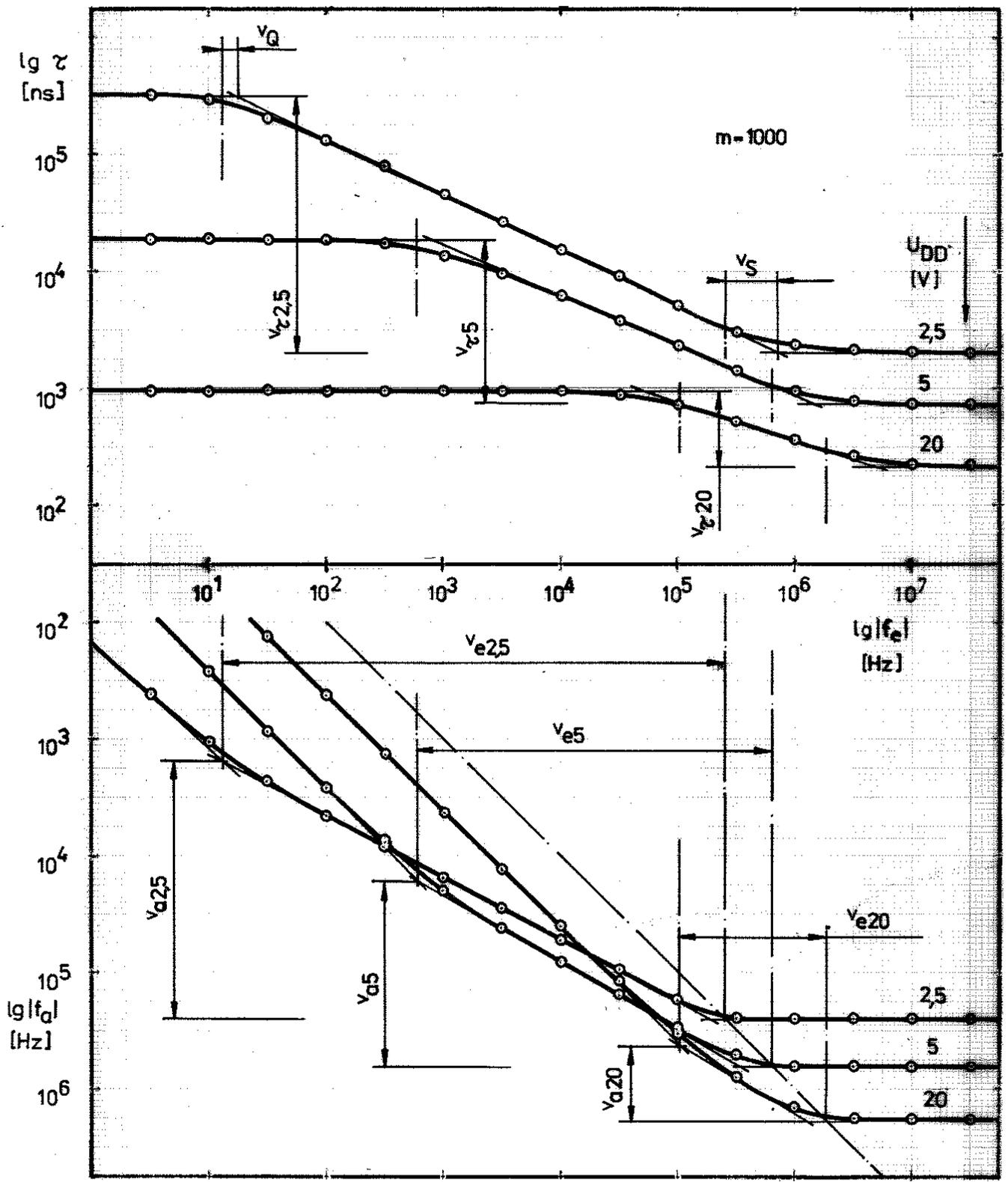


Abb.6.6-1: Dynamisches Transferkennlinienfeld des Inverters SYNEG in Abhängigkeit von der Betriebsspannung U_{DD} . Lastfaktor $m=1000$; $C_{ox}=0,2714\text{pF}$; fallende Flankenr..

$$v_a = \frac{f_{aS}}{f_{aQ}} = -\frac{v_e}{v_o} \approx -v_o \quad (6.6.2)$$

Der Zusammenhang $v_e \approx v_o^2$ ist nur beim CMOS-Inverter zu bemerken. Unsymmetrische Gatter zeigen für v_e bedeutend höhere Vielfache der Leerlaufverstärkung v_o an, vgl. dazu Abschnitt 5.5.2., Beispiel. Gleichzeitig bestätigt sich, daß die Bereichsgrenzen von Flankentransferkennlinien und Verzögerungszeitkennlinien nahezu übereinstimmen.

Die Grenze zur Quasistatik und zur Sprungantwort weist zwischen Flankentransferkennlinien und Verzögerungszeitkennlinien geringfügige Abweichungen auf (v_S bzw. v_Q).

Eine Auswahl von vergleichbaren Simulationsergebnissen, die durch statische und dynamische Simulationen gewonnen wurden, wurde in Anlage 5 aufgenommen.

Der Vergleich von aus der Statik nach Abschnitt 5 hergeleiteten Näherungsformeln mit den Ergebnissen der dynamischen Simulation zeigt, daß die Näherungsformeln um maximal etwa 20% von den dynamisch ermittelten Resultaten abweichen.

6.7. Unsymmetrie der Flanken

Um zu untersuchen, welche dynamischen Auswirkungen starke Unsymmetrien im Gatteraufbau haben, wurde ein 6-fa NAND-Gatter analysiert. Abbildung 6.7-1 zeigt das NDTKF für fallende und steigende Ausgangsflanke. Beide Ausgangsflanken besitzen verschiedene Transitflankensteilheiten f_T

$$f_{T-} \neq f_{T+} \quad (6.7.1)$$

Die Transitflankensteilheit f_T der Eingangsflanke kann tatsächlich mit einem nur geringen Fehler aus der Flankensteilheit der Sprungantwort f_S der Ausgangsflanke

$$-f_{T\gamma} \approx f_{S\gamma} \quad (6.7.2)$$

$$\begin{cases} f_{S0+} = 250\text{MHz} \\ f_{S0-} = -108\text{MHz} \end{cases}$$

gewonnen werden.

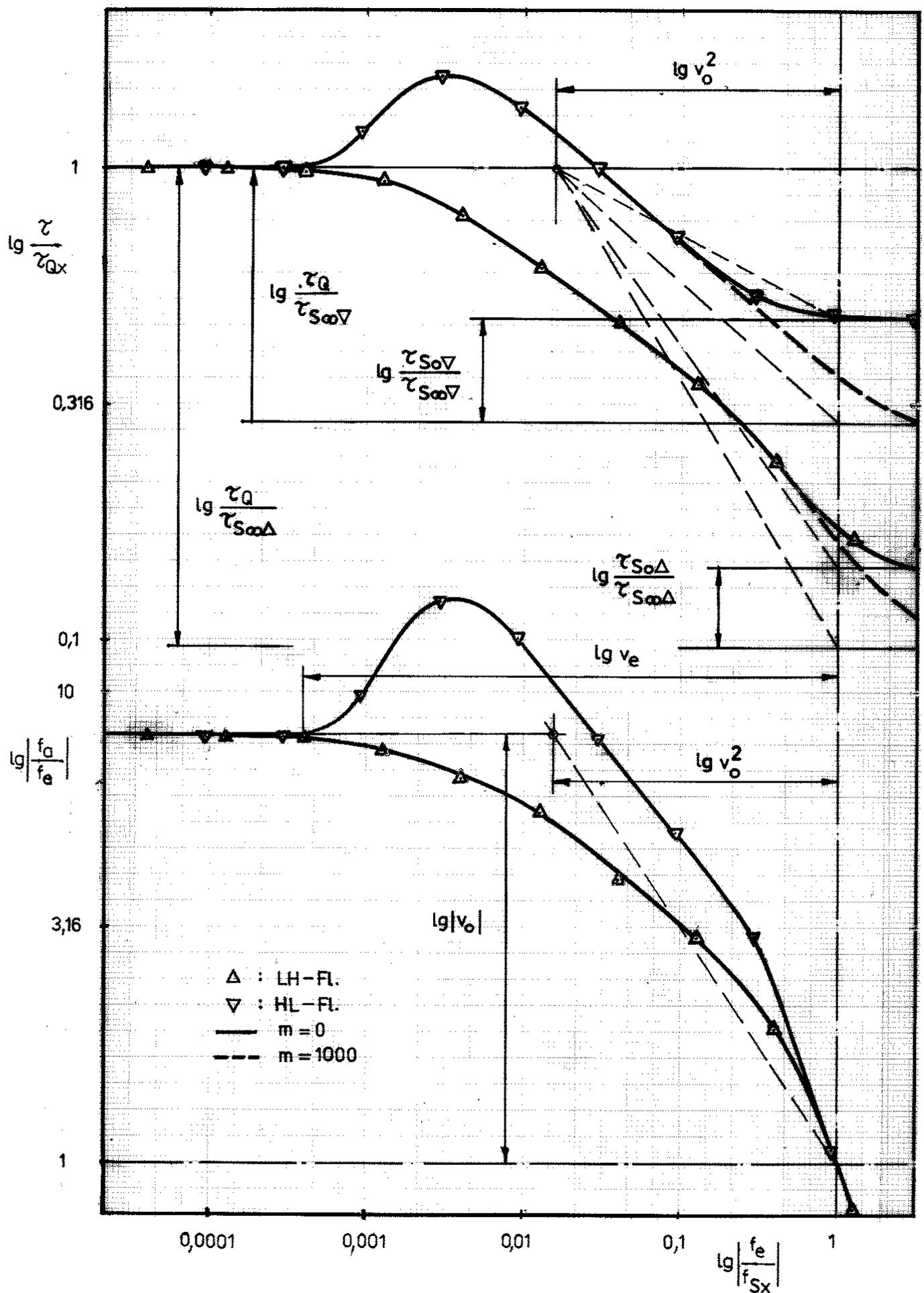


Abb.6.7-1: Unsymmetrie beider Flankenrichtungen beim 6-fach NAND NA6. Die Normierungsflankensteilheit f_{Sx} ist die der Sprungantwort der Flankenrichtung unter dem aktuellen Lastfaktor. Gatterdaten in Anl.6.

Aus der Abbildung 6.7-1 wird deutlich, daß die in Abschnitt 6.5. eingeführte Normierung des DTKF zum NDTKF nicht nur die Möglichkeit schafft, aus einer Simulation der Sprungantwort des unbelasteten Gatters und der Berechnung der statischen Kennwerte I_N , I_P , r_{Inv} , U_{Inv} die Gattercharakteristik aller Gatter der gleichen Inverterschwelle bzw. desselben B_P/B_N Verhältnisses herzuleiten. Bei stark unsymmetrischen Gattern zeigt das NDTKF an, wie stark der Grad der relativen Übereinstimmung zwischen den Flankenrichtungen ist. Im Bild sind die Marken für die Grenzen des Übergangsbereiches v_e eingezeichnet. Es zeigt sich, daß die v_0^2 - Grenze auch bei starker Unsymmetrie eine brauchbare Approximation des Übergangsbereiches beider Flanken darstellt. Sie liefert eine Approximation der Gatterkennlinie, die maximal mit dem Faktor 2 von den tatsächlichen Flankentransfer- und Verzögerungszeitkennlinien abweicht.

Betrachtet man die für die steigende Flanke gültige Kennlinie in Abb. 6.7-1, so fällt auf, daß die Charakteristik mit der des symmetrischen Inverters Abb. 6.5-1 übereinstimmt. Die steigende Flanke wird vom NOR-Zweig des Gatters getrieben (parallelgeschaltete Transistoren), die elektrische Analogie zum Inverter ist zu erkennen. Dagegen zeigt die NAND-Charakteristik (reihengeschaltete Transistoren) der fallenden Flanke kaum mit der Invertercharakteristik übereinstimmende Kriterien. Sie zeigt an, daß reihengeschaltete Transistoren offenbar einem anderen Modellierungstyp zu unterwerfen sind. Aus dem Vergleich von Bild 6.5-1 und 6.7-1 wird deutlich, daß beide vom 6-fach NAND getriebenen Flanken offenbar unabhängig voneinander betrachtet werden können, d.h. die Hinzuschaltung des Reihenzweiges beeinflusst den Parallelzweig offenbar nicht erkennbar. Dieses Ergebnis war zu erwarten: beide Flanken besitzen nur im Bereich der Quasistatik Gemeinsamkeiten, da nur dort der gemeinsame Kleinsignalausgangswiderstand r_{Inv} der Parallelschaltung von P- und N-Zweig dynamisch bestimmend wirkt

$$r_{Inv} = r_{Inv P} \parallel r_{Inv N} . \quad (6.7.3)$$

In Bereichen höherer Eingangsfankensteilheit f_e arbeiten beide Zweige des Gatters nahezu entkoppelt voneinander. Der prinzipiell

Unterschied der Kennlinie eines Parallelzweiges eines Gatters von Opendrain-Parallelzweig liegt lediglich in der Veränderung des d: Verzögerungszeit der Quasistatik τ_Q bestimmenden Ausgangswiderstandes r_{Inv} . Entweder P- oder N-Term in Glg. 6.7.3 entfällt bei Opendrain-Treiber; er besitzt folglich eine gegenüber dem Gatterzweig etwa verdoppelte Verzögerungszeit τ_Q der Quasistatik. Der Bereich der Sprungantwort wird stets von einem Transistor getrieben, folglich ist im Bereich der Sprungantwort kein Unterschied zwischen Gatterzweig und Opendrainzweig zu erwarten.

Aus dieser Erkenntnis heraus wäre es prinzipiell möglich, die Modellierung von CMOS-Schaltungen mittels DTKF auf drei Schaltungstypen zu beschränken:

- a) den NOR-Zweigtyp, der gleichzeitig auch den am Knoten wirkende Einzeltransistor repräsentiert;
- b) den NAND-Zweigtyp, der an den Knoten in Reihe geschaltete Transistoren enthält, und
- c) den Transferegate-Typ, dessen Charakteristik je nach Betriebsart den Charakter von a) oder b) annimmt.

Allerdings ist zu erwarten, daß durch eine Untersuchung von unabhängig auf Knoten wirkende Transistorzweige u.U. neue, vereinfachende Aspekte der Modellbildung zu Tage befördert werden können.

6.8. Iterativ lösbares NDTKF

Die in Abschnitt 4.13. hergeleitete Abhängigkeit der Eingangskapazität vom Betriebsbereich des Gatters

$$\frac{C_e}{C_{Ox}} = 1 - \frac{f_a}{f_e} \cdot q \quad (6.8.1)$$

kann mit dem Millerfaktor $q = C_m/C_{Ox}$ (Gatterkonstante) als Funktion in das dynamische Transferkennlinienfeld eingetragen werden, Abb. 6.8-1. Der Millerfaktor wurde topologisch zu $q = 1/3$ bestimmt. Diese Bestimmungsmethode ist u.U. stark fehlerbehaftet, und wider

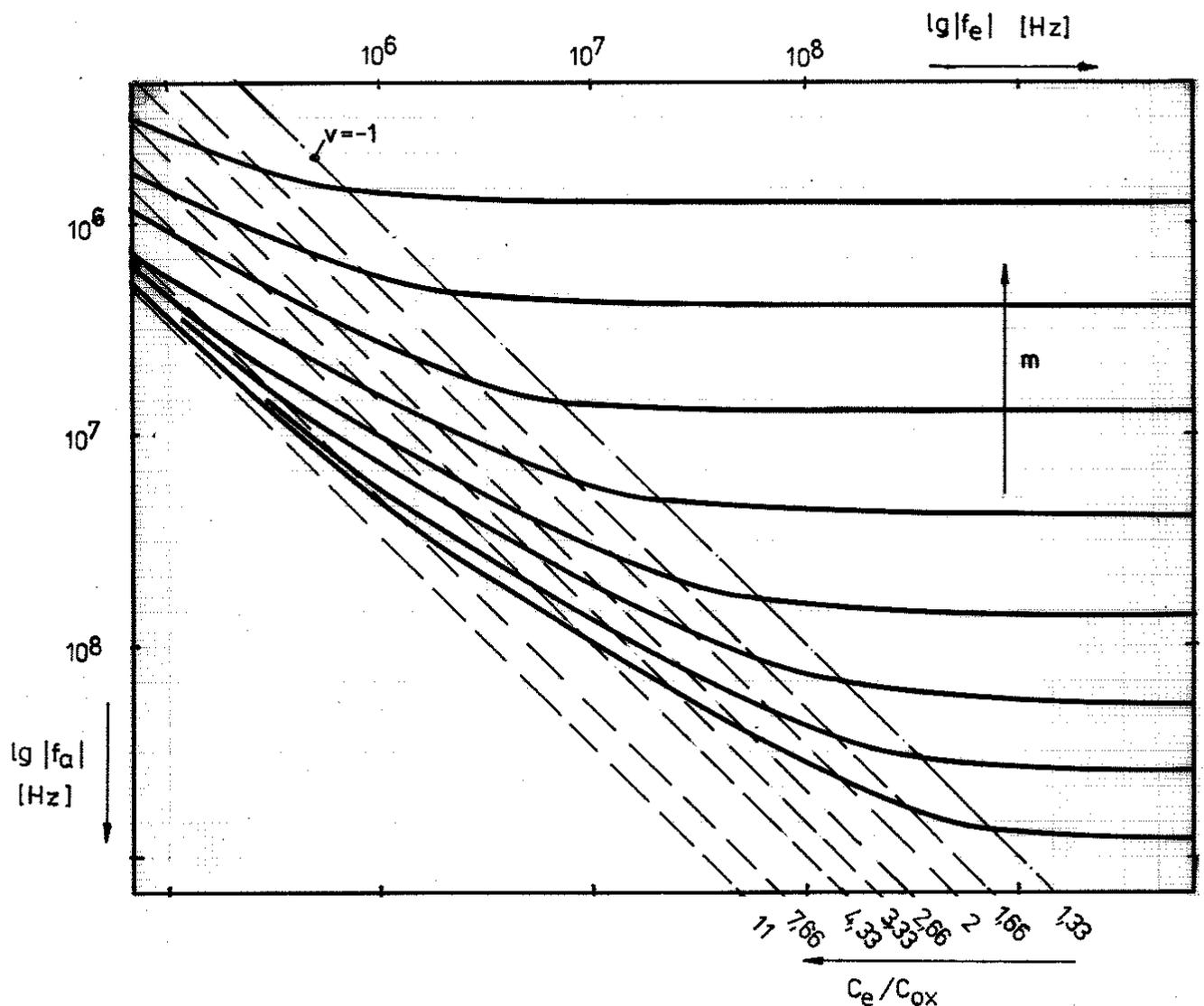


Abb.6.8-1: Die Eingangskapazität C_e eines Gatters lässt sich als Funktion der Spannungsverstärkung f_a/f_e angeben.

spricht der im Abschnitt 4.10. dargestellten Bestimmungsmethode. Die Eintragung in das normierte DTKF ist noch einfacher zu bewerkstelligen: Die Funktion der Gleichung 6.8.1 kann als zweite Maßstabsachse der Ordinate $\lg |f_a/f_e|$ zugeordnet werden. Mit der Einführung der Eingangskapazität als Funktion der Spannungsverstärkung $|f_a/f_e|$ des Gatters im Punkte U_{Inv} kann die Übertragungscharakteristik des treibenden Gatters nicht festgelegt werden, da die aktuelle Knotenlastkapazität zunächst nicht bekannt ist.

Pro Flanke ist über alle die Flanke übertragenden Gatter ein Iterationszyklus auszuführen. Verglichen mit Netzwerksimulationen ist der Berechnungsaufwand dennoch um die Mindestanzahl von Stützstellen pro Flanke geringer. Pro Flanke sind in Netzwerksimulationen mindestens etwa zehn Stützstellen zu berechnen.

7. Approximation der Gatterdynamik mit der linearen Systemtheorie

Die folgenden Ausführungen werden in der Notation nach Vielhauer /V3/ geschrieben. Zeitfunktionen werden in geschweiften Klammern notiert, Bildfunktionen und Variable stehen außerhalb von geschweiften Klammern. Als Differentiationsoperator findet s Anwendung.

Es ist die Frage zu klären, ob die Gatterdynamik prinzipiell in Form z.B. eines NDTKF durch eine lineare Differentialgleichung der Form /B15/

$$b_0(x)y + b_1(x)y' + b_2(x)y'' + \dots = g(x) \quad (7.0.1)$$

beschrieben werden kann. Diese Frage ist insofern von allergrößter Bedeutung, als daß damit die perspektivische Weiterentwickelbarkeit des in den vorangegangenen Kapiteln aufgeführten theoretischen Apparates mit Hilfe der Werkzeuge der linearen Systemtheorie wie der Funktionaltransformationen (z.B. der Laplace-Transformation /D14/, /D11/, /U1/; der diskreten Laplace-Transformationstypen z.B. /D12/, /V2/, /Z4/, der Fourier-Transformation /L2/) oder der Operatorentheorie /B6/, /M13/, /W7/... /W12/, /V3/ genutzt werden können. Eine operatorentheoretische Interpretation gäbe die Möglichkeit, beliebig geformte Flanken behandeln zu können.

Wie in Kapitel 5 dargelegt, ist der die Verzögerungszeit von Signalpfaden bestimmende Betriebsbereich des Gatters der der Sprungantwort. Der Betriebsbereich der Sprungantwort des Gatters soll deshalb bestmöglich approximiert werden. Betrachten wir die Sprungantwort näher, so ist der Exponentialtypus der Sprungantwort unübersehbar.

Das Gattermodell wird in zwei Abschnitte geteilt: in den der statischen Überföhrungsfunktion und in den Zeitverzögerungsteil.

7.1. Zeitverzögerung

Der Exponentialtyp der Sprungantwort gibt den Anhaltspunkt für die mögliche Überföhrungsfunktion des linearen Gattermodells. Die Faltung einer Funktion mit der Sprungfunktion ergibt das Integral der Funktion, das Integral der Funktion ist die Sprungantwort.

$$\{1 - e^{-t/\tau}\} = \{1\} * \left\{\frac{1}{\tau} e^{-t/\tau}\right\}, \quad (7.1.1)$$

$$\{u_a(t)\} = \{u_e(t)\} * \{g(t)\}. \quad (7.1.2)$$

Die Übertragungsfunktion $\{g(t)\}$ läßt sich mit der Korrespondenz /V3/ S. 35

$$\{e^{\alpha t}\} = \frac{1}{s - \alpha} \quad (7.1.3)$$

in die Bildfunktion

$$G(s) = \frac{1}{\tau} \cdot \frac{1}{s + 1/\tau} \quad (7.1.4)$$

transformieren. Formale Umformung von Gleichung 7.1.4 liefert

$$G(s) = \frac{1}{1 + s\tau} = \frac{y}{z}. \quad (7.1.5)$$

Mit $\tau = RC$ ist Glg. 7.1.5 als Tiefpaß interpretierbar. Die adäquate Differentialgleichung zu Glg. 7.1.5 besitzt mit $sy = y'$ und

$$z = (1 + s\tau) y \quad (7.1.6)$$

die Form

$$y' + \frac{1}{\tau} (y - z) = 0 \quad (7.1.7)$$

Für die numerische Berechnung interessant erscheint die aus 7.1.6 ableitbare Darstellung

$$y = z - s y \tau. \quad (7.1.8)$$

Wird die Kettenschaltung von Elementarfunktionen als Multiplikation interpretiert, kann Glg. 7.1.8 näherungsweise in der in Abb. 7.1-1 gezeigten Art dargestellt werden.



Abb.7.1-1

Verstärkung Differentiation

7.2. Statische Überföhrungsfunktion

Zur Ermittlung der statischen Überföhrungsfunktion wird die Eingangsfunktion $\{x(t)\}$ mit der statischen Transferfunktion $y(x)$ des Gatters nach Abschnitt 2.3. für $I_a = 0$ und $U_e/U_{Hub} = x$, $U_a/U_{Hub} = z$ verknüpf, damit gilt $\{z(t)\} = \{z(x(t))\}$.

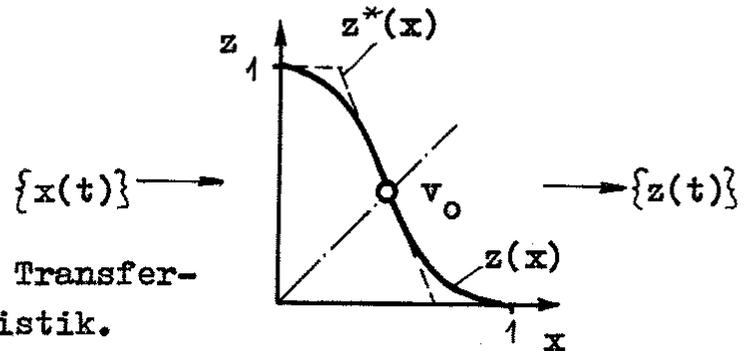


Abb.7.2-1: Statische Transfercharakteristik.

Näherungsweise kann diese Multiplikation durch die Linearisierung der statischen Transferkennlinie $z^*(x)$ durch Leerlaufverstärkung v_0 und Inverterschwelle U_{Inv} erfolgen, wobei die approximierte Funktion $z^*(x)$ auf das Intervall $z = 0 \dots 1$ begrenzt ist. Abb. 7.2-2 zeigt anschaulich eine Ersatzschaltung für die Approximation $\{z^*(t)\} = \{z^*(x(t))\}$ der statischen Überföhrungsfunktion.

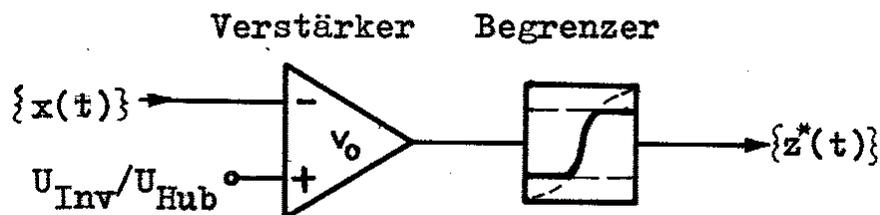


Abb.7.2-2

7.3. Faltungsmodell

Die Zusammenschaltung von statischer Überföhrungsfunktion (Glg. 7.2.1) und Verzögerungsfunktion (Glg. 7.1.5) führt zum in Abb. 7.3-1 dargestellten Faltungsmodell eines invertierenden Gatters.

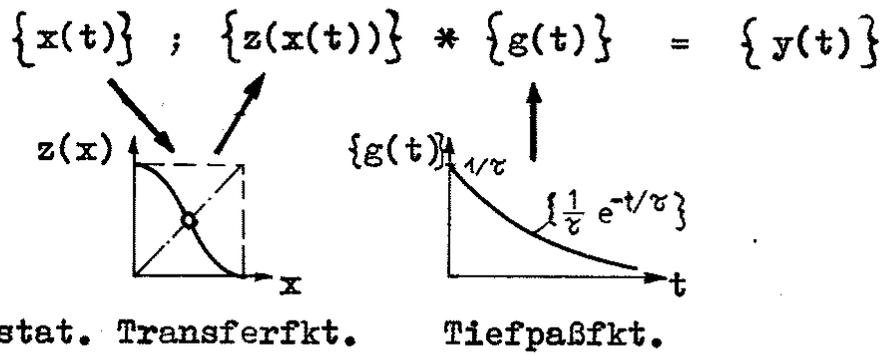


Abb.7.3-1

Unter Anwendung der Approximation $\{z(t)\} = \{z^*(x(t))\}$ ist das Faltungmodell analytisch lösbar, jedoch mit hohem Rechenaufwand. Abb. 7.3-2 zeigt qualitativ Lösungen des analytischen Modells bei verschiedenen Zeitkonstanten τ .

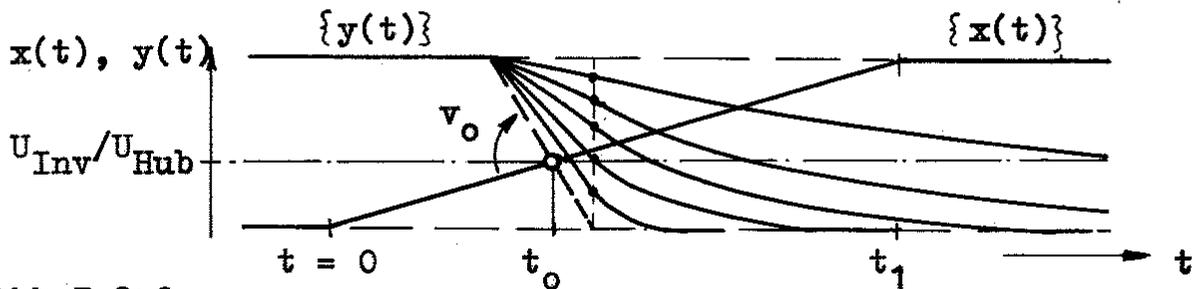


Abb.7.3-2

Als Eingangsfunktion $\{x(t)\}$ fand eine modifizierte Rampenfunktion Anwendung:

$$\{x(t)\} = \frac{U_{Hub}}{t_1} \{t\} (1 - e^{-st_1}) \quad (7.3.1)$$

Die Ausführung der Faltung kann auf zwei unterschiedliche Arten erfolgen:

1. Interessiert nur die Flankensteilheit zu einem Bezugspotential so kann die Eingangsfunktion als modifizierte Rampenfunktion (nach Abb. 7.3-1) dargestellt werden.

Die Ausgangsfunktion setzt sich aus zwei Exponentialfunktionen zusammen. Diese Darstellung ist komplizierter und zugleich rechneraufwendiger als die Entnahme der Werte aus dem DTKF.

2. Ist die gesamte Flanke nachzubilden, so müssen beliebige Eingangsfankenformen gefaltet werden, denen keine analytische Funktion zugrunde liegt. Die Faltung ist in diesem Falle numerisch mit diskretisierten vorliegenden Eingangsfanken vorzunehmen. Es böte sich

an, sowohl statische Transferfunktion als auch Verzögerungsfunktion als stückweise stetige Funktionen abzulegen. Das Faltung integral nimmt in diesem Falle die Form

$$\{z(t)\} * \{g(t)\} = \sum_{i=0}^j z(t_j - t_i) g(t_i) \Delta t \quad (7.3.2)$$

(in Analogie zu /D12/, S. 35) an.

Der im Vergleich zur Netzwerkanalyse nötige Berechnungsaufwand ist unbedeutend geringer. Der Vorteil der Faltung liegt in der Iterationsfreiheit, Faltungen sind mit systolischen Prozessorfeldern /K11/... /K13/ parallel und iterationsfrei ausführbar.

Es ist zu erkennen, daß ein so gewonnenes Faltungsmodell des digitalen Gatters qualitativ scheinbar recht überzeugende Merkmale besitzt.

Die Leistungsgrenzen ergeben sich bei näherer Betrachtung der Zeitkonstanten.

7.4. Zeitkonstantenverhältnis

Wird τ als Zeitkonstante der Quasistatik τ_Q interpretiert, ist erwarten, daß die Sprungantwort des Gatters verfälscht wird. Wird hingegen τ als Zeitkonstante der Sprungantwort τ_S verstanden, so wird der für die Gatterdynamik wesentliche Bereich der Sprungantwort nahezu richtig interpretiert. Das Verhältnis $\tau_Q / \tau_S = v_\tau$ des Realgatters ist nur zufällig erreichbar: die Differentialgleichung des RC-Gliedes zwingt das NDTKF in eine starre Form. Das Verhältnis v_τ ist festgelegt. Es läßt sich bestimmen, indem die Verzögerungszeit der Sprungantwort τ_S des RC-Gliedes ermittelt wird. Für die Sprungantwort gilt

$$U_a(t) = U_{Hub} \exp(-t/\tau) \quad (7.4.1)$$

Mit $U_a = U_{Inv}$, $t = \tau_S$ und $\tau = \tau_Q$ folgt über

$$U_{Inv} = U_{Hub} \exp(-\tau_S/\tau_Q) \quad (7.4.2)$$

eine Bestimmungsgleichung für v_τ der RC-Approximation

$$\boxed{\frac{\tau_S}{\tau_Q} = \ln\left(\frac{U_{Hub}}{U_{Inv}}\right) = \frac{1}{v_\tau}} \quad (7.4.3)$$

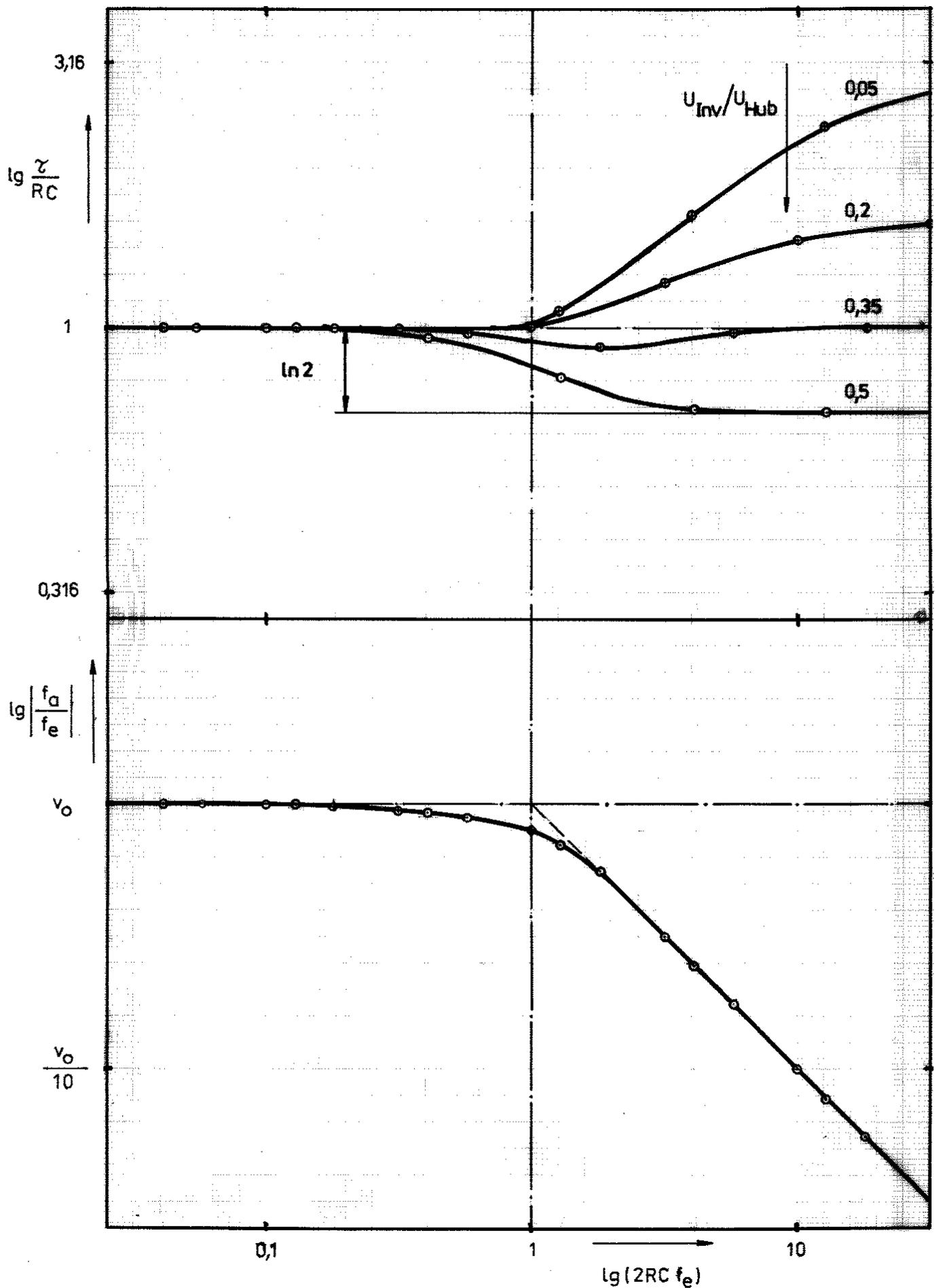


Abb.7.4-1: NDTKF des linearen Gattermodells mit RC-Tiefpaß. Verzögerungszeit τ und Flankensteilheitsverhältnis f_a/f_e in Abhängigkeit von der Eingangsflankensteilheit f_e .

des Faltungsmodells des digitalen Gatters. Glg. 7.4.3 zeigt, daß nicht nur das Verzögerungsverhältnis τ_Q / τ_S des Faltungsmodells festgelegt ist - dieser Mangel ließe sich bei der Fixierung auf die Sprungantwort übersehen bzw. ließe sich durch eine parametrische Zeitkonstantensteuerung beseitigen - darüber hinaus ist das Zeitkonstantenverhältnis noch eine fixierte Funktion der Inverterschwellspannung U_{Inv} des zu modellierenden Gatters. Zur Verdeutlichung des Verhaltens zeigt Abb. 7.4-1 ein numerisch ermitteltes NDTKF des Faltungsmodells bei sinusförmiger Eingangsflanke (Prozedur EDGE s. Anlage 3) für unterschiedliche Inverterschwellen U_{Inv} .

Es ist zu erkennen, daß ein lineares Faltungsmodell nur unter stark einschränkenden Bedingungen brauchbare Simulationsergebnisse liefern kann:

- 1) Unsymmetrische Flanken sind mit unterschiedlichen Zeitkonstanten zu modellieren.
- 2) Es kann entweder der Bereich der Sprungantwort oder der Bereich der Quasistatik hinreichend genau approximiert werden. Nur bei zusätzlicher parametrischer Zeitkonstantensteuerung ließen sich Ergebnisse erzielen, die ein richtiges NDTKF des Gatters wiedergeben, und die zugleich den Vorzug besäßen, die gesamte Flanke (und nicht nur den Entwicklungspunkt der abgebrochenen Taylorreihe) richtig darzustellen.

8. Zusammenfassung und Ausblick

Ziel der Arbeit war es, theoretische Grundlagen der Dynamik digitaler CMOS-Gatter zu erschließen. Es gelang, anhand des Exponentialmodells des MOS-Transistors und insbesondere anhand der geschlossenen, statischen Transfercharakteristik des Gatters nachzuweisen, daß Möglichkeiten existieren, das statische Gatterverhalten in geschlossener, analytisch verwertbarer Form zu modellieren, wenngleich es noch nicht gelang, aus der Gatterstatik durch Aufstellen einer entsprechenden Differentialgleichung die Gatterdynamik analytisch herzuleiten.

Um Aussagen zum Wesen der Gatterdynamik und somit zur Lösung genannter Differentialgleichung Aussagen zu erhalten, wurden Flankenformen untersucht. Eine nach dem zweiten Glied abgebrochene Taylorentwicklung erwies sich als wertvolles Hilfsmittel zur Charakterisierung digitaler Flanken.

Mit der Taylorentwicklung der digitalen Flanke wurde es möglich, ein Axiomensystem aufzustellen, das es gestattet, digitale Baugruppen analytisch zu untersuchen.

Es gelang, verallgemeinerbare Charakteristiken der Baugruppen als Schnittstellenparameter anzugeben.

Eine auf der Basis des Axiomensystems der elektronischen Schaltungstechnik durchgeführte Analyse von Grenzwerten der Gatterdynamik erbrachte wesentliche Zuordnungen zwischen statischen Gatterkenngrößen und dynamischen Gattereigenschaften. Zur Verifikation der theoretisch hergeleiteten, dynamischen Gattereigenschaften wurde ein Darstellungsmedium, das dynamische Transferkennlinienfeld (DTKF) des Gatters erarbeitet.

Unter Beachtung der Axiome der Gatterdynamik wurde es möglich, das DTKF ausgewählter Gatter aus numerischen Simulationen des Gatters aufzustellen.

Eine Normierung des DTKF zeigte an, daß die Gatterdynamik eines Gattertyps gleicher Breitenverhältnisse der Transistoren von p- und n-Kanal-Zweig nahezu unabhängig von der Wahl der Absolutbreiten der Transistoren der Zweige und unabhängig von der Wahl des Lastfaktors bzw. der Lastkapazität in Kennlinienform angebbar ist.

Um Hinweise auf das Wesen der Lösung einer Gatterdifferentialgleichung zu erhalten, wurde ein lineares Verzögerungsmodell des Gatters mit den Mitteln der linearen Systemtheorie untersucht.

Ein Vergleich der Untersuchungsergebnisse mit dem zu erwartenden DTKF erbrachte eine prinzipielle Nichteignung des linearen Verzögerungsmodells zur Beschreibung der Gatterdynamik.

Wesentlichstes Ergebnis der Arbeit stellt das dynamische Transferkennlinienfeld dar. Es gestattet erstmalig, die Gatterdynamik in geschlossener Form darzustellen.

Mit dem dynamischen Transferkennlinienfeld und unter Beachtung des vektoriellen Charakters digitaler Flanken wird es möglich, die Verifikation höchstintegrierter Schaltkreise wesentlich zu verbessern.

Für die Zukunft bleibt die Aufgabe, ein geeignetes Modell der Gatterstatik zu bestimmen, dessen allgemeine Lösung im Zeitbereich die Gatterdynamik analytisch erschließt, bestehen.

Literaturverzeichnis

- /A1/ Ahlbehrend, N.; Kempe, V.:
Analyse stochastischer Systeme
Akademie-Verlag Berlin, 1984.
- /A2/ Allen, J.; Penfield, P.:
VLSI Design Automation Activities at M.I.T..
IEEE Trans. on Circuits and Systems, CAS-28, No.7,
July 1981, S. 645 - 653
- /A3/ Anlauff, H.; u.a.:
Registertransfersprache PHPL. Sprachbeschreibung.
TUM-INFO-7720, München, Juni 1977. INT-Reg. 84/10751.
- /A4/ Antonine, R.J.; Brown, G.W.:
The Modeling of Resistive Interconnects for Integrated
Circuits.
IEEE Journal of Solid-State Circuits, SC-18, No.4,
Aug. 1983, S. 200 - 203.
- /A5/ —
An Architectural Comparison of 32 Bit Microprozessors.
IEEE Micro, Febr. 1983.
- /A6/ Auvergne, D.; Cambon, G.; Deschacht, D.; u.a.:
Delay-Time Evaluation in ED MOS Logic LSI.
IEEE-Journal of Solid-State Circuits, Vol. SC-21,
No. 2, April 1986, S. 337 - 343.
- /B1/ Baker, C.; Terman, C.:
Tools for Verifying Integrated Circuits Designs.
Mass. Inst. of Technology, VLSI Memo, No. 80 - 30,
Sept. 1980.
- /B2/ Baule, B.:
Die Mathematik des Naturforschers und Ingenieurs.
Band 1... 7. Hirzel-Verlag, Leipzig, 1966.
- /B3/ Baumann, P. u.a.:
Halbleiterpraxis,
VEB Verlag Technik, Berlin, 1982.
- /B4/ Baumann, P.:
Vierpolparameterangaben zur integrierten Teilschal-
tungsanordnung IA 616D.
radio fernsehen elektronik, Berlin 32 (1983) 11,
S. 709, 710

- /B5/ Bayrons, R.J. u.a.:
 Delay Analysis of Si NMOS Gbit/s Logic Circuits.
 IEEE Journal of Solid-State Circuits, SC-19, No. 5,
 Oct. 1984, S. 7555 - 764.
- /B6/ Berg, L.:
 Einführung in die Operatorenrechnung.
 DVW Berlin, 1962.
- /B7/ Berg, L.:
 Operatorenrechnung. Band 1 u. 2.
 DVW Berlin, 1972.
- /B8/ Bischoff, G.; Krusius, P.:
 Technology Independent Device Modeling for Simulation
 of Integrated Circuits for FET Technologies.
 IEEE Transact. on CAD, CAD-4, No. 1, Jan. 1985.
- /B9/ Bisiani, R.; Foster, M.J.; Kung, H.T.; Offazer, K.:
 MISE: Machine for In System Evaluation of Custom
 VLSI-Chips.
 CMU/CS-82-132, 1982. INT-Reg. 83B10177.
- /B10/ Blahut, D.E.; Krambeck, R.H.; Law, H.F.S.; Stuckmann, H.:
 H.C.So: Hierarchichial Design Methodology for a
 Single Chip 32 Bit Microprocessor. 1982
 IEEE Int. Conference on Circuits and Computers, 1982.
- /B11/ Bochmann, D.; Posthoff, C.:
 Binäre dynamische Systeme.
 Akademie Verlag, 1981.
- /B12/ Bonitz, M.:
 Sage mir, wo du publizierst, ...
 Wiss. und Fortschritt 35(1985)1, S. 23 - 26
 (Science Citation Index).
- /B13/ Bonnet, M.J.:
 Optimisation de temps de propagation sur les lignes
 dans les Circuits Integres.
 Institut National Polytechnique de Grenoble.
 IMAG BP 68-38402 Saint-Martin-D'Herès Cedex, No. 398,
 Nov. 1983. INT-Reg. 85 B11 200.
- /B14/ Brendel, W.:
 Funktioneller Entwurf und automatische Synthese hoch-
 integrierter Schaltkreise.
 Dissertation, in Arbeitsberichte Inst. f. Informatik
 Universität Erlangen, Band 17, Nr. 4, August 1984.

- /B15/ Bronstein, I.N.; Semendjajew, K.A.:
 Taschenbuch der Mathematik.
 2o. Aufl., Teubner-Verlag, Leipzig, 1981.
- /B16/ Bryant, R.E.:
 Report on the Workshop on Self-timed Systems.
 MIT/LCS/TM-166, May 198o. INT-Reg. 83 B 1o179.
- /B17/ Buchanan, I.; Gray, J.P.:
 Models for Structured Integrated Circuit Design.
 Univ. of Edinburgh, CSR-48-79, Nov. 1979.
 INT-Reg. 85/11227.
- /B18/ Buchanan, I.:
 SCALE-A VLSI Design Language.
 Univ. of Edinburgh, CSR-117-82, May 1982. INT-Reg.
 83/1o18o.
- /C1/ Campell, G.A.; Foster, R.M.:
 Fourier-Integrals for Practical Applications.
 Nostrand-Comp., Princetown NJ, USA, 1948.
- /C2/ Carey, M.J.; Hansen, P.M.; Thompson, C.D.:
 RESST: A VLSI-Implementation of a Record-Sorting
 Stack.
 U. v. California, Berkeley. Rep. UCB/CSD82/1o2.
 April 1982.
- /C3/ Cappello, P.R. u.a.:
 Optimal Choise of Intermediate Latching to Maximize
 Throughput in VLSI Circuits.
 1983 IEEE Int. Conference on Acoustic, Speech, and
 Signal Processing, Boston, MA, USA, April 1983,
 S. 1 - 4.
- /C4/ Caratheodory, C.:
 Variationsrechnung und partielle Differentialglei-
 chungen erster Ordnung. Band 1.
 Teubner-Verlag, Leipzig, 1956.
- /C5/ Chen, C.F. u.a.:
 The Second Generation MOTIS Mixed-Mode Simulator.
 AT & T Bell. ACM 21st Design Automation Conference
 Proceedings '84, Albuquerque, New Mexico, June 25 - 27
 1984, S. 1o - 17.

- /C6/ Chu Tam-Anh:
 Circuit Analysis of Self-Timed Elements for NMOS
 VLSI Systems.
 Massachusetts Inst. of Technology, MIT/LCS/TM
 22o, May 1982
- /C7/ Crawford, J.D.; Hsuen, M.Y.; Newton, A.R.; Pederson, D.O.
 MOTIS-C User's Guide.
 Electronics Research Lab., University of California,
 Berkeley CA, June 1978.
- /D1/ de Man, H.:
 Computer Aided Design Techniques for VLSI.
 Kath. Univ. of Leuven. Dept. Elektrotechniek. o.J.,
 um 198o. INT-Reg. 85B11229.
- /D2/ de Paly, Dr.:
 Messungen am schmalen Depletionstransistor.
 Int. Ber. VEB ZFTM Dresden, E2E1 76/82 v. 17. 5.82.
- /D3/ de Paly, Dr.:
 Meßprogramm MT 22-S1o2.
 Int. Ber. VEB ZFTM Dresden, E2E1 56/82 v. 15. 4. 82.
- /D4/ de Paly, Dr.:
 Modellkonstanten für nSGT2S.
 Int. Ber. VEB ZFTM Dresden, E2E1 13/83 v. 18. 1. 83.
- //D5/ Diener, K.H.; Möschwitzer, A.:
 Elektronische Parameter von MOS-Transistoren mit
 kleinen Dimensionen.
 NtE 28(1978) H. 1, S. 6 - 8.
- /D6/ Diener, K.H.:
 Erweiterungen des MOST-Netzwerkanalysemodells für KMOS.
 Vortrag C9, Barkhausen-Tagung, TU Dresden, Sekt. 9,
 1981.
- Diener, K.H. u.a.:
 Computergerechte Modellfamilie für integrierte MOS-
 Transistoren
- /D7/ Teil 1:
 NtE 28(1978) H. 1o, S. 414 - 417.
- /D8/ Teil 2:
 NtE 3o(198o) H. 4, S. 155 - 158.

- /D9/ Diener, K.H.:
 Modellierung integrierter MOS-Gatter und Ermittlung
 der NWA-Parameter aus dem Layout.
 NtE 29(1979) H. 10, S. 408 - 411.
- /D10/ Diener, K.H.; Fischer, P.; Riedel, F.:
 MISNET - ein Netzwerkanalyseprogramm für integrierte
 MIS-Schaltkreise.
 Zeitschrift für elektr. Inform.- und Energietechnik.
 6(1976) H. 6, S. 494 - 502.
- /D11/ Dobesch, H.:
 Laplace-Transformation.
 VEB Verlag Technik Berlin, 4. Aufl., 1969.
- /D12/ Dobesch, H.:
 Laplace-Transformation von Abtastfunktionen.
 VT Berlin, 1970.
- /D13/ Dobesch, H.; Sulanke, H.:
 Zeitfunktionen.
 VT Berlin, 1964.
- /D14/ Doetsch, G.:
 Handbuch der Laplace-Transformation.
 Basel, Verlag Birkhäuser.
- /E1/ Eckhardt, D.; Groß, W.:
 Grundlagen der digitalen Schaltungstechnik.
 Militärverlag der DDR, Berlin, 1978.
- /E2/ Elschner, H.; Möschwitzer, A.; Reibiger, A.:
 Rechnergestützte Analyse in der Elektronik.
 VEB Verlag Technik, Berlin, 1977.
- /E3/ Etiemble, D. u.a.:
 Micro Computer Oriented Algorithmus for Delay Evaluatic
 of MOS Gates.
 ACM 21st DAC, Procced'84, Albuquerque, 21 - 23 June 198
 S. 358 - 364.
- /F1/ Fey, H.:
 Einführung in die Ortskurventheorie.
 Reihe electronica Bd. 164, Militärverlag Berlin, 1974.

- /F2/ Fischer, W.J.; u.a.:
 Gatearraysystem U5200.
 Nutzerhandbuch.
 VEB ZFTM Dresden, 1985.
- /F3/ Foster, M.J.; Kung, H.T.:
 The Design of Special Purpose VLSI Chips.
 IEEE Computer, January 1980, S. 26 - 40.
- /F4/ Franke, W.:
 Rechnergestützte Analyse nichtlinearer Schaltungen mit
 dem Programmsystem STADYNET 2.
 Probl. der Festkörperelektronik, Bd. 11, VT Berlin,
 1979.
- /F5/ Franke, W.; Schenk, A.:
 ... STADYNET/2S - ein Vergleich der Zweigstrom-Zweig-
 spannungsanalyse mit der Knotenspannungsanalyse.
 NtE, 28(1978), H. 1, S. 20 - 22.
- /F6/ Friedmann, V.; Liu, S.:
 Dynamic Logic CMOS Circuits.
 IEEE Journal of Solid-State Circuits, SC-19, No. 2,
 April 1984, S. 263 - 266.
- /F7/ Fritsche, G.:
 Entwurf aktiver Analogsysteme.
 Akademie-Verlag Berlin, 1980.
- /F8/ Fritsche, G.:
 Entwurf linearer Schaltungen.
 VT Berlin, 1962.
- /F9/ Fujimoto, R.M.; Sequin, C.H.:
 The Impact of VLSI on Communication in Closely Coupled
 Multiprocessor Networks.
 Proceed. of COMPSAC '82 (6. Int. Conf. on Computer
 Software and Applications, Nov. 1982, S. 231 - 238.
- /G1/ Gajski, D.D.:
 Silicon Compilers and Expert Systems for VLSI.
 ACM 21st Design Aut. Conference, Proc. 84, Albuquerque
 New Mexico, June 25 - 27 1984, S. 86 - 87.
- /G2/ Gelfand, I.M.; Schilow, G.E.:
 Verallgemeinerte Funktionen (Distributionen).
 Band 1 - 3. DVW Berlin, 1964.

- /G3/ Glasser, L.A.; Penfield, P. Jr.:
 An Interactive PLA Generator as an Architype for a
 New VLSI Design Methodology.
 IEEE Int. Conference of Circuits and Computers,
 Oct. 1 - 3, 1980, Port Chester, NY.
- /G4/ Glasser, L.A.:
 The Nature of VLSI Circuit Design.
 Mass. Inst. of Technology, Cambridge, MA, IC Memo
 No. 80 - 15, May 8, 1980.
- /G5/ Glasser, L.A.:
 The Scaling of Clock Noise in MOS Integrated Circuits.
 Massachusetts Institute of Technology, VLSI - Memo
 No. 81 - 45, March 1981.
- /G6/ Gochberg, I.Z.; Feldmann, I.A.:
 Faltungsgleichungen und Projektionsverfahren zu ihrer
 Lösung.
 Akademie-Verlag Berlin, 1974.
- /G7/ Göhler, W.:
 Höhere Mathematik.
 Verlag für Grundstoffindustrie, Leipzig, 1971.
- /G8/ Goering, H.:
 Elementare Methoden zur Lösung von Differential-
 gleichungsproblemen.
 Akademie-Verlag Berlin, 1967.
- /G9/ Golusin, G.M.:
 Geometrische Funktionentheorie.
 DVW Berlin, 1957.
- /G10/ Gordon, M.:
 A Model of Register Transfer Systems with Applications
 to Microcode and VLSI Correctness.
 INT-Reg. 83/10157.
- /G11/ Grotjohn, T.; Hoeflinger, B.:
 A Parametric Short-Channel MOS Transistor Model for
 Subthreshold and Strong Inversion Current.
 IEEE Journal of Solid-State Circuits, SC-19, No.1
 Febr. 1984.
- /G12/ Hamel, G.:
 Integralgleichungen.
 Springer-Verlag, 1949.

- /G13/ Hartenstein, R.W.:
 VLSI-Bausteine in geringen Stückzahlen für Spezial-
 Anwendungen.
 Elektr. Rechenanlagen, 22.Jahrgang., 1980, H. 4,
 S. 159 - 173.
- /G14/ Haraszti, T.P.:
 Novel Circuits for High Speed ROM's.
 IEEE Journal of Solid State Circuits, SC-19, No. 2,
 April 1984, S. 180 - 186.
- /G15/ Hayes, J.:
 MOS-Scaling.
 IEEE Computer, Jan. 80, S. 8 - 13.
- /G16/ Hayes, J.P.:
 Pseudo Boolean Logic Circuits.
 Univ. of Michigan, CRL-TR-33-84. INT-Reg. 85/B11326.
- /G17/ Heilig, K.:
 Einfluß der Signalquellenimpedanz auf die Sprungant-
 wort bei idealen Verstärkern (Pufferstufen) mit
 kompensierter Eingangskapazität.
 NtE, 30(1980) H. 4, S. 164 - 166.
- /G18/ Heilig, K.:
 Einfluß der Signalquellenimpedanz auf die Sprungant-
 wort des Sourcefolgers.
 NtE, 30(1980) H. 4., S. 166 - 168.
- /H1/ Hecker, W.; Rößler, F.; Möschwitzer, A.:
 LSINET - ein neues Logik- und Timingsimulationsprograr
 für LSI- und VLSI-Schaltkreise.
 NtE, Berlin 34(1984) H. 6, S. 214 - 218.
- /H2/ Heinz, G.:
 Schaltungskatalog MOS-ED-Schaltungen.
 Interner Bericht INT-TB4-10/80.
- /H3/ Heinz, G.:
 Dokumentation KA601-Analogteil PCM30-Regenerator.
 Interner Bericht INT/TB4/8/81, v. 25. 6. 81.
- /H4/ Heinz, G.:
 Grundzüge des höchstintegrierten Entwurfes.
 INT-Mitteilungen, Ausg. A, Heft 2-82.

- /H5/ Heinz, G.:
 Lambda-Entwurfsregeln NSGT-3S.
 Int. Bericht INT TB4-8/82.
- /H6/ Heinz, G.:
 Lambda-Entwurfsregeln NSGT-2S.
 Int. Bericht INT-TB4-9/82, v.
 4. 11. 82.
- /H7/ Heinz, G.:
 Time Constants Theory.
 Vortrag zum Popow-Seminar, Moskau, Februar 1982.
 Bericht INT-TB4-10/82.
- /H8/ Heinz, G.:
 Zeitkonstantentheorie: eine funktionelle Beschreibung
 des dynamischen Verhaltens von MOS-Gattern.
 Bericht INT-TB4-3/84. Vorgetragen auf der Fachtagung
 Mikroelektronik, TH Karl-Marx-Stadt, 13. 10. 82,
 veröffentlicht in der Vortragskurzfassung d. 13.
 Arbeitstagung: Entwurf von Schaltungssystemen und
 Systementwurf, Dresden, 3. - 5. 4. 1984, Berlin,
 April 1984, AdW-ZKI, 1086 Berlin, Kurstr. 33, S. 106 -
 110.
- /H9/ Heinz, G.:
 Statische und dynamische Dimensionierung NSGT-2S.
 Bericht INT-TB4-2/83, v. 17. 1. 83.
- /H10/ Heinz, G.:
 NSGT-2S Transistormodelle EMOS und DMOS.
 Bericht INT-TB4-2/84.
- /H11/ Heinz, G.:
 Verfahrenslösung
 ISA-Entwurf. Interner Bericht TB/9/84, v. 9. 2. 84.
 Technologische Verfahrenslösung Leistungsstufe V2
 (Thema Verfahrenssicherung Mikroelektronik) Teil II.
- /H12/ Heinz, G.:
 Systemarchitektur für NMOS-VLSI (Synchronbetrieb).
 Int. Bericht INT/TB43/9/84, v. 13. 8. 84.
- /H13/ Heinz, G.:
 Busarchitektur für NMOS-VLSI (4-Phasen-Taktung).
 Int. Bericht INT/TB43/10/84, v. 14. 8. 84.
- /H14/ Heinz, G.:
 Bipolar-Analogschaltungstechnik. Ausgewählte Beispiele
 Vortrag zur Kundenschaltkreistagung, Grünheide, 18.-20.3.85.

- /H15/ Heinz, G.:
 Zur Systematisierung der digitalen CMOS-Schaltungs-
 techniken.
 Vortrag zur Kundenschaltnkreisstagung, Grünheide,
 18. - 20. 3. 85 und zur 20. Arbeitstagung FA Computer-
 Schaltkreissysteme der KDT, Eisenach, 17. - 20. 3. 86.
- /H16/ Heinz, G.:
 Aspekte des Entwurfs hochintegrierter digitaler
 Schaltkreise.
 Int. Bericht INT/EE2/o3/85, v. 1. 4. 85
 Beitrag zum Buch: Schüffny, Fischer: MOS-VLSI-Technik.
 (in Vorbereitung).
- /H17/ Heinz, G.:
 Kapazitätsmodell CKAP für CSGT2N.
 Int. Bericht INT-EE2/o2/85, 5. 6. 85.
- /H18/ Heinz, G.:
 Anlage zum Standardzellkatalog. Hinweise zur Layout-
 Konstruktion CSGT2N.
 INT, Int. Bericht, INT/EE2/01/1985, v. 1. 10. 85.
- /H19/ Hirt, N.; Szopa, J.:
 Entwurf von Schalterkondensator-Netzwerken mit Hilfe
 des Normierten MASON-Graphen.
 NTE, 32(1982), H. 10.
- /H20/ Hoefflinger, B.; Liu, S.T.; Vajdic, B.:
 A Three-Dimensional CMOS Design Methodology.
 IEEE Journal of Solid-State Circuits, Vol. SC-19,
 No. 1, Feb. 1984, S. 37 - 39.
- /H21/ Höfflinger, B.:
 Großintegration, Technologie im Entwurf, Systeme.
 München, Oldenbourg Verlag, 1978.
- /H23/ Holloway, J.; Steele, C.L.; Sussman, C.J.; Bell, A.:
 The SCHEME-79 Chip.
 Mass. Inst. of Technology, FE & CS IC Memo, No. 80-6,
 Jan. 1980, AI Memo, No. 559.
- /H22/ Hörbst, E.:
 VLSI 85. Proceedings of the IFIC TC 10/WG 10.5 Intern.
 Conference on VLSI. Tokyo, 26 - 28. Aug. 85.
 Elsevier science publishers B.V., P.O. Box 1991,
 1000 BZ Amsterdam.

- /H24/ Hsu, F.H., u.a.:
LINC: The Link and Interconnection Chip.
CMU, CS-84-159. INT-Reg. 85B11316.
- /H25/ Hurst, S.L.:
Schwellwertlogik.
Hüthig-Verlag Heidelberg 1974.
- /J1/ Johannsen, D.:
A Microcoded LSI Processor.
California Institute of Technology, DF 1826,
July 11, 1978 (Internal Report).
- /J2/ Johannsen, D.:
Bristle Blocks: A Silicon Compiler.
Proceed of Caltech Conference in VLSI, Dpt. of Comp.
Sc., 1979, pp. 309 - 310.
- /J3/ Johnson, W.N.; Herrick, W.; Grundmann, W.J.:
A VLSI VAX Chip Set.
IEEE Journal of Solid-State Circuits, SC-19, No. 5,
Oct. 1984.
- /J4/ Johnson, M.G.:
Efficient Modeling for Short Channel MOS Circuits
Simulation.
Massachusetts Inst. of Technology, MIT/LCS/TR-277,
1982.
- /J5/ Jones, K.L.; Oldham, H.E.:
Design of High-Performance Integrated Circuits.
GEC Journal of Science & Technology. Vol. 48, No. 2,
1982.
- /J6/ Jung, H., u.a.:
CSGT2N-Standardzellkatalog.
VEB Zentrum für Forschung und Entwicklung der Mikro-
elektronik, Dresden, März 1983.
- /K1/ Kamenka, D.:
Simulation analoger Grundstrukturen.
NTE, 30(1980), H. 10, S. 402 - 405.

- /K2/ Kempe, V.:
Theorie stochastischer Systeme.
Akademie-Verlag Berlin, 1974.
- /K3/ Kerner, I.O.:
Numerische Mathematik und Rechentechnik.
Teubner Verlagsges. Band 47/I und 47/II. Reihe
"Math.-nat.wiss. Bibliothek", Leipzig, 1973.
- /K4/ Köstner, R.; Möschwitzer, A.:
Elektronische Schaltungstechnik.
VEB Verlag Technik Berlin, 1982.
- /K5/ Kopec, G.:
LSIAA/ LSI Artwork Analysis System.
Mass. Inst. of Technol., VLSI-Memo, No. 80-35.
Nov. 1980.
- /K6/ Krambeck, R.H.; Lee, C.M.; Law, H.F.S.:
High-Speed Compact Circuits with CMOS (Domino).
IEEE JSC, Vol. SC-17, No. 3, June 1982, S. 614 - 619.
- /K7/ Krauß, M.:
Beitrag zur Modellierung von MOS-Transistoren.
Diss. A, TU Dresden, 1977.
- /K8/ Krauß, M.:
Ein entwurfsorientiertes, rechnergestütztes Schal-
tungsmodell für den MOS-Anreicherungs-transistor.
NTE 28(1978), H. 1, S. 10 - 11.
- /K9/ Kühn, E.:
Handbuch TTL- und CMOS-Schaltkreise.
Verlag Technik Berlin, 1985.
- /K10/ Kulikowski, R.; Wunsch, G.:
Optimale und adaptive Prozesse in Regelungssystemen.
Band 1.
VT Berlin, 1973.
- /K11/ Kung, H.T.:
Let's Design Algorithms for VLSI Systems.
CMU-CS-79-151, Carnegie-Mellon University, Jan. 1979.
- /K12/ Kung, H.T.; Leiserson, C.A.:
Systolic Arrays for (VLSI).
CMU-CS-79-103. Carnegie-Mellon University, Pittsburgh,
Pennsylvania. April 1978.

- /K13/ Kung, H.T.:
The Structure of Parallel Algorithms.
CMU-CS-79-1 3, Carnegie-Mellon University, Pittsburgh,
Pennsylvania, August 1979.
- /K14/ Kuntzman, J.:
Unendliche Reihen.
Akademie-Verlag Berlin, 1971.
- /L1/ Landgraf-Dietz, D.:
Untersuchung des stationären und dynamischen elektrischen
Verhaltens von MOS-Feldeffekttransistoren mit Hilfe eines
inhomogenen nichtlinearen Leitungsmodells.
Dissertation, TU Dresden, Sekt. 9, 1969.
- /L2/ Lange, F.H.:
Signale und Systeme. Band 1... 3.
VT Berlin, 1965.
- /L3/ Lawrentjew, M.A.; Schabat, B.W.:
Methoden der komplexen Funktionentheorie.
DWW Berlin, 1967.
- /L4/ Leach, J.; Oliver, B.:
Dynamic logic lends CMOS power levels to lowcost
p-MOS microcomputer.
Electronics, March 10, 1983, S. 125 - 127.
- /L5/ Lee, C.M.; Soukup, H.:
An Algorithm for CMOS Timing and Area Optimization.
IEEE Journal of Solid-State Circuits, SC-19, No. 5,
Oct. 1984, S. 781 - 787.
- /L6/ Lewis, E.T.:
Optimization of Device Area and Overall Delay for
CMOS VLSI Designs.
Proceedings of the IEEE. Vol. 72, No. 6, June 1984,
S. 670 - 689.
- /L7/ Lincoln, C.P.:
Entwurf einer Zellenbibliothek in 3 μ m-CMOS-Technologie
Elektrisches Nachrichtenwesen (ITT), Band 58, Heft 4,
1984, S. 384 - 388.
- /L8/ Liu, S.S.; Fu, C.H., u.a.:
HMOS III Technology.
IEEE Int. Solid-State Circuits Conference, Digest of
Techn. Papers, 1982, S. 234 - 235.

- /L9/ Liu, W.T.:
Techniques for Estimation of the Area of Integrated Digital Circuits.
Univ. of Michigan, CRL-TR-2-83, Jan. 1983, INT-Reg. 85B11156.
- /L10/ Loftis, W.O.:
Composite Cell Logic - A Custom Bipolar LSI Design Approach.
IEEE Custom Integrated Conference, Rochester NY, May 19-21, 1980, 80CH1562-8, S. 73 - 75.
- /L11/ Lopez, A.D.; Law, H.F.S.:
A Dense Gate Matrix Layout Method for MOS VLSI.
IEEE Transact. on Electron Devices, No. 27, 1980, S. 1671ff., ebenda in ISCAS'82, S. 1214 - 1228.
- /L12/ —
Anwenderhandbuch Logiksimulator LS11.
VEB Mikroelektronik Karl Marx Erfurt, 1984.
- /L13/ —
Handbuch LSI-Simulator.
VEB Funkwerk Erfurt, 1984, s. auch /H1/.
- /L14/ Luhukay, J.F.P.:
Layout Synthesis of NMOS Gatecells. Univ. of Illinois, 1983. INT-Reg. 85B11153.
- /L15/ Lunze, K.:
Berechnung elektrischer Stromkreise. Leitfaden und Aufgaben.
VEB Verlag Technik, Berlin, 1970.
- /L16/ Lunze, K.:
Einführung in die Elektrotechnik.
VT Berlin, 1971.
- /M1/ Magnhagen, B.:
Probability Based Verification of Time Margins in Digital Designs.
Linköping University, Sweden, S58183, Diss. No. 17, 1977, INT-Reg. 83/10409.
- /M2/ Marshall, M.; Waller, L.; Wolff, H.:
The 1981 Achievement award: Lynn Conway, Carver Mead.
Electronics/Oct. 20, 1981, S. 103 - 105.

- /M3/ Marques, J.M.C.A.:
MOSAIC: Une Methodologie de Conception pour les
Circuits Systeme VLSI.
Dissertation. Institut Polytechnique de Grenoble,
24. Sept. 1980.
- /M4/ Martin, J.C.:
Random and Programable Logic in Watches.
North Holland Publ. Company. Aus: From "electronics
to Microelectronics. 1980.
- /M5/ Mc Cabe, M.M., u.a.:
New Algorithms and Architectures for VLSI.
GEC Journal of Science & Technology. Vol. 48,
No. 2, 1982.
- /M6/ Mead, C.; Conway, L.:
Introducion to VLSI-Systems.
Addison-Wesley-Publ. Comp., Reading MA, USA, 1980.
- /M7/ Meinen, P.:
Der DNS-Schaltwerksimulator.
Bericht Nr. 7616, TU München, Institut für Infor-
matik, 1976.
- /M8/ Melcher, H.:
A. Einstein wider Vorurteile und Denkgewohnheiten.
Akademie-Verlag Berlin, 1979.
- /M9/ Mercer, M.R.; Agrawal, V.D.:
A Novel Clocking Technique for VLSI Circuit
Testability.
IEEE Journal of Solid-State Circuits, SC-19, No. 2,
April 1984.
- /M10/ Mey de, G.:
A Comment on "The Modeling of Resistive Interconnects
for Integrated Circuits".
IEEE Journal of Solid-State Circuits, Vol. SC-19,
No. 4, Aug. 1984.
- /M11/ Micheli de, G., u.a.:
Symmetric Displacement Algorithms for the Timing
Analysis of Large Scale Circuits.
IEEE Transact. on CAD-2, No. 3, July 1983,
S. 167 - 179.

- /M12/ Miklosko, J.:
Four spec. VLSI-Computers for the fast Gauss-Jordan-Rutishauser Elimination Algorithm with partial Pivoting
TUM-Interner Bericht, München, 1984.
- /M13/ Mikusinski, J.:
Operatorenrechnung.
VEB DVW Berlin, 1957.
- /M14/ Möschwitzer, A.:
Ein einfaches Schwellspannungsmodell für Depletion- und Deepdepletion-MOS-Transistoren.
Wiss. Zeitschr. der TU Dresden, 29(1980) H.1,
S. 235 - 237.
- /M15/ Möschwitzer, A.:
Elektronische Eigenschaften skalierteter MOS-Transistoren für VLSI-Schaltkreise.
NTE, 33(1983), H. 3, S. 95 - 100.
- /M16/ Möschwitzer, A.; Lunze, K.:
Halbleiterelektronik. Lehrbuch.
VT Berlin, 1973.
- /M17/ Möschwitzer, A.:
Halbleiterelektronik (Wissensspeicher)
VEB Verlag Technik Berlin, 1983
- /M18/ Möschwitzer, A.; Jorke, G.:
Mikroelektronische Schaltkreise.
VEB VT Berlin, 1981.
- /M19/ Moore, G.E.:
Are we really Ready for VLSI?
Int. Solid-State Circuits Conference, 1979,
Feb. 14 - 16, 1979.
- /M20/ Moroga, C.:
VLSI: Algorithms and Realisations.
Case Studies. (I²L).
Univ. Dortmund, Ber. 176/84. INT-Reg. 85B11317.
- /M21/ Moto-oka, T.:
Fifth Generation Computer Systems.
North Holland Publ. Comp. JIPDEC, 1982.
- /M22/ Mudge, J.C.; Herrick, W.V.; Walther, H.:
A Single-Chip Floating-Point Processor. A Case Study in Structured Design.
IEEE Int. Conference on Circuits and Computers, 1980.

- /M23/ Mudge, J.C.; Peters, C.; Tarolli, G.M.:
A VLSI Chip Assembler.
IEEE Int. Conference on Circuits and Computers, 1980.
- /N1/ Nemes, M.:
Driving Large Capacitances in MOS LSI Systems.
IEEE Journal of Solid-State Circuits, Vol. SC-19.
No. 1, Feb. 1984, S. 159 - 162.
- /N2/ Nham, H.N.; Bose, A.K.:
A Multiple Delay Simulator for MOS LSI Circuits.
IEEE Design Autom. Conference, No. 17, June 1980.
- /N3/ ———
Anwenderhandbuch NIFAN.
VEB Halbleiterwerk Frankfurt/Oder, 1984.
- /N4/ Nosov, R. J.; Petrosjaz, K.O.; Schilin, W.A.:
Matematičeskie modeli elementov integral'noi elektroniki
Moskva, Sovetskoe Radio, 1976.
- /N5/ Nowak, W.; Näser, J.:
Elektronische Schaltungen.
Lehrbriefe 1... 5, Verlag Technik Berlin, 1977.
- /N6/ ———
Pflichtenheft nSGT2.
Interner Bericht VEB Zentrum für Forschung und Technik
Dresden.
- /01/ Oberst, E.:
Entwurf von Kombinationsschaltungen.
Reihe Automatisierungstechnik, Bd. 123. VT Berlin, 197
- /02/ Ousterhout, J.K.:
A Switch-Level Timing Verifier for Digital MOS VLSI.
IEEE, Transact. on CAD, CAD-4, No. 3, July 1985,
S. 336 - 349.
- /03/ Ousterhout, J.K.:
Crystal: A Timing Analyser for nMOS VLSI Circuits.
Univ. of California, Berkeley CA, Report UCB/CSD83/119
Jan. 1983, INT-Reg. 83/10409.
- /04/ Ousterhout, J.K.; Gordon, T. u.a.:
MAGIC: A VLSI Layout System.(UoC).
ACM 21st DAC, Proc.'84, Albuquerque, 21-23 June 1984,
S. 152 - 179.

- /P1/ Paul, R.:
Transistortechnik.
VT Berlin, 1966.
- /P2/ Penfield, P.; Rubinstein, J.:
Signal Delay in MOS Interconnections.
Massachusetts Institute of Technology, VLSI-Memo,
No. 81 - 48, April 1981, ebenda in Proceedings of the
Second Caltech Conference on VLSI, Jan. 19-21, 1981,
Pasadena, CA, USA.
- /P3/ Penfield, P.:
Student Guide to Microsystems Research at M.I.T..
Mass. Inst. of Technology, Cambridge, MA, Dep. of
EE & CS, Memo No. 80 - 10, June 1981.
- /P4/ Pfennings, L.C.M.G., u.a.:
Differential Split-Level CMOS Logic for Subnanosecond
Speeds.
IEEE Journal for Solid-State Circuits, SC-20, Oct. 198
S. 1050 - 1053.
- /P5/ Philippow, E.:
Grundlagen der Elektrotechnik.
Geest & Portig K.G., 5. Aufl., Leipzig, 1976.
- /P6/ Philippow, E.:
Nichtlineare Elektrotechnik.
Geest & Portig K.G., Leipzig, 1971.
- /P7/ Philippow, E.:
Taschenbuch Elektrotechnik.
Band 1. und 3. Verlag Technik Berlin, 1968.
- /P8/ Posdziech, G.:
Empirisches Modell des Enhancement-Transistors mit
kurzem Kanal.
NtE 30(1980) H. 3, S. 111 - 112.
- /P9/ Posdziech, G.:
Entwurf und Einsatz von Feststrukturen: Modellgerechte
Bestimmung von U_T , l , w , K_D von MOS-Transistoren.
VEB ZFTM Dresden, Ber. E2E1 123/83, v. 24. 6. 83.
- /P10/ Posdziech, G.:
Modell des Depletionstransistors.
Nachrichtentechnik-Elektronik, 29(1979) H. 6,
S. 236 - 239.

- /P11/ Posdziech, G.:
 Modell des Depletion-MOS-Transistors (DT).
 Int. Ber. VE IM Dresden, ENT EEW 40/78, v. 30. 6. 78.
- /P12/ Posdziech, G.:
 Stationäres Enhancement-Transistor-Modell ARON 3.
 Int. Ber. VEB ZFTM Dresden, E2E1 134/83, v. 14. 7. 83.
- /P13/ Posdziech, G.:
 Stationäres Transistormodell ... für nSGT (ED).
 Int. Ber. VE IM Dresden, ENT EEW 23/79, v. 9. 2. 79.
- /P14/ Posdziech, G.:
 Transistormodell für n-SGT.
 Int. Ber. VE IM Dresden, ENT EEW 17/78, v. 11. 4. 78.
- /R1/ Ramachandran, V.:
 On Driving Many Long Lines in a VLSI Layout.
 (ohne Quellenangabe).
- /R2/ Rebel, B.; Gössel, M.:
 Ein paralleler Speicher.
 AdW Zentralinst. für Kybern. und Inf., Berlin, Nov. 82.
- /R3/ Reibiger, A.:
 Netzwerkanalyse als Grundlage für die rechnergestützte
 Schaltungsentwicklung.
 Grundlagen der Schaltungsentwicklung.
 Akademie-Verlag Berlin, 1979.
- /R4/ Rhein, D.:
 Ein nichtlineares RC-Modell für die Ladungsübertragung
 in 2-Phasen-Oberflächen-CCD.
 NtE 30(1980) H. 4, S. 158ff.
- /R5/ Rivest, R.:
 Documentation of the RSA Chip Assembler.
 MIT-LCS, July 1, 1980.
- /R6/ RÖbler, F.; Fischer, P.; Möschwitzer, A.; Hecker, W.:
 LSI SIMULATOR - ein leistungsfähiges Programmsystem zur
 Funktionsverifikation hoch- und höchstintegr. Schalt-
 kreise.
 NtE, Berlin 34(1984) H. 6, S. 213 - 214.
- /R7/ Roher, R.A., u.a.:
 Quasi-Static Control of Explicit Algorithms for Transie
 Analysis.
 IEEE Trans. on CAD, CAD-3, No. 3, July 1984.

- /R8/ Ruehli, A.E.; Wolff, P.K.; Goertzel, G.:
Analytical Power/Timing Optimization Technique for
Digital Systems.
Proc. Computer-Aided-Design-Conference, 1977.
- /R9/ Ruehli, A.E.:
Circuit Analysis, Logic Simulation and Design Veri-
fication for VLSI.
Proc. of the IEEE, Vol. 71, No. 1, Jan. 1983.
- /R10/ Rubinstein, J.; Penfield, P.; Horowitz, M.A.:
Signal Delay in RC Tree Networks.
IEEE Transact. on CAD, CAD-2, No. 3, July 1983.
S. 202 - 211.
- /R11/ Rutenbar, R.A.; Mudge, T.N.:
A Class of Cellular Architectures to Support Physical
Design Automation.
Univ. of Michigan, CRL-TR-10-83, 1983. INT-Reg. 85B1111
- /S1/ Sakurai, T.:
Approximation of Wiring Delay in MOSFET LSI.
IEEE Journal of Solid-State Circuits, SC-18, No. 4,
Aug. 1983, S. 418 - 426.
- /S2/ Schetzen, M.:
The Volterra and Wiener Theories of nonlinear Systems.
New York, J. Wiley & Sons, 1980, 526 S.
- /S3/ Schüffny, R.; Fischer, W.-J.; Möschwitzer, A.:
Bestimmung von Schwell- und Durchbruchspannung von
KMOS-Transistoren durch zweidimensionale Simulation.
Zeitschr. für elektr. Inform. und Energietechnik,
Leipzig 11(1981)4, S. 359 - 373.
- /S4/ Schüffny, R.; Fischer, W.-J.; Möschwitzer, A.:
Örtlich zweidimensionale Analyse des MOSFET.
NTE, 30(1980) H. 5, S. 194 - 196.
- /S5/ Seiler, L.:
Special Purpose Hardware for Design Rule Checking.
Mass. Inst. of Techn., VLSI Memo, No. 81-41,
Febr. 1981.
- /S6/ Sequin, C.H.:
Generalized IC Layout Rules and Layout Representations
Internat. Conference on VLSI, Univ. of Edinburgh, UK,
18. - 21. Aug. 1981.

- /S7/ Sherburne, R.W., u.a.:
A 32 Bit NMOS Microprocessor with a Large Register File
IEEE Journal of Solid-State Circuits, SC-19, No. 5, Oct
1984.
- /S8/ Shichman, H.; Hodges, D.A.:
Modeling and Simulation of Insulated Gate Field Effect
Transistor Switching Circuits.
IEEE Journal of Solid-State-Circuits, SC-3, 1968,
S. 285 - 289.
- /S9/ Shoji, M.:
Electrical Design of Bellmac-32A Microprocessor.
Bell-Laboratories, Murray Hill, NJ, 07974 (Internal
Report)
- /S10/ Shoji, M.:
FET Scaling in Domino CMOS Gates.
IEEE Journal of Solid State Circuits, SC-20, Oct. 1985
S. 1067 - 1071.
- /S11/ Sibbert, H.; Höfflinger, B.; Zimmer, G.:
Analytisches Modell, Leistungsfähigkeit und Skalierung
kleinster MOS-Transistoren für höchstintegrierte Digi-
talschaltkreise.
NTG.Fachberichte, No. 68, 1979, S. 128 - 134, ENI 0375
- /S12/ Simonyi, K.:
Theoretische Elektrotechnik.
VEB DVW, Berlin, 1968.
- /S13/ —
Handbuch Logiksimulator SIMPER.
Institut für Nachrichtentechnik, INT-S03, 1979.
- /S14/ Singh, N.P.:
A Design Methodology for Self-timed Systems.
MIT-LCS-TR-258, Feb. 1981, Cambridge, MA. INT-Reg.
83B10228.
- /S15/ —
International Directory of Software 1982-83.
By Computing Publications Ltd. England, Pitman-Press,
Lower Bristol Road, Bath, England, 1983.
- /S16/ —
Anwenderhandbuch STADYNET.
Programmdokumentation 161/79-RM, VEB Zentrum für For-
schung und Technik Dresden, 1979.

- /S17/ Stoyan, H.:
LISP-Anwendungsgebiete, Grundbegriffe, Geschichte.
Akademie-Verlag Berlin, 1980.
- /S18/ Strojwas, A.J.:
Optimal Design of VLSI-Minicells using a Statistical
Process Simulator.
Carnegie Mellon Univ., Pittsburgh, PA, Jan. 1983.
- /S19/ Stürz, H.; Cimander, W.:
Logischer Entwurf digitaler Schaltungen.
VT Berlin, 1976.
- /S20/ Supnik, R.M.:
Micro VAX 32, A 32 Bit Microprocessor.
IEEE Journal of Solid-State Circuits, SC-19, No. 5,
Oct. 1984.
- /S21/ Sussman, G.J., u.a.:
Computer Aided Evolutionary Design for Digital Inte-
grated Systems.
Mass. Inst. of Techn. AI Memo No. 526, May 1979.
- /T1/ Teichmann, W.:
Ein Beitrag zur Analyse von Verzerrungen im nichtline-
aren elektrischen Netzwerken.
Dissertation A, HfV Dresden, 5. 4. 81.
- /T2/ Teichmann, W.:
Probleme bei der Analyse fastlinearer elektrischer
Netzwerke.
NtE 1984, H. 2, S. 54 - 57.
- /T3/ Thaper, H.K.; Leon, B.J.:
Lumped Nonlinear System Analysis With Volterra Series.
Purdue Univ., West Lafayette, Ind., 1979.
- /T4/ Thompson, C.D.; Raghavan, P.:
On Estimating the Performance of VLSI Circuits.
University of California, Berkeley CA, Rep.
UCB/CSD 84/138, Sept. 1983.
- /T5/ Tokuda, T., u.a.:
16b CPU Design by a Hierarchical Polycell Approach.
IEEE, Int. Conference on Circuits and Computers,
New York, 1982, S. 102 - 105.

- /T6/ Tokuda, T., u.a.:
 Delay-Time Modeling for ED MOS Logic LSI.
 IEEE Transact. on CAD, CAD-2, No. 3, July 1983.
 S. 129 - 134.
- /T7/ Toth, F.; Martinez, M.; Waldö, S.:
 Multiplizier: CMOS verringert Leistungsaufnahme.
 Elektronik 12/14. 6. 1985, S. 57 - 60.
- /T8/ Tychonoff, A.N.; Samarski, A.A.:
 Differentialgleichungen der mathematischen Physik.
 DVW Berlin, 1959.
- /U1/ Unbehauen, R.:
 Systemtheorie.
 Akademie-Verlag Berlin, 1980.
- /V1/ Veendrick, H.J.M.:
 Short Circuit Dissipation of Static CMOS Circuitry and
 Its Impact on the Design of Buffer Circuits.
 IEEE Journal of Solid-State Circuits, SC-19, No. 4,
 Aug. 1984, S. 468 - 473.
- /V2/ Vich, R.:
 Z-Transformation.
 VEB Verlag Technik, Berlin, 1964.
- /V3/ Vielhauer, P.:
 Lineare Netzwerke.
 VT Berlin, 1982.
- /V4/ Vielhauer, P.:
 Passive lineare Netzwerke.
 VEB Verlag Technik, Berlin, 1974.
- /W1/ Wadsack, R.L.:
 Design Verification and Testing of the WE 32100 CPU's.
 IEEE Design and Test, Aug. 1984, S. 66 - 74.
- /W2/ Wanhammer, L.:
 An Approach to LSI-Implementation of Wave Digital
 Filters.
 Linköping University, Dep. of El. Engin., S-58183,
 Sweden, 1981, INT-Reg. 83/10410.

- /W3/ Wardle, C.L., u.a.:
A Declarative Design Approach for Combining Macro-
modells by Directed Placement and Constructive Routing
ACM 21st DAC, Proc. '84, Albuquerque, 21-23 June 1984.
S. 594 - 601.
- /W4/ Weiner, D.D.; Spina, J.F.:
Sinusoidal Analysis and Modeling...
New York, Van Nostrand, 1980. - 30, 290 S.
- /W5/ Whitaker, S.:
Pass-Transistor networks optimize n-MOS logic.
Electronics, Sept. 22, 1983, S. 144 - 148.
- /W6/ Williams, T.W.; Parker, K.P.:
Design for Testability - A Survey.
Proc. of the IEEE, Vol. 71, No. 1, Jan. 1983.
- /W7/ Wunsch, G.:
Algebraische Grundbegriffe.
VT Berlin, 1970.
- /W8/ Wunsch, G.:
Elemente der Netzwerksynthese.
VT Berlin, 1969.
- /W9/ Wunsch, G.:
Moderne Systemtheorie.
Geest & Portig, Leipzig, 1962.
- /W10/ Wunsch, G.:
Laufzeitentzerrer und Verzögerungsschaltungen.
VT Berlin, 1960.
- /W11/ Wunsch, G.:
Systemtheorie der Informationstechnik.
Geest & Portig, Leipzig, 1971.
- /W12/ Wunsch, G.:
Theorie und Anwendung linearer Netzwerke.
Band 1 und 2.
Geest & Portig, Leipzig, 1964.
- /Y1/ Young, J.:
Program simulates digital MOS circuits (Mosaid 1000).
Electronics, Sept. 8, 1983, S. 193 - 194.

/Z1/ Zahr:

Modellierung der Kapazitäten von nSGT-MOS-Transistoren.
VE Institut für Mikroelektronik Dresden, E-Notiz
EEW 37/79, v. 21. 2. 79.

/Z2/ Zech, K.A.:

Über Möglichkeiten zum Entwurf diagnosefreundlicher
Schaltungen.
Bericht INT-S03-TH-3/02104/50/8214II.

/Z3/ Zypkin, J.S.:

Differentialgleichungen der Impuls- und Regelungstechnik
VT Berlin, 1956.

/Z4/ Zypkin, J.S.:

Theorie der linearen Impulssysteme.
VT Berlin, 1967.

Inverter SYNEG:

SCH SYNEG E-A-P-M

*(BN=24. 61392934, BP=75. 38607067, GEN=2)
* SYMMETRISCHER INVERTER UINV=2. 5000 V
* EIGENLAST IDENTISCH NEG1-STAZ
* 18. 7. 85 >>>GH<<<

TN1 E-A-M-M=ENC (BN=24. 61392934, GEN=2)
TP2 E-A-P-P=EPC (BP=75. 38607067, GEN=2)

Transistorschaltungen:

SCHALTUNG: ENC G-D-S-B (BN=16, LN=6, GEN=2)

=====

ENHANCEMENT-TRANSISTOR N-KANAL CSGT2N
WAEHLBARE KAPAZITAETSGENAUIGKEIT (GEN=0, 1, 2)
Version vom 18. 07. 1985 >>Heinz/EE2<<<

=====

IDS D-S=CTRA(U: CGS, U: IDS, U: CGB, BN, LN, 1)
CGD G-D=CKAP(U: CGS, U: IDS, U: CGB, BN, LN, 1, 1, GEN)
CGS G-S=CKAP(U: CGS, U: IDS, U: CGB, BN, LN, 1, 2, GEN)
CGB B-S=CKAP(U: CGS, U: IDS, U: CGB, BN, LN, 1, 3, GEN)
CDB D-B=CKAP(U: CGS, U: IDS, U: CGB, BN, LN, 1, 4, GEN)

SCHALTUNG: EPC G-D-S-B (BP=16, LP=6, GEN=2)

=====

ENHANCEMENT-TRANSISTOR P-KANAL CSGT2N
WAEHLBARE KAPAZITAETSGENAUIGKEIT (GEN=0, 1, 2)
Version vom 18. 07. 1985 >>Heinz/EE2<<<

=====

IDS S-D=CTRA(U: CGS, U: IDS, U: CGB, BP, LP, 2)
CGD D-G=CKAP(U: CGS, U: IDS, U: CGB, BP, LP, 2, 1, GEN)
CGS S-G=CKAP(U: CGS, U: IDS, U: CGB, BP, LP, 2, 2, GEN)
CGB S-B=CKAP(U: CGS, U: IDS, U: CGB, BP, LP, 2, 3, GEN)
CDB B-D=CKAP(U: CGS, U: IDS, U: CGB, BP, LP, 2, 4, GEN)

Stromquelle I_{DS} :

```
REAL*8 FUNCTION CTRA(UGS, UDS, UGB, B, L, TRS)
IMPLICIT REAL*8 (A-Z)
INTEGER*2 J
ANALOG-ENHANCEMENT-TRANSISTORMODELL N- UND P-KANAL
FUER ZWEIGSPANNUNGSANALYSE
NACH CMOSTA (ZFTM) VOM 13. 11. 81
INT 18. 7. 85 >>>GH<<<
```

```
K11 (in uA/V**2) STETS POSITIV BEI P- UND N-KANAL
K11, K21, UT01-PARAMETER BEI L=UNENDLICH UND B=UNENDLICH
BETA2=K(1)=K11+K12/LEL+K13/BEL
K2=K21+K22/LEL+K23/BEL
K3=K31+K32/LEL
K4=K41+K42/LEL
K5=K51+K52/LEL
UT0=K(6)=UT01+UT02/LEL+UT03/BEL
DELTAB=DB
DELTAL=DL
VF2=VF2
```

```
POLARITAETEN DER ZWEIGSPANNUNGEN:
UGS: G->S: POS., UDS: D->S: POS., UBS: B->S: NEG. --- N-KANAL
UGS: S->G: POS., UDS: S->D: POS., UBS: S->B: NEG. --- P-KANAL
BEIM P-KANAL SIND IM MODELL DIE ZWEIGRICHTUNGEN ZU VERTAUSCHEN,
DAMIT VORZEICHEN DER ZWEIGSPANNUNGEN IN DIESER ORIENTIERUNG
VERBLEIBEN. EVTL. VERTAUSCHTE SOURCE- UND DRAIN-ANSCHLUESSE KORRIGIERT
DAS MODELL EIGENSTAENDIG.
```

```
TRS=1: N-KANAL-PARAMETERSATZ
TRS=2: P-KANAL-PARAMETERSATZ
```

```
M=1: UDS>VS
M=-1: UDS<VS (WIRD VOM MODELL EIGENSTAENDIG KORR.)
```

```
T(I, 1)= N-KANAL
T(I, 2)= P-KANAL
```

```
DATA /K11, K12, K13, K21, K22, K23, K31, K32, K41, K42, K51, K52, UT01,
1 2 3 4 5 6 7 8 9 10 11 12 13
UT02, UT03, DB, DL, VF2, VEB, XJ, COX, CRAND, CSPER, SAKT, EXP, WURZ, ...
14 15 16 17 18 19 20 21 22 23 24 25 26
```

```
DIMENSION T(26, 2)
```

```
DATA T/19. 47, 63. 72, 75. 08, 1. 144, -. 5488, . 3816, . 056, . 3161, 8E-4,
F . 0564, . 7311, -. 503, 1. 178, -1. 72, . 3781, -2. 5, -1. 5, . 66, -1. 3, . 7, 5E-4,
F 5E-4, 6E-5, 8. . . 5, . 418,
F 5. 678, 2. 643, -4. 165, . 41, -. 223, 2. 697, . 0588, . 4331, 76E-5, 1169,
F . 8385, . 0584, . 9049, . 3921, . 7749, -2. 5, -2. 1, . 59, -1. 3, . 7, 5E-4, 5E-4,
F 6E-5, 8. . . 5, . 153/
```

```
IF (TRS. EQ. 1) THEN
```

```
J=1
ELSE
J=2
ENDIF
```

```
BEL=B+T(16, J)
LEL=L+T(17, J)
K10=(T(1, J)+T(2, J)/LEL+T(3, J)/BEL)*1E-3
K20=T(4, J)+T(5, J)/LEL+T(6, J)/BEL
K30=T(7, J)+T(8, J)/LEL
K40=T(9, J)+T(10, J)/LEL
K50=T(11, J)+T(12, J)/LEL
K60=T(13, J)+T(14, J)/LEL+T(15, J)/BEL
```

```
UBS=UGS-UGB
IF (UDS. LT. 0. 0) THEN
VG=UGS-UDS
VB=UBS-UDS
VD=-UDS
M=-1. 0
ELSE
VG=UGS
VB=UBS
VD=UDS
M=1. 0
ENDIF
```

```
IF (VB. LT. 0. 0) THEN
UET=K60+K20*(DSQRT(-VB+T(18, J))-DSQRT(T(18, J)))
ELSE
UET=K60
ENDIF
```

```

IREST=VD*1E-9*BEL/(LEL*15.)
VSAT=K50*(VG-UET)
KO=K10*BEL/(LEL*(1+K30*(VG-UET)))
K54=K40*K50*(VG-K60)

```

```

IF (VSAT.LT.-K54*VD) THEN
IDS=IREST
GOTO 1000

```

```

ELSE
IF (VSAT.GT.VD) THEN
IDS=KO*VD*(2.*VSAT*(K54+1.)+VD*(K54**2-1.))+IREST
GOTO 1000

```

```

ELSE
IDS=(KO*(VSAT+K54*VD)**2)+IREST
GOTO 1000
ENDIF
ENDIF
CTRA=IDS*M
RETURN
END

```

1000

Transistorkapazitäten:

```

REAL*8 FUNCTION CKAP(UGS, UDS, UGB, B, L, TRS, KAP, GEN)
IMPLICIT REAL*8 (A-Z)
INTEGER*2 J

```

```

ANALOG-ENHANCEMENT-TRANSISTORMODELLKAPAZITAETEN
SPANNUNGSABHAENGIGE ODER KONSTANTE MODELLIERUNG
N- UND P-KANAL; GATE-SOURCE- UND GATE-DRAIN-KAPAZITAET
FUER ZWEIGSPANNUNGSANALYSE
NACH CMOSTA VOM 13.11.81, CMOSEST UND KAPPAT (ZFTM)
INT 18.7.85 >>>GH<<<

```

```

POLARITAETEN DER ZWEIGSPANNUNGEN:
UGS: G->S: POS., UDS: D->S: POS., UBS: B->S: NEG. --- N-KANAL
UGS: S->G: POS., UDS: S->D: POS., UBS: S->B: NEG. --- P-KANAL
BEIM P-KANAL SIND IM MODELL DIE ZWEIGRICHTUNGEN ZU VERTAUSCHEN,
DAMIT VORZEICHEN DER ZWEIGSPANNUNGEN IN DIESER ORIENTIERUNG
VERBLEIBEN. EVTL. VERTAUSCHTE SOURCE- UND DRAIN-ANSCHLUESSE KORR.
GIERT DAS MODELL EIGENSTAENDIG.

```

```

TRS=1: N-KANAL-PARAMETERSATZ
TRS=2: P-KANAL-PARAMETERSATZ

```

```

KAP=1: GATE-DRAIN-KAPAZITAET
KAP=2: GATE-SOURCE-KAPAZITAET
KAP=3: GATE-BULK-KAPAZITAET
KAP=4: DRAIN-BULK-KAPAZITAET

```

```

GEN=0: KONSTANTE KAPAZITAETEN
GEN=1: SPANNUNGSABHAENGIGE MOD. (UTE=f(VB))
GEN=2: SPANNUNGSABH. MOD. (MIT KURZ-& SCHMALKAN. EFF.)

```

```

M=1: UDS>VS
M=-1: UDS<VS (WIRD VOM MODELL EIGENSTAENDIG KORR.)

```

K11, K21, UT01-PARAMETER BEI L=UNENDLICH UND B=UNENDLICH

```

T(I,1)= N-KANAL
T(I,2)= P-KANAL

```

```

DATA /K11, K12, K13, K21, K22, K23, K31, K32, K41, K42, K51, K52, UT01,
1 2 3 4 5 6 7 8 9 10 11 12 13
UT02, UT03, DB, DL, VF2, VEB, XJ, CDX, CRAND, CSPER, SAKT, EXP, WURZ, etc.
14 15 16 17 18 19 20 21 22 23 24 25 26

```

```

DIMENSION T(26,2)
DATA T/19.47, 63.72, 75.08, 1.144, -.5488, .3816, .056, .3161, 8E-4,
.0564, .7311, -.503, 1.178, -1.72, .3781, -2.5, -1.5, .66, -1.3, .7, 5E-4,
5E-4, 6E-5, 8., .5, .418,
5.678, 2.643, -4.165, .41, -.223, 2.697, .0588, .4331, 76E-5, .1169,
.8385, .0584, .9049, .3921, .7749, -2.5, -2.1, .59, -1.3, .7, 5E-4, 5E-4,
6E-5, 8., .5, .153/

```

DATA PI/3.1415926535898D0/

```

IF (TRS.EQ.1) THEN
J=1
ELSE
J=2
ENDIF

```

```
BEL=B+T(16, J)
IF (KAP. EQ. 4) GOTO 100
```

```
LEL=L+T(17, J)
CO=T(21, J)*BEL*LEL
```

```
CCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCC
```

```
C KONSTANTE KAPAZITAETEN (GEN=0)
```

```
IF (GEN. EQ. 0) THEN
IF (KAP. EQ. 3) THEN
CKAP=0
RETURN
ENDIF
IF (KAP. EQ. 1) THEN
CKAP=.333*CO
RETURN
ENDIF
IF (KAP. EQ. 2) THEN
CKAP=.666*CO
RETURN
ENDIF
```

```
ENDIF
```

```
CCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCC
```

```
C SPANNUNGSABH. KAPAZITAETEN (GEN=1, 2)
```

```
UBS=UGS-UGB
IF (UDS. LT. 0. 0) THEN
VG=UGS-UDS
```

```
VB=UBS-UDS
VD=-UDS
M=-1
ELSE
VG=UGS
VB=UBS
VD=UDS
M=1
ENDIF
```

```
CXJ=T(21, J)*BEL*T(20, J)
UT00=T(13, J)+T(14, J)/LEL+T(14, J)/BEL
```

```
IF (GEN. EQ. 2) THEN
IF (VB. LT. 0. 0) THEN
K20=T(4, J)+T(5, J)/LEL+T(6, J)/BEL
K50=T(11, J)+T(12, J)/LEL
UET=UT00+K20*(DSQRT(-VB+T(18, J))-DSQRT(T(18, J)))
VSAT=K50*(VG-UET)
ELSE
UET=UT00
VSAT=T(11, J)*(VG-UET)
ENDIF
ELSE
UET=UT00-T(26, J)*VB
VSAT=T(11, J)*(VG-UET)
ENDIF
```

```
C GATE-BULK-KAPAZITAET:
```

```
IF (KAP. EQ. 3) THEN
IF (GEN. EQ. 1) THEN
KMIN=.333
VX=-T(19, J)*.333
IF (VSAT. LE. T(19, J)) THEN
CKAP=CO
RETURN
ENDIF
IF (VSAT. GT. VX) THEN
CKAP=0
RETURN
ELSE
CKAP=CO*(.333+.667*VSAT/T(19, J))
RETURN
ENDIF
ENDIF
```

```

IF (GEN. EQ. 2) THEN
KMIN=. 1+. 15*UET
VX=-T(19, J)/(1/KMIN-1)
IF (VSAT. LE. T(19, J)) THEN
CKAP=CO
RETURN
ENDIF
IF (VSAT. GT. VX) THEN
CKAP=0
RETURN
ELSE
CKAP=CO*(KMIN-VSAT/T(19, J))*(KMIN-1)
RETURN
ENDIF
ENDIF
ENDIF

```

C GATE-SOURCE-KAPAZITAET:

```

IF (KAP. EQ. 2) THEN
IF (VSAT. LE. -. 1) THEN
CKAP=CXJ
RETURN
ENDIF
IF (VSAT. LE. 0) THEN
CKAP=CXJ+. 667*CO*(DSIN(5*PI*(. 1+VSAT)))**2+CXJ
RETURN
ENDIF
IF (VSAT. LE. VD) THEN
CKAP=CXJ+. 667*CO
RETURN
ELSE
CKAP=CXJ+. 667*CO*(1-((VSAT-VD)/(2*VSAT-VD)))**2)
RETURN
ENDIF
ENDIF

```

C GATE-DRAIN-KAPAZITAET:

```

IF (KAP. EQ. 1) THEN
IF (VSAT. LE. 0) THEN
CKAP=CXJ
RETURN
ENDIF
IF (VSAT. LE. VD) THEN
CKAP=CXJ
RETURN
ELSE
CKAP=CXJ+. 667*CO*(1-(VSAT/(2*VSAT-VD)))**2)
RETURN
ENDIF
ENDIF

```

C DRAIN-BULK-SPERRSCHICHTKAPAZITAET:

```

100 CAKT=T(24, J)*BEL*T(23, J)+(2*BEL+2*T(24, J))*T(22, J)
IF (GEN. EQ. 1. OR. GEN. EQ. 0) THEN
CKAP=CAKT
RETURN
ELSE
IF (UDB. LT. -. 699) THEN
CKAP=CAKT*. 001**(-T(25, J))
ELSE
CKAP=CAKT*((. 7+UDB)**(-T(25, J)))
ENDIF
RETURN
ENDIF
END

```

Verknüpfungen komplementärer Funktionen (Identitäten)

Notation:

$$x = 1 - x^*$$

Normierung:

$$x = x/X_0$$

Zentrierung:

$$x = 1/2 + x^*; \quad x^* = 1/2 - x^*$$

Dezentrierung:

$$x^* = x - 1/2; \quad x^* = 1/2 - x^*$$

Funktionen einer Variablen:

$$a + a^* = 1$$

$$a - a^* = a^2 - a^{*2} = 2a - 1$$

$$a^2 + a^{*2} = 2a^2 - 2a + 1$$

$$a^*/a = 1/a - 1$$

$$e^a - e^{a^*} = 2e^{1/2} \sinh(a - 1/2)$$

$$e^a + e^{a^*} = 2e^{1/2} \cosh(a - 1/2)$$

Funktionen zweier Variablen:

$$a - b = b^* - a^* = -(a^* - b^*)$$

$$(a - b) - (a^* - b^*) = 2(a - b)$$

$$(a - b) + (a^* - b^*) = 0$$

$$ab - a^*b^* = a + b - 1$$

$$(a - b)^2 - (a^* - b^*)^2 = 0$$

$$(a - b)^2 + (a^* - b^*)^2 = 2(a - b)^2$$

$$e^a - b - e^{a^*} - b^* = 2 \sinh(a - b)$$

$$e^a - b + e^{a^*} - b^* = 2 \cosh(a - b)$$

$$ae^b - a^*e^{b^*} = e^{1/2}(\sinh(b - 1/2) + 2(a - 1/2)\cosh(b - 1/2))$$

$$ae^b - a^*e^{b^*} = e^{1/2}(\cosh(b - 1/2) + 2(a - 1/2)\sinh(b - 1/2))$$

$$e^{ax} - by - e^{ax^*} - by^* = 2e^{(a-b)/2} \sinh(ax - by - (a-b)/2)$$

$$e^{ax} - e^{ax^*} = 2e^{a/2} \sinh(ax - a/2)$$

Sinusförmige Meßflanke:

FORTRAN-Prozedur für Netzwerksimulator NIFAN.

```
REAL*8 FUNCTION EDGE(UDD, UINV, TO, FE)
IMPLICIT REAL*8 (A-Z)
COMMON/STW/T
```

```
*
* Unsymmetrische Sinusquadrat-Flanke
* mit vorgegebener Flankensteilheit
* zu vorgegebener Zeit und Schwellspannung
*
* UDD: Spannungshub [V]
*
* FE: normierte Flankensteilheit bei (TO, UINV)
* in [GHz]  $fe = 1/Udd * dU/dt$ 
*
* TO: Zeitpunkt des Durchlaufens von UINV mit
* vorgegebener Flankensteilheit [ns]
*
* UINV: Inverterschwellspannung fuer TO-Durchlauf [n
```

```
*
* DATA PI /3.1415826535898/
* DATA PI2 /1.5707963267949/
* DUDT=FE*UDD
* DL=UINV/DUDT
* DLP=DL*PI2
* DH=(UDD-UINV)/DUDT
* DHP=DH*PI2
* TT=T-TO
```

```
IF (FE. GE. 0) THEN
WX=0
WY=UDD
TX=-DLP
TY=DHP
UX=UINV
UY=UDD-UINV
TNX=DL
TNY=DH
```

```
ELSE
WX=UDD
WY=0
TX=DHP
TY=-DLP
UX=UDD-UINV
UY=UINV
TNX=DH
TNY=DL
ENDIF
```

```
IF (TT. LE. TX) THEN
EDGE=WX
RETURN
ENDIF
```

```
IF (TT. GE. TY) THEN
EDGE=WY
RETURN
ENDIF
```

```
IF (TT. LT. 0) THEN
UO=UX
TN=TNX
ELSE
UO=UY
TN=TNY
ENDIF
```

```
EDGE=UINV+UO*SIN(TT/TN)
RETURN
END
```

ANLAGE 4

Simulationsschaltung zur Aufnahme des dynamischen Transferkennlinienfeldes des Inverters SYNEG.

```
SE: PLUS=2. 5, M=0, TO=1, FE=1
RE: S
RE: D, A=0, E=1, T=I
RE: D, A=1, E=3. 6, T=I
DIA: X=T, Z=T, U=1, YZ=UK: A1, UK: A2, UK: A3, UK: A4, UK: A5, UK: A6, UK: A7,
      UK: A8, UK: A9, UK: A10,
      TI="XVOLT, SYNEG, m=0, t0=1E0, fe=1E0GHz*(1. . . 100), te=2. 6ns, UDD=2. :
```

```

;      Mx: ANZAHL DER OXIDKAPAZITAETEN AN UKA (LASTFAKTOR)
;      CN'= 3. 0975*(BN-2. 5) fF          CN(25µm)=0. 069375 pF
;      CP'= 2. 7825*(BP-2. 5) fF          CP(75µm)=. 201731 pF
;      COX= 69. 69375 + 201. 73125 fF = 0. 271425 pF
```

SCHALTUNG: XVOLT

```
UPL PL-ERDE='PLUS'
UE1 E1-ERDE=EDGE('PLUS', U: CINV, 'TO', 'FE')
UE2 E2-ERDE=EDGE('PLUS', U: CINV, 'TO', -'FE')
UE3 E3-ERDE=EDGE('PLUS', U: CINV, 'TO', 3. 16*'FE')
UE4 E4-ERDE=EDGE('PLUS', U: CINV, 'TO', -3. 16*'FE')
UE5 E5-ERDE=EDGE('PLUS', U: CINV, 'TO', 10*'FE')
UE6 E6-ERDE=EDGE('PLUS', U: CINV, 'TO', -10*'FE')
UE7 E7-ERDE=EDGE('PLUS', U: CINV, 'TO', 31. 6*'FE')
UE8 E8-ERDE=EDGE('PLUS', U: CINV, 'TO', -31. 6*'FE')
UE9 E9-ERDE=EDGE('PLUS', U: CINV, 'TO', 100*'FE')
UE10 E10-ERDE=EDGE('PLUS', U: CINV, 'TO', -100*'FE')
```

```
Q0 INV-INV-PL-ERDE=SYNEG
CINV INV-ERDE=1E-6
```

```
Q1 E1-A1-PL-ERDE=SYNEG
C1 A1-ERDE='M'*. 271425
Q2 E2-A2-PL-ERDE=SYNEG
C2 A2-ERDE='M'*. 271425
Q3 E3-A3-PL-ERDE=SYNEG
C3 A3-ERDE='M'*. 271425
Q4 E4-A4-PL-ERDE=SYNEG
C4 A4-ERDE='M'*. 271425
Q5 E5-A5-PL-ERDE=SYNEG
C5 A5-ERDE='M'*. 271425
Q6 E6-A6-PL-ERDE=SYNEG
C6 A6-ERDE='M'*. 271425
Q7 E7-A7-PL-ERDE=SYNEG
C7 A7-ERDE='M'*. 271425
Q8 E8-A8-PL-ERDE=SYNEG
C8 A8-ERDE='M'*. 271425
Q9 E9-A9-PL-ERDE=SYNEG
C9 A9-ERDE='M'*. 271425
Q10 E10-A10-PL-ERDE=SYNEG
C10 A10-ERDE='M'*. 271425
```

AN: S, D

Vergleich statisch und dynamisch gewonnener Gatterkenngrößen

Testgatter: Inverter SYNEG; $m = 1000$; $C_{ox} = 0,2714$ pF.

1. Ergebnisse der statischen Simulation

Glg.	5.2.2.1	5.2.1.1	5.4.1.1	5.4.1.2	5.2.2.2
U_{DD}	v_o	U_{Inv}	I_{No}	$-I_{Po}$	r_{Inv}
2,5 V	-137,0	1,169 V	0,169 mA	0,163 mA	1,34 M Ω
5 V	-27,7	2,500 V	0,854 mA	0,884 mA	69,0 k Ω
20 V	-4,46	10,75 V	9,742 mA	10,71 mA	3,515k Ω

2. Aus der Statik hergeleitete, dynamische Daten

Glg.		5.4.4.4	5.5.1.1	5.4.233
U_{DD}	τ_Q	τ_{S-}	$v_{\tau-}$	$-f_{S-}$
2,5 V	363,7 μ s	2,14 μ s	170	249 kHz
5 V	18,73 μ s	795 ns	23,6	629 kHz
20 V	954 ns	258 ns	3,70	1,79 MHz

3. Ergebnisse der dynamischen Simulation

Glg.			5.5.1.1	
U_{DD}	τ_Q	τ_{S-}	$v_{\tau-}$	$-f_{S-}$
2,5 V	352 μ s	2,00 μ s	176	0,252 MHz
5 V	18,8 μ s	0,723 μ s	26,0	0,651 MHz
20 V	953 ns	0,214 μ s	4,45	1,875 MHz

Statische und dynamische Daten der Gatter SYNEG und NA6

1. SYNEG:

$$v_o = -27,7; U_{Inv} = 2,500 \text{ V}; C_{ox} = 0,2714 \text{ pF}; r_{Inv} = 69,0 \text{ k}\Omega;$$

$$I_{No} = 0,854 \text{ mA}; I_{Po} = -0,884 \text{ mA}; U_{DD} = U_{Hub} = 5 \text{ V}.$$

Wert	m = 0	m = 1000
τ_Q	15,4 ns	18,8 μ s
τ_{S-}	0,97 ns	723 ns
τ_{m-}	0,30 ns	*/.
f_{S-}	796 MHz	651 kHz

$$v_e = 1060; v_a = 38,3.$$

2. NA6:

$$v_o = -8,06; U_{Inv} = 2,341 \text{ V}; C_{ox} = 0,2734 \text{ pF}; r_{Inv} = 25,77 \text{ k}\Omega;$$

$$I_{No} = 0,2855 \text{ mA}; I_{Po} = -0,8247 \text{ mA}; U_{DD} = U_{Hub} = 5 \text{ V}.$$

Wert	m = 0	m = 1000
τ_Q	15,3 ns	7,04 μ s
τ_{S+}	2,17 ns	2,03 μ s
τ_{S-}	7,3 ns	682 ns
τ_{m+}	0,45 ns	*/.
τ_{m-}	3,0 ns	*/.
f_{S+}	250 MHz	569 kHz
f_{S-}	-108 MHz	-209 kHz

$$v_e = 2500; v_a = 310.$$

ANLAGE 7

Beispiel 1:

Für den Inverter SYNEG, $U_{DD} = 5V$, $C_{Ox} = 0,2714pF$ wurde durch Simulation ermittelt:

$$\tau_{Q0} = 15,4ns \quad (m=0)$$

$$\tau_{Q1000} = 18800ns \quad (m=1000)$$

$$\tau_{Q\infty} = \frac{18,8\mu s}{1000} = 18,8ns.$$

Daraus folgt n zu

$$n = \frac{15,4ns}{18,8ns} = \underline{\underline{0,819}}$$

Mit $\tau_{Q\infty} = r_{Inv} C_{Ox}$ folgt

$$r_{Inv} = \frac{\tau_{Q\infty}}{C_{Ox}} = \frac{18,8ns}{0,2714pF} = \underline{\underline{69,27k\Omega}}$$

Die statische Kleinsignal-Simulation liefert $r_{Inv} = 69,0k\Omega$.

Beispiel 2:

Die Simulation des Inverters SYNEG zeigte für $U_{DD} = 5V$ die Ergebnisse:

$$f_{S0} \quad (m = 0) = 796 \text{ MHz}$$

$$f_{S1000} \quad (m = 1000) = 0,651\text{MHz}.$$

Daraus folgt der Eigenlastfaktor

$$n = \frac{f_{S\infty}}{f_{S0}} \approx \frac{i \cdot f_{Si}}{f_{S0}} = 1000 \frac{0,651\text{MHz}}{796\text{MHz}} = \underline{\underline{0,818}}$$

Beispiel 3:

Aus der Simulation wurde mit $U_{Hub} = 5V$ und $C_{Ox} = 0,2714pF$ für die ausgangsseitig fallende Flanke

$$f_{S1000} = 0,651\text{MHz} \quad (m = 1000)$$

bestimmt. Daraus kann I_{No} zu

$$I_{No} \approx m C_{Ox} f_S U_{Hub} = 0,883\text{mA}$$

ermittelt werden. Die statische Simulation liefert $I_{No} = 0,854\text{mA}$.

Beispiel 4:

Die Simulation des Inverters SYNEG zeigte für die ausgangsseitig fallende Flanke die Ergebnisse:

$$\tau_{m-} = 0,279\text{ns}$$

$$\tau_{S0-} = 0,87\text{ons} \quad (m=0)$$

$$\tau_{S1000} = 723\text{ns} \quad (m=1000).$$

Daraus kann wiederum der Eigenlastfaktor n zu

$$n = \frac{\tau_{S0-} - \tau_{m-}}{\tau_{S\infty-}} = \frac{1 (\tau_{S0-} - \tau_{m-})}{\tau_{S1-}}$$
$$n = 1000 \cdot \frac{(0,87\text{ons} - 0,279\text{ns})}{723\text{ns}} = \underline{\underline{0,817}}$$

bestimmt werden.

Beispiel 5:

Die statische Simulation ergab für den Inverter SYNEG die Werte:

$$I_{No} = 0,854\text{mA}$$

$$r_{Inv} = 69,0\text{k}\Omega$$

$$U_{Inv} = 2,50\text{V} \quad (U_{DD} = 5\text{V})$$

Daraus kann das Verhältnis v_{τ} der Verzögerungszeiten von Quasistatik und Sprungantwort

$$v_{\tau-} = \frac{\tau_{Q\infty-}}{\tau_{S\infty-}} = \frac{r_{Inv} I_{No}}{U_{DD} - U_{Inv}} = 23,57$$

bestimmt werden. Die dynamische Simulation ergab für $m = 1000$:

$$v_{\tau-} = \frac{\tau_{Q1000-}}{\tau_{S1000-}} = \frac{1880\text{ons}}{723\text{ns}} = 26,0.$$

Beispiel 6:

Das Gatter NA6 (6-fach NAND) besitzt die aus dem dynamischen Transferkennlinienfeld Abb. 6.7-1 ablesbaren Kennwerte

$v_e = 2500$ und $v_o = -8,06$. Daraus folgt das Verhältnis v_a zwischen Quasistatik und Sprungantwort der Ausgangsflanke:

$$v_a = -v_e/v_o = 2500/8,06 = 310,2.$$

Inverterschwelle U_{Inv} und Leerlaufverstärkung v_o als
Funktion der Betriebsspannung U_{DD}

(Testgatter: Inverter SYNEG)

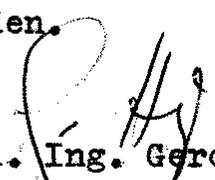
U_{DD} [V]	U_{Inv} [V]	v_o
1. 5000E+00	8. 1570E-01	-6. 0034E-03
2. 0000E+00	9. 0366E-01	-5. 4364E+02
2. 5000E+00	1. 1691E+00	-1. 3697E+02
3. 0000E+00	1. 4347E+00	-7. 7646E+01
3. 5000E+00	1. 7006E+00	-5. 3873E+01
4. 0000E+00	1. 9667E+00	-4. 1084E+01
4. 5000E+00	2. 2332E+00	-3. 3110E+01
5. 0000E+00	2. 5000E+00	-2. 7669E+01
5. 5000E+00	2. 7673E+00	-2. 3726E+01
6. 0000E+00	3. 0350E+00	-2. 0741E+01
6. 5000E+00	3. 3031E+00	-1. 8405E+01
7. 0000E+00	3. 5718E+00	-1. 6529E+01
7. 5000E+00	3. 8410E+00	-1. 4992E+01
8. 0000E+00	4. 1107E+00	-1. 3709E+01
8. 5000E+00	4. 3809E+00	-1. 2623E+01
9. 0000E+00	4. 6517E+00	-1. 1694E+01
9. 5000E+00	4. 9231E+00	-1. 0889E+01
1. 0000E+01	5. 1950E+00	-1. 0187E+01
1. 0500E+01	5. 4675E+00	-9. 5678E+00
1. 1000E+01	5. 7406E+00	-9. 0191E+00
1. 1500E+01	6. 0142E+00	-8. 5294E+00
1. 2000E+01	6. 2884E+00	-8. 0899E+00
1. 2500E+01	6. 5632E+00	-7. 6935E+00
1. 3000E+01	6. 8386E+00	-7. 3341E+00
1. 3500E+01	7. 1145E+00	-7. 0070E+00
1. 4000E+01	7. 3910E+00	-6. 7081E+00
1. 4500E+01	7. 6681E+00	-6. 4340E+00
1. 5000E+01	7. 9457E+00	-6. 1818E+00
1. 5500E+01	8. 2239E+00	-5. 9490E+00
1. 6000E+01	8. 5026E+00	-5. 7336E+00
1. 6500E+01	8. 7819E+00	-5. 5336E+00
1. 7000E+01	9. 0617E+00	-5. 3476E+00
1. 7500E+01	9. 3420E+00	-5. 1742E+00
1. 8000E+01	9. 6228E+00	-5. 0121E+00
1. 8500E+01	9. 9041E+00	-4. 8604E+00
1. 9000E+01	1. 0186E+01	-4. 7180E+00
1. 9500E+01	1. 0468E+01	-4. 5842E+00
2. 0000E+01	1. 0751E+01	-4. 4582E+00

Immer weigere ich mich,
irgendwas deswegen für wahr zu
halten, weil Sachverständige es
lehren, oder auch, weil alle es
annehmen. Jede Erkenntnis muß ich
mir selbst erarbeiten.
Alles muß ich neu durchdenken,
von Grund auf, ohne Vorurteile.

Albert Einstein
(Zitat /M8/, S. 58)

Selbständigkeitserklärung

Hiermit erkläre ich, daß ich die Dissertationsschrift
selbständig verfaßt habe, und daß von mir keine anderen als
die angegebenen Hilfsmittel benutzt wurden.


Dipl. Ing. Gerd Heinz
Berlin, Juli 1986

Heinz, G.

Ansätze zur analytischen Beschreibung der Dynamik digitaler CMOS-Gatter

ХАЙНЦ, Г.

ПОДХОДЫ К АНАЛИТИЧЕСКОМУ ОПИСАНИЮ ДИНАМИКИ ЦИФРОВЫХ КМОП-ВЕНТИЛЕЙ

Выводится эмпирическая, замкнутая модель статики КМОП-инвертора. Исследование динамических свойств производится с помощью двух членов ряда тайлора цифрового фронта. Исследуется векторный характер цифровых фронтов и задержек. С помощью ряда тайлора вентили описываются с учётом крутизны входного и выходного фронтов, ёмкостной нагрузки и времени задержки. Результатом является нормированный динамический шар передаточных характеристик фронтов, состоящий из двух характеристик для каждого входа. Динамические параметры выводятся из статических параметров вентиля. Формулируется основной закон динамики вентиля. Негодность линейных моделей устнавливается.

Илл. 70. Лит. 246. Прил. 9.