

1. Vorwort

Seit nunmehr 15 Jahren ist es mit analytischen Mitteln möglich, die Dynamik bipolarer Digitalgatter deduktiv zu beschreiben, vgl. /E1/, /N5/, /M16/.

Die Dynamik unipolarer Gatter jedoch war bislang bis auf Spezialfälle unerforscht. Aufgrund der Zweiteiligkeit des Kennlinienfeldes von MOS- Transistoren ist es bis heute nicht möglich, auf deduktivem Wege Aussagen über die Dynamik digitaler Gatter zu erhalten, wengleich bisher mehrere Veröffentlichungen zu deduktiv hergeleiteten Dynamikmodellen von MOS- Gattern erschienen sind, wie z. B.: /L5/, /B5/, /T5/, /T6/, /R10/, /O2/, /O3/, /L6/, /H8/, /M6/, /N1/, /V1/, /S1/, /M10/, /C3/, /R1/, /R8/, die zumeist empirischen Charakter tragen.

Grundmangel aller bekannt gewordenen Veröffentlichungen ist es, daß zu wenig verallgemeinerbare Erkenntnisse zum Wesen digitaler Flanken im Sinne der Theorie der elektronischen Schaltungstechnik existieren.

Ausgehend von Betrachtungen zum statischen Gattermodell soll die Dynamik digitaler Gatter erschlossen werden.

Ziel der Arbeit ist es, aufbauend auf den Grundlagen der elektronischen Schaltungstechnik ein theoretisches Fundament der Gatterbeschreibung zu schaffen, mit dem es möglich sein soll, die dynamische Verifizierbarkeit von Schaltkreisen des gehobenen VLSI- Niveaus zu verbessern.

Um die aufgrund der mikroskopisch kleinen Abmessungen der Bauelemente auftretenden Schwierigkeiten zu umgehen, sind sämtliche Untersuchungen anhand von Netzwerk- Simulationen durchzuführen. Die Untersuchungen sind der (im Rahmen der Arbeit noch nicht gelösten) Aufgabe gewidmet, die Grundlagen für eine geschlossene, analytische Lösung einer aus dem statischen Gattermodell gewinnbaren Differentialgleichung aufzubereiten, und den Untersuchungsapparat sowie numerisch gewonnene Lösungen der Gatterdynamik anzugeben.

Dazu ist der praktische Nachweis zu erbringen, daß geschlossene, statische, analytische Modelle des Gatters angebar sind.

Um Aussagen zum Wesen digitaler Flanken zu erhalten, ist es erforderlich, Flankenformen zu untersuchen, und analytisch zu

approximieren.

Die Besonderheiten und allgemeingültigen Gesetzmäßigkeiten, denen Flanken digitaler Gatter unterliegen, sind zu untersuchen, und als Axiome festzuhalten, dabei ist von einem hierarchischen und modularen Schnittstellenkonzept auszugehen. Ausgehend von der Theorie der elektronischen Schaltungstechnik sind Kenngrößen invertierender CMOS- Gatter herzuleiten, die auf dem zu schaffenden Axiomensystem aufbauen.

Um numerisch gewonnene Lösungen der Gatterdynamik veranschaulichen zu können, ist eine Darstellungsform zu finden, die es gestattet, signifikante Merkmale der Gatterdynamik abzubilden. Gleichzeitig sind CMOS- Gatter im gesamten Flankensteilheitsbereich zu untersuchen.

Um Hinweise auf das Wesen der Lösung einer Gatterdifferentialgleichung zu erhalten, ist deren Charakter einzugrenzen. Dazu ist deren einfachste Form, eine lineare Differentialgleichung des Gatters, auf deren Eignung zur Beschreibung der numerisch gefundenen Lösungen der Gatterdynamik zu untersuchen.

Zunächst sind die Unzulänglichkeiten des derzeitigen MOS- Transistormodells nach /S8/ zu erörtern.