

## Literaturverzeichnis

- /A1/ Ahlbehrend, N.; Kempe, V.:  
Analyse stochastischer Systeme  
Akademie-Verlag Berlin, 1984.
- /A2/ Allen, J.; Penfield, P.:  
VLSI Design Automation Activities at M.I.T..  
IEEE Trans. on Circuits and Systems, CAS-28, No.7,  
July 1981, S. 645 - 653
- /A3/ Anlauff, H.; u.a.:  
Registertransfersprache PHPL. Sprachbeschreibung.  
TUM-INFO-7720, München, Juni 1977. INT-Reg. 84/10751.
- /A4/ Antonine, R.J.; Brown, G.W.:  
The Modeling of Resistive Interconnects for Integrated  
Circuits.  
IEEE Journal of Solid-State Circuits, SC-18, No.4,  
Aug. 1983, S. 200 - 203.
- /A5/ —  
An Architectural Comparison of 32 Bit Microprozessors.  
IEEE Micro, Febr. 1983.
- /A6/ Auvergne, D.; Cambon, G.; Deschacht, D.; u.a.:  
Delay-Time Evaluation in ED MOS Logic LSI.  
IEEE-Journal of Solid-State Circuits, Vol. SC-21,  
No. 2, April 1986, S. 337 - 343.
- /B1/ Baker, C.; Terman, C.:  
Tools for Verifying Integrated Circuits Designs.  
Mass. Inst. of Technology, VLSI Memo, No. 80 - 30,  
Sept. 1980.
- /B2/ Baule, B.:  
Die Mathematik des Naturforschers und Ingenieurs.  
Band 1... 7. Hirzel-Verlag, Leipzig, 1966.
- /B3/ Baumann, P. u.a.:  
Halbleiterpraxis,  
VEB Verlag Technik, Berlin, 1982.
- /B4/ Baumann, P.:  
Vierpolparameterangaben zur integrierten Teilschal-  
tungsanordnung IA 616D.  
radio fernsehen elektronik, Berlin 32 (1983) 11,  
S. 709, 710

- /B5/ Bayrons, R.J. u.a.:  
 Delay Analysis of Si NMOS Gbit/s Logic Circuits.  
 IEEE Journal of Solid-State Circuits, SC-19, No. 5,  
 Oct. 1984, S. 7555 - 764.
- /B6/ Berg, L.:  
 Einführung in die Operatorenrechnung.  
 DVW Berlin, 1962.
- /B7/ Berg, L.:  
 Operatorenrechnung. Band 1 u. 2.  
 DVW Berlin, 1972.
- /B8/ Bischoff, G.; Krusius, P.:  
 Technology Independent Device Modeling for Simulation  
 of Integrated Circuits for FET Technologies.  
 IEEE Transact. on CAD, CAD-4, No. 1, Jan. 1985.
- /B9/ Bisiani, R.; Foster, M.J.; Kung, H.T.; Offazer, K.:  
 MISE: Machine for In System Evaluation of Custom  
 VLSI-Chips.  
 CMU/CS-82-132, 1982. INT-Reg. 83B10177.
- /B10/ Blahut, D.E.; Krambeck, R.H.; Law, H.F.S.; Stuckmann, H.:  
 H.C.So: Hierarchichial Design Methodology for a  
 Single Chip 32 Bit Microprocessor. 1982  
 IEEE Int. Conference on Circuits and Computers, 1982.
- /B11/ Bochmann, D.; Posthoff, C.:  
 Binäre dynamische Systeme.  
 Akademie Verlag, 1981.
- /B12/ Bonitz, M.:  
 Sage mir, wo du publizierst, ...  
 Wiss. und Fortschritt 35(1985)1, S. 23 - 26  
 (Science Citation Index).
- /B13/ Bonnet, M.J.:  
 Optimisation de temps de propagation sur les lignes  
 dans les Circuits Integres.  
 Institut National Polytechnique de Grenoble.  
 IMAG BP 68-38402 Saint-Martin-D'Herès Cedex, No. 398,  
 Nov. 1983. INT-Reg. 85 B11 200.
- /B14/ Brendel, W.:  
 Funktioneller Entwurf und automatische Synthese hoch-  
 integrierter Schaltkreise.  
 Dissertation, in Arbeitsberichte Inst. f. Informatik  
 Universität Erlangen, Band 17, Nr. 4, August 1984.

- /B15/ Bronstein, I.N.; Semendjajew, K.A.:  
 Taschenbuch der Mathematik.  
 20. Aufl., Teubner-Verlag, Leipzig, 1981.
- /B16/ Bryant, R.E.:  
 Report on the Workshop on Self-timed Systems.  
 MIT/LCS/TM-166, May 1980. INT-Reg. 83 B 10179.
- /B17/ Buchanan, I.; Gray, J.P.:  
 Models for Structured Integrated Circuit Design.  
 Univ. of Edinburgh, CSR-48-79, Nov. 1979.  
 INT-Reg. 85/11227.
- /B18/ Buchanan, I.:  
 SCALE-A VLSI Design Language.  
 Univ. of Edinburgh, CSR-117-82, May 1982. INT-Reg.  
 83/10180.
- /C1/ Campell, G.A.; Foster, R.M.:  
 Fourier-Integrals for Practical Applications.  
 Nostrand-Comp., Princetown NJ, USA, 1948.
- /C2/ Carey, M.J.; Hansen, P.M.; Thompson, C.D.:  
 RESST: A VLSI-Implementation of a Record-Sorting  
 Stack.  
 U. v. California, Berkeley. Rep. UCB/CSD82/102.  
 April 1982.
- /C3/ Cappello, P.R. u.a.:  
 Optimal Choise of Intermediate Latching to Maximize  
 Throughput in VLSI Circuits.  
 1983 IEEE Int. Conference on Acoustic, Speech, and  
 Signal Processing, Boston, MA, USA, April 1983,  
 S. 1 - 4.
- /C4/ Caratheodory, C.:  
 Variationsrechnung und partielle Differentialglei-  
 chungen erster Ordnung. Band 1.  
 Teubner-Verlag, Leipzig, 1956.
- /C5/ Chen, C.F. u.a.:  
 The Second Generation MOTIS Mixed-Mode Simulator.  
 AT & T Bell. ACM 21st Design Automation Conference  
 Proceedings '84, Albuquerque, New Mexico, June 25 - 27  
 1984, S. 10 - 17.

- /C6/ Chu Tam-Anh:  
 Circuit Analysis of Self-Timed Elements for NMOS  
 VLSI Systems.  
 Massachusetts Inst. of Technology, MIT/LCS/TM  
 22o, May 1982
- /C7/ Crawford, J.D.; Hsuen, M.Y.; Newton, A.R.; Pederson, D.O.  
 MOTIS-C User's Guide.  
 Electronics Research Lab., University of California,  
 Berkeley CA, June 1978.
- /D1/ de Man, H.:  
 Computer Aided Design Techniques for VLSI.  
 Kath. Univ. of Leuven. Dept. Elektrotechniek. o.J.,  
 um 198o. INT-Reg. 85B11229.
- /D2/ de Paly, Dr.:  
 Messungen am schmalen Depletionstransistor.  
 Int. Ber. VEB ZFTM Dresden, E2E1 76/82 v. 17. 5.82.
- /D3/ de Paly, Dr.:  
 Meßprogramm MT 22-S1o2.  
 Int. Ber. VEB ZFTM Dresden, E2E1 56/82 v. 15. 4. 82.
- /D4/ de Paly, Dr.:  
 Modellkonstanten für nSGT2S.  
 Int. Ber. VEB ZFTM Dresden, E2E1 13/83 v. 18. 1. 83.
- //D5/ Diener, K.H.; Möschwitzer, A.:  
 Elektronische Parameter von MOS-Transistoren mit  
 kleinen Dimensionen.  
 NtE 28(1978) H. 1, S. 6 - 8.
- /D6/ Diener, K.H.:  
 Erweiterungen des MOST-Netzwerkanalysemodells für KMOS.  
 Vortrag C9, Barkhausen-Tagung, TU Dresden, Sekt. 9,  
 1981.
- Diener, K.H. u.a.:  
 Computergerechte Modellfamilie für integrierte MOS-  
 Transistoren
- /D7/ Teil 1:  
 NtE 28(1978) H. 1o, S. 414 - 417.
- /D8/ Teil 2:  
 NtE 3o(198o) H. 4, S. 155 - 158.

- /D9/ Diener, K.H.:  
Modellierung integrierter MOS-Gatter und Ermittlung  
der NWA-Parameter aus dem Layout.  
NtE 29(1979) H. 10, S. 408 - 411.
- /D10/ Diener, K.H.; Fischer, P.; Riedel, F.:  
MISNET - ein Netzwerkanalyseprogramm für integrierte  
MIS-Schaltkreise.  
Zeitschrift für elektr. Inform.- und Energietechnik.  
6(1976) H. 6, S. 494 - 502.
- /D11/ Dobesch, H.:  
Laplace-Transformation.  
VEB Verlag Technik Berlin, 4. Aufl., 1969.
- /D12/ Dobesch, H.:  
Laplace-Transformation von Abtastfunktionen.  
VT Berlin, 1970.
- /D13/ Dobesch, H.; Sulanke, H.:  
Zeitfunktionen.  
VT Berlin, 1964.
- /D14/ Doetsch, G.:  
Handbuch der Laplace-Transformation.  
Basel, Verlag Birkhäuser.
- /E1/ Eckhardt, D.; Groß, W.:  
Grundlagen der digitalen Schaltungstechnik.  
Militärverlag der DDR, Berlin, 1978.
- /E2/ Elschner, H.; Möschwitzer, A.; Reibiger, A.:  
Rechnergestützte Analyse in der Elektronik.  
VEB Verlag Technik, Berlin, 1977.
- /E3/ Etiemble, D. u.a.:  
Micro Computer Oriented Algorithmus for Delay Evaluatic  
of MOS Gates.  
ACM 21st DAC, Proceed'84, Albuquerque, 21 - 23 June 198  
S. 358 - 364.
- /F1/ Fey, H.:  
Einführung in die Ortskurventheorie.  
Reihe electronica Bd. 164, Militärverlag Berlin, 1974.

- /F2/ Fischer, W.J.; u.a.:  
 Gatearraysystem U5200.  
 Nutzerhandbuch.  
 VEB ZFTM Dresden, 1985.
- /F3/ Foster, M.J.; Kung, H.T.:  
 The Design of Special Purpose VLSI Chips.  
 IEEE Computer, January 1980, S. 26 - 40.
- /F4/ Franke, W.:  
 Rechnergestützte Analyse nichtlinearer Schaltungen mit  
 dem Programmsystem STADYNET 2.  
 Probl. der Festkörperelektronik, Bd. 11, VT Berlin,  
 1979.
- /F5/ Franke, W.; Schenk, A.:  
 ... STADYNET/2S - ein Vergleich der Zweigstrom-Zweig-  
 spannungsanalyse mit der Knotenspannungsanalyse.  
 NtE, 28(1978), H. 1, S. 20 - 22.
- /F6/ Friedmann, V.; Liu, S.:  
 Dynamic Logic CMOS Circuits.  
 IEEE Journal of Solid-State Circuits, SC-19, No. 2,  
 April 1984, S. 263 - 266.
- /F7/ Fritsche, G.:  
 Entwurf aktiver Analogsysteme.  
 Akademie-Verlag Berlin, 1980.
- /F8/ Fritsche, G.:  
 Entwurf linearer Schaltungen.  
 VT Berlin, 1962.
- /F9/ Fujimoto, R.M.; Sequin, C.H.:  
 The Impact of VLSI on Communication in Closely Coupled  
 Multiprocessor Networks.  
 Proceed. of COMPSAC '82 (6. Int. Conf. on Computer  
 Software and Applications, Nov. 1982, S. 231 - 238.
- /G1/ Gajski, D.D.:  
 Silicon Compilers and Expert Systems for VLSI.  
 ACM 21st Design Aut. Conference, Proc. 84, Albuquerque  
 New Mexico, June 25 - 27 1984, S. 86 - 87.
- /G2/ Gelfand, I.M.; Schilow, G.E.:  
 Verallgemeinerte Funktionen (Distributionen).  
 Band 1 - 3. DVW Berlin, 1964.

- /G3/ Glasser, L.A.; Penfield, P. Jr.:  
An Interactive PLA Generator as an Architype for a  
New VLSI Design Methodology.  
IEEE Int. Conference of Circuits and Computers,  
Oct. 1 - 3, 1980, Port Chester, NY.
- /G4/ Glasser, L.A.:  
The Nature of VLSI Circuit Design.  
Mass. Inst. of Technology, Cambridge, MA, IC Memo  
No. 80 - 15, May 8, 1980.
- /G5/ Glasser, L.A.:  
The Scaling of Clock Noise in MOS Integrated Circuits.  
Massachusetts Institute of Technology, VLSI - Memo  
No. 81 - 45, March 1981.
- /G6/ Gochberg, I.Z.; Feldmann, I.A.:  
Faltungsgleichungen und Projektionsverfahren zu ihrer  
Lösung.  
Akademie-Verlag Berlin, 1974.
- /G7/ Göhler, W.:  
Höhere Mathematik.  
Verlag für Grundstoffindustrie, Leipzig, 1971.
- /G8/ Goering, H.:  
Elementare Methoden zur Lösung von Differential-  
gleichungsproblemen.  
Akademie-Verlag Berlin, 1967.
- /G9/ Golusin, G.M.:  
Geometrische Funktionentheorie.  
DWW Berlin, 1957.
- /G10/ Gordon, M.:  
A Model of Register Transfer Systems with Applications  
to Microcode and VLSI Correctness.  
INT-Reg. 83/10157.
- /G11/ Grotjohn, T.; Hoeflinger, B.:  
A Parametric Short-Channel MOS Transistor Model for  
Subthreshold and Strong Inversion Current.  
IEEE Journal of Solid-State Circuits, SC-19, No.1  
Febr. 1984.
- /G12/ Hamel, G.:  
Integralgleichungen.  
Springer-Verlag, 1949.

- /G13/ Hartenstein, R.W.:  
 VLSI-Bausteine in geringen Stückzahlen für Spezial-  
 Anwendungen.  
 Elektr. Rechenanlagen, 22.Jahrgang., 1980, H. 4,  
 S. 159 - 173.
- /G14/ Haraszti, T.P.:  
 Novel Circuits for High Speed ROM's.  
 IEEE Journal of Solid State Circuits, SC-19, No. 2,  
 April 1984, S. 180 - 186.
- /G15/ Hayes, J.:  
 MOS-Scaling.  
 IEEE Computer, Jan. 80, S. 8 - 13.
- /G16/ Hayes, J.P.:  
 Pseudo Boolean Logic Circuits.  
 Univ. of Michigan, CRL-TR-33-84. INT-Reg. 85/B11326.
- /G17/ Heilig, K.:  
 Einfluß der Signalquellenimpedanz auf die Sprungant-  
 wort bei idealen Verstärkern (Pufferstufen) mit  
 kompensierter Eingangskapazität.  
 NtE, 30(1980) H. 4, S. 164 - 166.
- /G18/ Heilig, K.:  
 Einfluß der Signalquellenimpedanz auf die Sprungant-  
 wort des Sourcefolgers.  
 NtE, 30(1980) H. 4., S. 166 - 168.
- /H1/ Hecker, W.; Röbler, F.; Möschwitzer, A.:  
 LSINET - ein neues Logik- und Timingsimulationsprograr  
 für LSI- und VLSI-Schaltkreise.  
 NtE, Berlin 34(1984) H. 6, S. 214 - 218.
- /H2/ Heinz, G.:  
 Schaltungskatalog MOS-ED-Schaltungen.  
 Interner Bericht INT-TB4-10/80.
- /H3/ Heinz, G.:  
 Dokumentation KA601-Analogteil PCM30-Regenerator.  
 Interner Bericht INT/TB4/8/81, v. 25. 6. 81.
- /H4/ Heinz, G.:  
 Grundzüge des höchstintegrierten Entwurfes.  
 INT-Mitteilungen, Ausg. A, Heft 2-82.

- /H5/ Heinz, G.:  
 Lambda-Entwurfsregeln NSGT-3S.  
 Int. Bericht INT TB4-8/82.
- /H6/ Heinz, G.:  
 Lambda-Entwurfsregeln NSGT-2S.  
 Int. Bericht INT-TB4-9/82, v.  
 4. 11. 82.
- /H7/ Heinz, G.:  
 Time Constants Theory.  
 Vortrag zum Popow-Seminar, Moskau, Februar 1982.  
 Bericht INT-TB4-10/82.
- /H8/ Heinz, G.:  
 Zeitkonstantentheorie: eine funktionelle Beschreibung  
 des dynamischen Verhaltens von MOS-Gattern.  
 Bericht INT-TB4-3/84. Vorgetragen auf der Fachtagung  
 Mikroelektronik, TH Karl-Marx-Stadt, 13. 10. 82,  
 veröffentlicht in der Vortragskurzfassung d. 13.  
 Arbeitstagung: Entwurf von Schaltungssystemen und  
 Systementwurf, Dresden, 3. - 5. 4. 1984, Berlin,  
 April 1984, AdW-ZKI, 1086 Berlin, Kurstr. 33, S. 106 -  
 110.
- /H9/ Heinz, G.:  
 Statische und dynamische Dimensionierung NSGT-2S.  
 Bericht INT-TB4-2/83, v. 17. 1. 83.
- /H10/ Heinz, G.:  
 NSGT-2S Transistormodelle EMOS und DMOS.  
 Bericht INT-TB4-2/84.
- /H11/ Heinz, G.:  
 Verfahrenslösung  
 ISA-Entwurf. Interner Bericht TB/9/84, v. 9. 2. 84.  
 Technologische Verfahrenslösung Leistungsstufe V2  
 (Thema Verfahrenssicherung Mikroelektronik) Teil II.
- /H12/ Heinz, G.:  
 Systemarchitektur für NMOS-VLSI (Synchronbetrieb).  
 Int. Bericht INT/TB43/9/84, v. 13. 8. 84.
- /H13/ Heinz, G.:  
 Busarchitektur für NMOS-VLSI (4-Phasen-Taktung).  
 Int. Bericht INT/TB43/10/84, v. 14. 8. 84.
- /H14/ Heinz, G.:  
 Bipolar-Analogschaltungstechnik. Ausgewählte Beispiele  
 Vortrag zur Kundenschaltkreistagung, Grünheide, 18.-20.3.85.

- /H15/ Heinz, G.:  
 Zur Systematisierung der digitalen CMOS-Schaltungs-  
 techniken.  
 Vortrag zur Kundenschaltkreistagung, Grünheide,  
 18. - 20. 3. 85 und zur 20. Arbeitstagung FA Computer-  
 Schaltkreissysteme der KDT, Eisenach, 17. - 20. 3. 86.
- /H16/ Heinz, G.:  
 Aspekte des Entwurfs hochintegrierter digitaler  
 Schaltkreise.  
 Int. Bericht INT/EE2/o3/85, v. 1. 4. 85  
 Beitrag zum Buch: Schüffny, Fischer: MOS-VLSI-Technik.  
 (in Vorbereitung).
- /H17/ Heinz, G.:  
 Kapazitätsmodell CKAP für CSGT2N.  
 Int. Bericht INT-EE2/o2/85, 5. 6. 85.
- /H18/ Heinz, G.:  
 Anlage zum Standardzellkatalog. Hinweise zur Layout-  
 Konstruktion CSGT2N.  
 INT, Int. Bericht, INT/EE2/01/1985, v. 1. 10. 85.
- /H19/ Hirt, N.; Szopa, J.:  
 Entwurf von Schalterkondensator-Netzwerken mit Hilfe  
 des Normierten MASON-Graphen.  
 NTE, 32(1982), H. 10.
- /H20/ Hoefflinger, B.; Liu, S.T.; Vajdic, B.:  
 A Three-Dimensional CMOS Design Methodology.  
 IEEE Journal of Solid-State Circuits, Vol. SC-19,  
 No. 1, Feb. 1984, S. 37 - 39.
- /H21/ Höfflinger, B.:  
 Großintegration, Technologie im Entwurf, Systeme.  
 München, Oldenbourg Verlag, 1978.
- /H23/ Holloway, J.; Steele, C.L.; Sussman, C.J.; Bell, A.:  
 The SCHEME-79 Chip.  
 Mass. Inst. of Technology, FE & CS IC Memo, No. 80-6,  
 Jan. 1980, AI Memo, No. 559.
- /H22/ Hörbst, E.:  
 VLSI 85. Proceedings of the IFIC TC 10/WG 10.5 Intern.  
 Conference on VLSI. Tokyo, 26 - 28. Aug. 85.  
 Elsevier science publishers B.V., P.O. Box 1991,  
 1000 BZ Amsterdam.

- /H24/ Hsu, F.H., u.a.:  
LINC: The Link and Interconnection Chip.  
CMU, CS-84-159. INT-Reg. 85B11316.
- /H25/ Hurst, S.L.:  
Schwellwertlogik.  
Hüthig-Verlag Heidelberg 1974.
- /J1/ Johannsen, D.:  
A Microcoded LSI Processor.  
California Institute of Technology, DF 1826,  
July 11, 1978 (Internal Report).
- /J2/ Johannsen, D.:  
Bristle Blocks: A Silicon Compiler.  
Proceed of Caltech Conference in VLSI, Dpt. of Comp.  
Sc., 1979, pp. 309 - 310.
- /J3/ Johnson, W.N.; Herrick, W.; Grundmann, W.J.:  
A VLSI VAX Chip Set.  
IEEE Journal of Solid-State Circuits, SC-19, No. 5,  
Oct. 1984.
- /J4/ Johnson, M.G.:  
Efficient Modeling for Short Channel MOS Circuits  
Simulation.  
Massachusetts Inst. of Technology, MIT/LCS/TR-277,  
1982.
- /J5/ Jones, K.L.; Oldham, H.E.:  
Design of High-Performance Integrated Circuits.  
GEC Journal of Science & Technology. Vol. 48, No. 2,  
1982.
- /J6/ Jung, H., u.a.:  
CSGT2N-Standardzellkatalog.  
VEB Zentrum für Forschung und Entwicklung der Mikro-  
elektronik, Dresden, März 1983.
- /K1/ Kamenka, D.:  
Simulation analoger Grundstrukturen.  
NTE, 30(1980), H. 10, S. 402 - 405.

- /K2/ Kempe, V.:  
Theorie stochastischer Systeme.  
Akademie-Verlag Berlin, 1974.
- /K3/ Kerner, I.O.:  
Numerische Mathematik und Rechentechnik.  
Teubner Verlagsges. Band 47/I und 47/II. Reihe  
"Math.-nat.wiss. Bibliothek", Leipzig, 1973.
- /K4/ Köstner, R.; Möschwitzer, A.:  
Elektronische Schaltungstechnik.  
VEB Verlag Technik Berlin, 1982.
- /K5/ Kopec, G.:  
LSIAA/ LSI Artwork Analysis System.  
Mass. Inst. of Technol., VLSI-Memo, No. 80-35.  
Nov. 1980.
- /K6/ Krambeck, R.H.; Lee, C.M.; Law, H.F.S.:  
High-Speed Compact Circuits with CMOS (Domino).  
IEEE JSC, Vol. SC-17, No. 3, June 1982, S. 614 - 619.
- /K7/ Krauß, M.:  
Beitrag zur Modellierung von MOS-Transistoren.  
Diss. A, TU Dresden, 1977.
- /K8/ Krauß, M.:  
Ein entwurfsorientiertes, rechnergestütztes Schal-  
tungsmodell für den MOS-Anreicherungs-transistor.  
NTE 28(1978), H. 1, S. 10 - 11.
- /K9/ Kühn, E.:  
Handbuch TTL- und CMOS-Schaltkreise.  
Verlag Technik Berlin, 1985.
- /K10/ Kulikowski, R.; Wunsch, G.:  
Optimale und adaptive Prozesse in Regelungssystemen.  
Band 1.  
VT Berlin, 1973.
- /K11/ Kung, H.T.:  
Let's Design Algorithms for VLSI Systems.  
CMU-CS-79-151, Carnegie-Mellon University, Jan. 1979.
- /K12/ Kung, H.T.; Leiserson, C.A.:  
Systolic Arrays for (VLSI).  
CMU-CS-79-103. Carnegie-Mellon University, Pittsburgh,  
Pennsylvania. April 1978.

- /K13/ Kung, H.T.:  
The Structure of Parallel Algorithms.  
CMU-CS-79-1 3, Carnegie-Mellon University, Pittsburgh,  
Pennsylvania, August 1979.
- /K14/ Kuntzman, J.:  
Unendliche Reihen.  
Akademie-Verlag Berlin, 1971.
- /L1/ Landgraf-Dietz, D.:  
Untersuchung des stationären und dynamischen elektrischen  
Verhaltens von MOS-Feldeffekttransistoren mit Hilfe eines  
inhomogenen nichtlinearen Leitungsmodells.  
Dissertation, TU Dresden, Sekt. 9, 1969.
- /L2/ Lange, F.H.:  
Signale und Systeme. Band 1... 3.  
VT Berlin, 1965.
- /L3/ Lawrentjew, M.A.; Schabat, B.W.:  
Methoden der komplexen Funktionentheorie.  
DWW Berlin, 1967.
- /L4/ Leach, J.; Oliver, B.:  
Dynamic logic lends CMOS power levels to lowcost  
p-MOS microcomputer.  
Electronics, March 10, 1983, S. 125 - 127.
- /L5/ Lee, C.M.; Soukup, H.:  
An Algorithm for CMOS Timing and Area Optimization.  
IEEE Journal of Solid-State Circuits, SC-19, No. 5,  
Oct. 1984, S. 781 - 787.
- /L6/ Lewis, E.T.:  
Optimization of Device Area and Overall Delay for  
CMOS VLSI Designs.  
Proceedings of the IEEE. Vol. 72, No. 6, June 1984,  
S. 670 - 689.
- /L7/ Lincoln, C.P.:  
Entwurf einer Zellenbibliothek in 3 $\mu$ m-CMOS-Technologie  
Elektrisches Nachrichtenwesen (ITT), Band 58, Heft 4,  
1984, S. 384 - 388.
- /L8/ Liu, S.S.; Fu, C.H., u.a.:  
HMOS III Technology.  
IEEE Int. Solid-State Circuits Conference, Digest of  
Techn. Papers, 1982, S. 234 - 235.

- /L9/ Liu, W.T.:  
Techniques for Estimation of the Area of Integrated Digital Circuits.  
Univ. of Michigan, CRL-TR-2-83, Jan. 1983, INT-Reg. 85B11156.
- /L10/ Loftis, W.O.:  
Composite Cell Logic - A Custom Bipolar LSI Design Approach.  
IEEE Custom Integrated Conference, Rochester NY, May 19-21, 1980, 80CH1562-8, S. 73 - 75.
- /L11/ Lopez, A.D.; Law, H.F.S.:  
A Dense Gate Matrix Layout Method for MOS VLSI.  
IEEE Transact. on Electron Devices, No. 27, 1980, S. 1671ff., ebenda in ISCAS'82, S. 1214 - 1228.
- /L12/ —  
Anwenderhandbuch Logiksimulator LS11.  
VEB Mikroelektronik Karl Marx Erfurt, 1984.
- /L13/ —  
Handbuch LSI-Simulator.  
VEB Funkwerk Erfurt, 1984, s. auch /H1/.
- /L14/ Luhukay, J.F.P.:  
Layout Synthesis of NMOS Gatecells. Univ. of Illinois, 1983. INT-Reg. 85B11153.
- /L15/ Lunze, K.:  
Berechnung elektrischer Stromkreise. Leitfaden und Aufgaben.  
VEB Verlag Technik, Berlin, 1970.
- /L16/ Lunze, K.:  
Einführung in die Elektrotechnik.  
VT Berlin, 1971.
- /M1/ Magnhagen, B.:  
Probability Based Verification of Time Margins in Digital Designs.  
Linköping University, Sweden, S58183, Diss. No. 17, 1977, INT-Reg. 83/10409.
- /M2/ Marshall, M.; Waller, L.; Wolff, H.:  
The 1981 Achievement award: Lynn Conway, Carver Mead.  
Electronics/Oct. 20, 1981, S. 103 - 105.

- /M3/ Marques, J.M.C.A.:  
MOSAIC: Une Methodologie de Conception pour les  
Circuits Systeme VLSI.  
Dissertation. Institut Polytechnique de Grenoble,  
24. Sept. 1980.
- /M4/ Martin, J.C.:  
Random and Programable Logic in Watches.  
North Holland Publ. Company. Aus: From "electronics  
to Microelectronics. 1980.
- /M5/ Mc Cabe, M.M., u.a.:  
New Algorithms and Architectures for VLSI.  
GEC Journal of Science & Technology. Vol. 48,  
No. 2, 1982.
- /M6/ Mead, C.; Conway, L.:  
Introducion to VLSI-Systems.  
Addison-Wesley-Publ. Comp., Reading MA, USA, 1980.
- /M7/ Meinen, P.:  
Der DNS-Schaltwerksimulator.  
Bericht Nr. 7616, TU München, Institut für Infor-  
matik, 1976.
- /M8/ Melcher, H.:  
A. Einstein wider Vorurteile und Denkgewohnheiten.  
Akademie-Verlag Berlin, 1979.
- /M9/ Mercer, M.R.; Agrawal, V.D.:  
A Novel Clocking Technique for VLSI Circuit  
Testability.  
IEEE Journal of Solid-State Circuits, SC-19, No. 2,  
April 1984.
- /M10/ Mey de, G.:  
A Comment on "The Modeling of Resistive Interconnects  
for Integrated Circuits".  
IEEE Journal of Solid-State Circuits, Vol. SC-19,  
No. 4, Aug. 1984.
- /M11/ Micheli de, G., u.a.:  
Symmetric Displacement Algorithms for the Timing  
Analysis of Large Scale Circuits.  
IEEE Transact. on CAD-2, No. 3, July 1983,  
S. 167 - 179.

- /M12/ Miklosko, J.:  
Four spec. VLSI-Computers for the fast Gauss-Jordan-Rutishauser Elimination Algorithm with partial Pivoting  
TUM-Interner Bericht, München, 1984.
- /M13/ Mikusinski, J.:  
Operatorenrechnung.  
VEB DVW Berlin, 1957.
- /M14/ Möschwitzer, A.:  
Ein einfaches Schwellspannungsmodell für Depletion- und Deepdepletion-MOS-Transistoren.  
Wiss. Zeitschr. der TU Dresden, 29(1980) H.1,  
S. 235 - 237.
- /M15/ Möschwitzer, A.:  
Elektronische Eigenschaften skalierteter MOS-Transistoren für VLSI-Schaltkreise.  
NTE, 33(1983), H. 3, S. 95 - 100.
- /M16/ Möschwitzer, A.; Lunze, K.:  
Halbleiterelektronik. Lehrbuch.  
VT Berlin, 1973.
- /M17/ Möschwitzer, A.:  
Halbleiterelektronik (Wissensspeicher)  
VEB Verlag Technik Berlin, 1983
- /M18/ Möschwitzer, A.; Jorke, G.:  
Mikroelektronische Schaltkreise.  
VEB VT Berlin, 1981.
- /M19/ Moore, G.E.:  
Are we really Ready for VLSI?  
Int. Solid-State Circuits Conference, 1979,  
Feb. 14 - 16, 1979.
- /M20/ Moroga, C.:  
VLSI: Algorithms and Realisations.  
Case Studies. (I<sup>2</sup>L).  
Univ. Dortmund, Ber. 176/84. INT-Reg. 85B11317.
- /M21/ Moto-oka, T.:  
Fifth Generation Computer Systems.  
North Holland Publ. Comp. JIPDEC, 1982.
- /M22/ Mudge, J.C.; Herrick, W.V.; Walher, H.:  
A Single-Chip Floating-Point Processor. A Case Study in Structured Design.  
IEEE Int. Conference on Circuits and Computers, 1980.

- /M23/ Mudge, J.C.; Peters, C.; Tarolli, G.M.:  
A VLSI Chip Assembler.  
IEEE Int. Conference on Circuits and Computers, 1980.
- /N1/ Nemes, M.:  
Driving Large Capacitances in MOS LSI Systems.  
IEEE Journal of Solid-State Circuits, Vol. SC-19.  
No. 1, Feb. 1984, S. 159 - 162.
- /N2/ Nham, H.N.; Bose, A.K.:  
A Multiple Delay Simulator for MOS LSI Circuits.  
IEEE Design Autom. Conference, No. 17, June 1980.
- /N3/ ———  
Anwenderhandbuch NIFAN.  
VEB Halbleiterwerk Frankfurt/Oder, 1984.
- /N4/ Nosov, R. J.; Petrosjaz, K.O.; Schilin, W.A.:  
Matematičeskie modeli elementov integral'noi elektroniki  
Moskva, Sovetskoe Radio, 1976.
- /N5/ Nowak, W.; Näser, J.:  
Elektronische Schaltungen.  
Lehrbriefe 1... 5, Verlag Technik Berlin, 1977.
- /N6/ ———  
Pflichtenheft nSGT2.  
Interner Bericht VEB Zentrum für Forschung und Technik  
Dresden.
- /01/ Oberst, E.:  
Entwurf von Kombinationsschaltungen.  
Reihe Automatisierungstechnik, Bd. 123. VT Berlin, 197
- /02/ Ousterhout, J.K.:  
A Switch-Level Timing Verifier for Digital MOS VLSI.  
IEEE, Transact. on CAD, CAD-4, No. 3, July 1985,  
S. 336 - 349.
- /03/ Ousterhout, J.K.:  
Crystal: A Timing Analyser for nMOS VLSI Circuits.  
Univ. of California, Berkeley CA, Report UCB/CSD83/119  
Jan. 1983, INT-Reg. 83/10409.
- /04/ Ousterhout, J.K.; Gordon, T. u.a.:  
MAGIC: A VLSI Layout System.(UoC).  
ACM 21st DAC, Proc.'84, Albuquerque, 21-23 June 1984,  
S. 152 - 179.

- /P1/ Paul, R.:  
Transistortechnik.  
VT Berlin, 1966.
- /P2/ Penfield, P.; Rubinstein, J.:  
Signal Delay in MOS Interconnections.  
Massachusetts Institute of Technology, VLSI-Memo,  
No. 81 - 48, April 1981, ebenda in Proceedings of the  
Second Caltech Conference on VLSI, Jan. 19-21, 1981,  
Pasadena, CA, USA.
- /P3/ Penfield, P.:  
Student Guide to Microsystems Research at M.I.T..  
Mass. Inst. of Technology, Cambridge, MA, Dep. of  
EE & CS, Memo No. 80 - 10, June 1981.
- /P4/ Pfennings, L.C.M.G., u.a.:  
Differential Split-Level CMOS Logic for Subnanosecond  
Speeds.  
IEEE Journal for Solid-State Circuits, SC-20, Oct. 198  
S. 1050 - 1053.
- /P5/ Philippow, E.:  
Grundlagen der Elektrotechnik.  
Geest & Portig K.G., 5. Aufl., Leipzig, 1976.
- /P6/ Philippow, E.:  
Nichtlineare Elektrotechnik.  
Geest & Portig K.G., Leipzig, 1971.
- /P7/ Philippow, E.:  
Taschenbuch Elektrotechnik.  
Band 1. und 3. Verlag Technik Berlin, 1968.
- /P8/ Posdziech, G.:  
Empirisches Modell des Enhancement-Transistors mit  
kurzem Kanal.  
NtE 30(1980) H. 3, S. 111 - 112.
- /P9/ Posdziech, G.:  
Entwurf und Einsatz von Feststrukturen: Modellgerechte  
Bestimmung von  $U_T$ ,  $l$ ,  $w$ ,  $K_D$  von MOS-Transistoren.  
VEB ZFTM Dresden, Ber. E2E1 123/83, v. 24. 6. 83.
- /P10/ Posdziech, G.:  
Modell des Depletionstransistors.  
Nachrichtentechnik-Elektronik, 29(1979) H. 6,  
S. 236 - 239.

- /P11/ Posdziech, G.:  
 Modell des Depletion-MOS-Transistors (DT).  
 Int. Ber. VE IM Dresden, ENT EEW 40/78, v. 30. 6. 78.
- /P12/ Posdziech, G.:  
 Stationäres Enhancement-Transistor-Modell ARON 3.  
 Int. Ber. VEB ZFTM Dresden, E2E1 134/83, v. 14. 7. 83.
- /P13/ Posdziech, G.:  
 Stationäres Transistormodell ... für nSGT (ED).  
 Int. Ber. VE IM Dresden, ENT EEW 23/79, v. 9. 2. 79.
- /P14/ Posdziech, G.:  
 Transistormodell für n-SGT.  
 Int. Ber. VE IM Dresden, ENT EEW 17/78, v. 11. 4. 78.
- /R1/ Ramachandran, V.:  
 On Driving Many Long Lines in a VLSI Layout.  
 (ohne Quellenangabe).
- /R2/ Rebel, B.; Gössel, M.:  
 Ein paralleler Speicher.  
 AdW Zentralinst. für Kybern. und Inf., Berlin, Nov. 82.
- /R3/ Reibiger, A.:  
 Netzwerkanalyse als Grundlage für die rechnergestützte  
 Schaltungsentwicklung.  
 Grundlagen der Schaltungsentwicklung.  
 Akademie-Verlag Berlin, 1979.
- /R4/ Rhein, D.:  
 Ein nichtlineares RC-Modell für die Ladungsübertragung  
 in 2-Phasen-Oberflächen-CCD.  
 NtE 30(1980) H. 4, S. 158ff.
- /R5/ Rivest, R.:  
 Documentation of the RSA Chip Assembler.  
 MIT-LCS, July 1, 1980.
- /R6/ RÖbler, F.; Fischer, P.; Möschwitzer, A.; Hecker, W.:  
 LSI SIMULATOR - ein leistungsfähiges Programmsystem zur  
 Funktionsverifikation hoch- und höchstintegr. Schalt-  
 kreise.  
 NtE, Berlin 34(1984) H. 6, S. 213 - 214.
- /R7/ Roher, R.A., u.a.:  
 Quasi-Static Control of Explicit Algorithms for Transie  
 Analysis.  
 IEEE Trans. on CAD, CAD-3, No. 3, July 1984.

- /R8/ Ruehli, A.E.; Wolff, P.K.; Goertzel, G.:  
Analytical Power/Timing Optimization Technique for  
Digital Systems.  
Proc. Computer-Aided-Design-Conference, 1977.
- /R9/ Ruehli, A.E.:  
Circuit Analysis, Logic Simulation and Design Veri-  
fication for VLSI.  
Proc. of the IEEE, Vol. 71, No. 1, Jan. 1983.
- /R10/ Rubinstein, J.; Penfield, P.; Horowitz, M.A.:  
Signal Delay in RC Tree Networks.  
IEEE Transact. on CAD, CAD-2, No. 3, July 1983.  
S. 202 - 211.
- /R11/ Rutenbar, R.A.; Mudge, T.N.:  
A Class of Cellular Architectures to Support Physical  
Design Automation.  
Univ. of Michigan, CRL-TR-10-83, 1983. INT-Reg. 85B1111
- /S1/ Sakurai, T.:  
Approximation of Wiring Delay in MOSFET LSI.  
IEEE Journal of Solid-State Circuits, SC-18, No. 4,  
Aug. 1983, S. 418 - 426.
- /S2/ Schetzen, M.:  
The Volterra and Wiener Theories of nonlinear Systems.  
New York, J. Wiley & Sons, 1980, 526 S.
- /S3/ Schüffny, R.; Fischer, W.-J.; Möschwitzer, A.:  
Bestimmung von Schwell- und Durchbruchspannung von  
KMOS-Transistoren durch zweidimensionale Simulation.  
Zeitschr. für elektr. Inform. und Energietechnik,  
Leipzig 11(1981)4, S. 359 - 373.
- /S4/ Schüffny, R.; Fischer, W.-J.; Möschwitzer, A.:  
Örtlich zweidimensionale Analyse des MOSFET.  
NTE, 30(1980) H. 5, S. 194 - 196.
- /S5/ Seiler, L.:  
Special Purpose Hardware for Design Rule Checking.  
Mass. Inst. of Techn., VLSI Memo, No. 81-41,  
Febr. 1981.
- /S6/ Sequin, C.H.:  
Generalized IC Layout Rules and Layout Representations  
Internat. Conference on VLSI, Univ. of Edinburgh, UK,  
18. - 21. Aug. 1981.

- /S7/ Sherburne, R.W., u.a.:  
A 32 Bit NMOS Microprocessor with a Large Register File  
IEEE Journal of Solid-State Circuits, SC-19, No. 5, Oct  
1984.
- /S8/ Shichman, H.; Hodges, D.A.:  
Modeling and Simulation of Insulated Gate Field Effect  
Transistor Switching Circuits.  
IEEE Journal of Solid-State-Circuits, SC-3, 1968,  
S. 285 - 289.
- /S9/ Shoji, M.:  
Electrical Design of Bellmac-32A Microprocessor.  
Bell-Laboratories, Murray Hill, NJ, 07974 (Internal  
Report)
- /S10/ Shoji, M.:  
FET Scaling in Domino CMOS Gates.  
IEEE Journal of Solid State Circuits, SC-20, Oct. 1985  
S. 1067 - 1071.
- /S11/ Sibbert, H.; Höfflinger, B.; Zimmer, G.:  
Analytisches Modell, Leistungsfähigkeit und Skalierung  
kleinster MOS-Transistoren für höchstintegrierte Digi-  
talschaltkreise.  
NTG.Fachberichte, No. 68, 1979, S. 128 - 134, ENI 0375
- /S12/ Simonyi, K.:  
Theoretische Elektrotechnik.  
VEB DVW, Berlin, 1968.
- /S13/ —  
Handbuch Logiksimulator SIMPER.  
Institut für Nachrichtentechnik, INT-S03, 1979.
- /S14/ Singh, N.P.:  
A Design Methodology for Self-timed Systems.  
MIT-LCS-TR-258, Feb. 1981, Cambridge, MA. INT-Reg.  
83B10228.
- /S15/ —  
International Directory of Software 1982-83.  
By Computing Publications Ltd. England, Pitman-Press,  
Lower Bristol Road, Bath, England, 1983.
- /S16/ —  
Anwenderhandbuch STADYNET.  
Programmdokumentation 161/79-RM, VEB Zentrum für For-  
schung und Technik Dresden, 1979.

- /S17/ Stoyan, H.:  
LISP-Anwendungsgebiete, Grundbegriffe, Geschichte.  
Akademie-Verlag Berlin, 1980.
- /S18/ Strojwas, A.J.:  
Optimal Design of VLSI-Minicells using a Statistical  
Process Simulator.  
Carnegie Mellon Univ., Pittsburgh, PA, Jan. 1983.
- /S19/ Stürz, H.; Cimander, W.:  
Logischer Entwurf digitaler Schaltungen.  
VT Berlin, 1976.
- /S20/ Supnik, R.M.:  
Micro VAX 32, A 32 Bit Microprocessor.  
IEEE Journal of Solid-State Circuits, SC-19, No. 5,  
Oct. 1984.
- /S21/ Sussman, G.J., u.a.:  
Computer Aided Evolutionary Design for Digital Inte-  
grated Systems.  
Mass. Inst. of Techn. AI Memo No. 526, May 1979.
- /T1/ Teichmann, W.:  
Ein Beitrag zur Analyse von Verzerrungen im nichtline-  
aren elektrischen Netzwerken.  
Dissertation A, HfV Dresden, 5. 4. 81.
- /T2/ Teichmann, W.:  
Probleme bei der Analyse fastlinearer elektrischer  
Netzwerke.  
NtE 1984, H. 2, S. 54 - 57.
- /T3/ Thaper, H.K.; Leon, B.J.:  
Lumped Nonlinear System Analysis With Volterra Series.  
Purdue Univ., West Lafayette, Ind., 1979.
- /T4/ Thompson, C.D.; Raghavan, P.:  
On Estimating the Performance of VLSI Circuits.  
University of California, Berkeley CA, Rep.  
UCB/CSD 84/138, Sept. 1983.
- /T5/ Tokuda, T., u.s.:  
16b CPU Design by a Hierarchical Polycell Approach.  
IEEE, Int. Conference on Circuits and Computers,  
New York, 1982, S. 102 - 105.

- /T6/ Tokuda, T., u.a.:  
 Delay-Time Modeling for ED MOS Logic LSI.  
 IEEE Transact. on CAD, CAD-2, No. 3, July 1983.  
 S. 129 - 134.
- /T7/ Toth, F.; Martinez, M.; Waldö, S.:  
 Multiplizier: CMOS verringert Leistungsaufnahme.  
 Elektronik 12/14. 6. 1985, S. 57 - 60.
- /T8/ Tychonoff, A.N.; Samarski, A.A.:  
 Differentialgleichungen der mathematischen Physik.  
 DVW Berlin, 1959.
- /U1/ Unbehauen, R.:  
 Systemtheorie.  
 Akademie-Verlag Berlin, 1980.
- /V1/ Veendrick, H.J.M.:  
 Short Circuit Dissipation of Static CMOS Circuitry and  
 Its Impact on the Design of Buffer Circuits.  
 IEEE Journal of Solid-State Circuits, SC-19, No. 4,  
 Aug. 1984, S. 468 - 473.
- /V2/ Vich, R.:  
 Z-Transformation.  
 VEB Verlag Technik, Berlin, 1964.
- /V3/ Vielhauer, P.:  
 Lineare Netzwerke.  
 VT Berlin, 1982.
- /V4/ Vielhauer, P.:  
 Passive lineare Netzwerke.  
 VEB Verlag Technik, Berlin, 1974.
- /W1/ Wadsack, R.L.:  
 Design Verification and Testing of the WE 32100 CPU's.  
 IEEE Design and Test, Aug. 1984, S. 66 - 74.
- /W2/ Wanhammer, L.:  
 An Approach to LSI-Implementation of Wave Digital  
 Filters.  
 Linköping University, Dep. of El. Engin., S-58183,  
 Sweden, 1981, INT-Reg. 83/10410.

- /W3/ Wardle, C.L., u.a.:  
A Declarative Design Approach for Combining Macro-  
modells by Directed Placement and Constructive Routing  
ACM 21st DAC, Proc. '84, Albuquerque, 21-23 June 1984.  
S. 594 - 601.
- /W4/ Weiner, D.D.; Spina, J.F.:  
Sinusoidal Analysis and Modeling...  
New York, Van Nostrand, 1980. - 30, 290 S.
- /W5/ Whitaker, S.:  
Pass-Transistor networks optimize n-MOS logic.  
Electronics, Sept. 22, 1983, S. 144 - 148.
- /W6/ Williams, T.W.; Parker, K.P.:  
Design for Testability - A Survey.  
Proc. of the IEEE, Vol. 71, No. 1, Jan. 1983.
- /W7/ Wunsch, G.:  
Algebraische Grundbegriffe.  
VT Berlin, 1970.
- /W8/ Wunsch, G.:  
Elemente der Netzwerksynthese.  
VT Berlin, 1969.
- /W9/ Wunsch, G.:  
Moderne Systemtheorie.  
Geest & Portig, Leipzig, 1962.
- /W10/ Wunsch, G.:  
Laufzeitentzerrer und Verzögerungsschaltungen.  
VT Berlin, 1960.
- /W11/ Wunsch, G.:  
Systemtheorie der Informationstechnik.  
Geest & Portig, Leipzig, 1971.
- /W12/ Wunsch, G.:  
Theorie und Anwendung linearer Netzwerke.  
Band 1 und 2.  
Geest & Portig, Leipzig, 1964.
- /Y1/ Young, J.:  
Program simulates digital MOS circuits (Mosaid 1000).  
Electronics, Sept. 8, 1983, S. 193 - 194.

/Z1/ Zahr:

Modellierung der Kapazitäten von nSGT-MOS-Transistoren.  
VE Institut für Mikroelektronik Dresden, E-Notiz  
EEW 37/79, v. 21. 2. 79.

/Z2/ Zech, K.A.:

Über Möglichkeiten zum Entwurf diagnosefreundlicher  
Schaltungen.  
Bericht INT-S03-TH-3/02104/50/8214II.

/Z3/ Zypkin, J.S.:

Differentialgleichungen der Impuls- und Regelungstechnik  
VT Berlin, 1956.

/Z4/ Zypkin, J.S.:

Theorie der linearen Impulssysteme.  
VT Berlin, 1967.