

1980 200.017/D.25657
1975 - 1879
1977
1876
11/15/4

Institut für Nachrichtentechnik
Hauptabteilung TB

Berlin, den 20.03.1981

Bericht TB 4 - 5/81

Titel: "Dokumentation KA 602 -
Digitalteil PCM 30-Repeater"

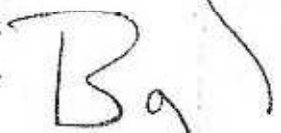
Bilder: Entwickler &
Entwurf:
G. Herz

Bearbeiter: Dr. Tängler

Umfang: 17 Seiten

Anlagen:
Bondschemata,
Blockbild,
Schaltung,
Layout

verantwortlicher Leiter:



Dr.-Ing. Bogk
Hauptabteilungsleiter TB

IS012 VV Freiberg Außenstelle Dresden, Ag 307725

Gliederung:

Seite

1.	Einleitung	3
2.	Elektrische Daten	3
3.	Schaltungsbeschreibung, Schaltungs- berechnung	4
3.1.	Komparator, Latch	4
3.2.	Endstufe	10
3.3.	Signalausfalldetektor	12
3.4.	Strombank	14
4.	Bandschema	17

1. Einleitung

Der Schaltkreis KA 602 übernimmt die digitalen Funktionen eines PCM 30-Repeater. Im einzelnen gehören dazu (siehe Blockschaltbild Bild 1):

- Vergleich des bipolaren Eingangssignals V_{W1} mit einem Referenzpegel zur Erkennung der positiven "1"-Signale, "+ DATA-Schwelle" und der negativen "1"-Signale "- DATA-Schwelle", wobei die Erkennung der "0"-Signale als Zwischenwert dabei automatisch gegeben ist,
- Zwischen Speicherung der erkannten positiven und negativen "1"-Signale zur Gewährleistung der Synchronisation mit den im Analogteil regenerierten Taktsignalen \overline{CLK} und CLK ,
- Verstärkung der positiven und negativen "1"-Signale und taktasynchrone Ausgabe über Open-Kollektor-Stufen an einen Gegentaktausgangstreifo zur Erzeugung des bipolaren PCM-Signals,
- Sicherung der Aussendung einer "0"-Signalfolge bei Eingangssignalausfall und Anzeige des Signalausfalls bei definierter Lage des Taktes CLK ,
- Verstärkungsregelung des zweiten Vorverstärkers im KA 601, der zum System gehört, über eine separate Regelstrecke (ALBO).

2. Elektrische Daten

Der Analogteil des PCM 30-Repeater KA 601 erzeugt folgende systeminterne Pegel für den KA 602:

- Taktsignale CLK , \overline{CLK} (Bondpins 16 bzw. 17; Pin 16 bzw. 17)
 - o Highpegel $U_H = 5,9 V$
 - o Lowpegel $U_L = 4,05 V$
 - o Anstiegs-, Abfallzeit $t_r, t_f = 20 ns$
- Referenzschwellen zur Erkennung der positiven und negativen "1"-Signale
 - o +DATA-Schwelle $U_{+D} = 3,20 V \pm 0,4 V$ (B1 21; Pin 20)

III/15/4 1876 1377 1878- 1879 1880 2000.V.D.25657

- -DATA-Schwelle $U_{-D} = 2,38 \text{ V} \pm 0,4 \text{ V}$ (Bi 16; Pin 16)
- Ausgangssignal des Vorverstärkers 1 VV1 Bi 15 Pin 14
 - Mittenspannung $U_a = 2,78 \text{ V} \pm 0,4 \text{ V}$
 - max. Amplitude $U_{SSMAX} = 1,8 \text{ V}$

Die separate ALEO-Regelstrecke unterliegt den gleichen Bedingungen, wie die des KA 601 und wird an folgenden Pins herausgeführt:

- ALEO-Filter 2 Bi 9 Pin 9
- Analog $+U_D = 6,8 \text{ V}$ Bi 8 Pin 8
- ALEO-Ausgang Bi 7 Pin 7
- Analog Masse Bi 6 Pin 6

Die Ausgangsstufen "+Ausgang" und "-Ausgang" Bi 24 bzw. 2 Pin 24 bzw. 2 geben folgende Pegel ab:

- Senden eines "0"-Signals oder ausgeschaltete Endstufe
 $U_H = 6,8 \text{ V}$ bei $6,8 \text{ V}$ Betriebsspannung
- Senden eines "1"-Signals
 $U_L \leq 0,9 \text{ V}$ bei $I_L = 15 \text{ mA}$
- Anstiegszeit (L/H-Wechsel)
 $t_r \leq 70 \text{ ns}$
- Abfallzeit (H/L-Wechsel)
 $t_f \leq 70 \text{ ns}$

3. Schaltungsbeschreibung, Schaltungsbeschreibung

3.1. Komparator, Latch

Die prinzipiellen Funktionen der Komparator, Latch-Blöcke des Digitalteil KA 602 sind identisch (siehe Schaltung Bild 2 und Impulsdiagramm Bild 3). Es wird deshalb nur der Weg für die Erkennung und Verarbeitung der "+1"-Informationen beschrieben. Der Komparator-Latch-Block hat folgende Aufgaben:

- Erkennung eines "+1"-Signals durch Vergleich des Vorverstärker-Ausgangssignals VV1 mit der +D-Schwelle durch den DFBUS-Komparator,

- Zwischenspeicherung des erkannten Signals zur Synchronisation mit dem Takt CLK im Latch (DPLUSFF)
- Ausgleich der Verzögerungszeit der Taktrückgewinnungselektrode (Zweiweggleichrichter, Tanktreiber, Tankkreis, Taktbegrenzer) im KA 601 durch definierte Wahl der Voreinstellzeit t_{VEFF} des Latch (DPLUSFF) und der Verzögerungszeit des Komparators t_{KOMP} , wobei zur optimalen Erkennung der Signale gelten muß

$$t_{CLK} = t_{KOMP} + t_{VEFF} \quad (1)$$

(siehe hierzu Taktschema Bild 3 des Digitalteil (KA 602)).

Das Latch ist als taktzustandgesteuertes ECI-D-Flip-Flop ausgeführt (siehe Schaltung Bild 2). Es hat folgenden Bedingungen zu genügen:

- Der Logikhub am negierten Ausgang (ET 53) muß ca. $3 U_{BEK}$ sein, um die Endstufe bei Ausgabe eines Signals mit Low-Pegel sicher einzuschalten.
- Die Voreinstellzeit muß der Bedingung

$$t_{VEFF} < t_{CLK}$$

genügen.

Für das Latch hat die Forderung nach dem Logikhub die Priorität. Die Gleichung (1) als Bedingung für die Verzögerungszeiten wurde durch die Dimensionierung des Komparators realisiert.

Der Logikhub wurde durch die Wahl der Kollektorwiderstände R 43 - R 44 und R 45 - R 46 zu je 7,2 kOhm und dem Strom der Stromquelle T 44 - R 49 - R 50 - R 51 zu $I_{OT44} = 0,34 \text{ mA}$ festgelegt. Man erhält

$$\Delta U = 2,45 \text{ V} \quad (2)$$

$$U_H = U_{+VSS} = 6,8 \text{ V} \quad (3)$$

$$U_L = U_{+VSS} - \Delta U = 4,35 \text{ V} \quad (4)$$

(zur Dimensionierung der Stromquellen siehe 3.4.)

Durch die Wahl der Kollektorwiderstände und den Strom I_{OT44} wird auch die Voreinstellzeit t_{VEFF} festgelegt.

Aus dem Schaltbild ergibt sich mit der gewählten Ersatzschal-

tung für die Basiswiderstände

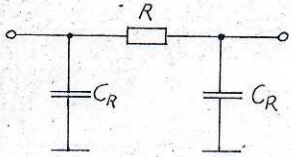
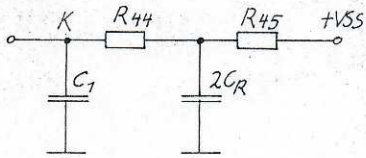


Bild 4: Ersatzschaltung für Basiswiderstände
die folgende Ersatzschaltung:



$$C_1 = C_R + C_{CST44} = 6,3 \text{ pF}$$

$$2C_R = 3,0 \text{ pF}$$

$$R_{44} = R_{45} = 3,6 \text{ k}\Omega$$

$$I_{CT44} = 0,34 \text{ mA}$$

$$+VSS = 6,8 \text{ V}$$

Bild 5: Ersatzschaltung zur Berechnung der Vorinstitutezeit
des Latch

Die Lösung der entsprechenden DGL wurde auf dem Kleinrechner Robotron K 1002 programmiert, und liefert die Spannung am Knoten K für fest vorgegebene Zeitwerte. Zur Ermittlung des Wertes t_{VEFF} wurde das folgende Diagramm berechnet, wobei gilt:

$$U(t_{VEFF}) = U_{+VSS} - \frac{1}{2} \Delta U \quad (5)$$

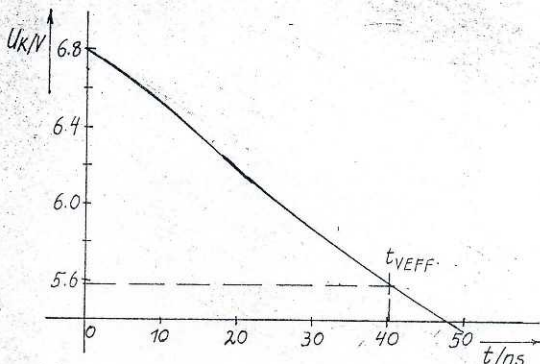


Bild 6: Auswertung der Kleinstrechnerergebnisse zur Bestimmung der Voreinstellzeit t_{VEFF} des Latch

Die Voreinstellzeit des Latch beträgt somit

$$t_{VEFF} \approx 40 \text{ ns.} \quad (6)$$

Aus der STADYNIT-Simulation ergibt sich ebenfalls

$$t_{VEFF} = 40 \text{ ns.} \quad (6a)$$

Der Komparator ist als einfacher Differenzverstärker ausgeführt (Transistoren T71, T72 mit der Stromquelle T73).

Zum Einstellen der Verzögerungszeit des Komparators t_{KOMP} , um die Gl. (1) zu realisieren, sind Serienwiderstände in Basiskreis eingefügt (R 56 bzw. R 60 ... R 64), wodurch der Miller-Effekt in die benötigte μs -Reihenfolge kommt.

Nach Gl. (1) wird bei

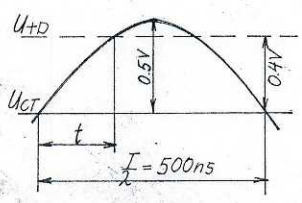
$$t_{CLK} = 75 \text{ ns}$$

ein t_{KOMP} zu

$$t_{KOMP} = 35 \text{ ns} \quad (7)$$

gefordert. Diese Zeit muß insbesondere dann exakt eingehalten

werden, wenn die Amplitude des VV1-Signals nur geringfügig über der Schwelle +D liegt. Ein solcher Fall kann bei einem plötzlichen Signaleinbruch bei heruntergeregelter Verstärkung des Vorverstärkers durch das ALBO-Netzwerk eintreten. Zur Berechnung des Generatorwiderstandes, der am Tiefpaß des Komparatoreinganges zur Realisierung der, t_{KOMP} wirksam werden muß, ist nun die aus folgendem Bild zu bestimmende Frequenz maßgeblich.



$$t / \mu s = \frac{1}{2\pi} \arcsin \frac{0,4}{0,5} = 0,148$$

$$t = 148 \text{ ns}$$

$$f = \frac{1}{2 \left(\frac{T}{2} - 2t \right)} = \frac{1}{T - 4t}$$

$$\frac{T}{2} - 2t = 204 \text{ ns}$$

Bild 7: Zur Bestimmung der Frequenz des VV1-Signals

Die Frequenz wird zu

$$f \approx 2,5 \text{ MHz} \quad (8)$$

bestimmt. Bei dieser Frequenz entspricht die Verzögerungszeit nach Gl. (6) einer Phasenverschiebung von

$$\varphi = \frac{35 \text{ ns} \cdot 180^\circ}{204 \text{ ns}} \approx 31^\circ$$

Aus

$$\varphi = \arctan \frac{f}{f_0}$$

ergibt sich die 3dB-Grenzfrequenz des Tiefpasses zu

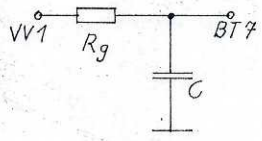
$$f_0 = \frac{f}{\tan \varphi} \approx 4,2 \text{ MHz}, \quad (9)$$

was einer Zeitkonstante des Eingangstiefpaß von

$$\tau = \frac{1}{2\pi f} \approx 38 \text{ ns} \quad (10)$$

entspricht.

Zur Dimensionierung des Generatorwiderstandes R_g muß die Ersatzschaltung des Komparatoreingangskreises angegeben werden:



$$\begin{aligned}
 C &= C_{BE} + C_{EC} (1 - V_u) \\
 &= (2,5 \text{ pF} + 1,0 \text{ pF}) + 0,7 \text{ pF} \cdot 29 = 23,5 \text{ pF} \\
 -V_u &\approx \frac{R_C I_E}{U_{CE}} \approx 28
 \end{aligned}$$

Bild 3: Ersatzschaltung für den Eingangskreis des Komparators bei Berücksichtigung des Miller-Effektes

Aus τ und C erhält man:

$$R_g \approx 1,6 \text{ k}\Omega \quad (11)$$

Die STADYNET-Simulation bestätigt die gemachten Abschätzungen. Die Verzögerungszeit ergibt sich zu

$$t_{\text{KOMP}} = 45 \text{ ns}$$

für einen Eingangswiderstand von $1,35 \text{ k}\Omega$.

Die Kollektorwiderstände des Komparators wurden zu $3,6 \text{ k}\Omega$ gewählt. Zur Gewährleistung eines Logikhubes von ca. $2U_{BE}$ wurde die Stromquelle T73 auf einen Strom von

$$I_{T73} = 0,39 \text{ mA} \quad (12)$$

festgelegt, womit sich ein Logikhub des Komparators ΔU_{KOMP} zu

$$\Delta U_{\text{KOMP}} \approx 1,4 \text{ V} \quad (13)$$

ergibt.

3.2. Endstufe

Die Endstufe hat folgende Anforderungen zu erfüllen (siehe Schaltung Bild 2):

- Abgabe eines Low-Pegels von

$$U_L \leq 0,9 \text{ V} \quad \text{bei } I_L = 15 \text{ mA} \quad (14)$$

für

- BT 2o = L (Ausgang des Latch)
- BT 18 = L (Ausgang des Zero-Input-Skutdown)
- CLK = L
- CLKQ = H

- Abgabe eines High-Pegels für alle übrigen Kombinationen der Signale BT 2o, BT 18, CLK, CLKQ mit

$$U_H \approx U_B = 6,8 \text{ V}$$

- Erreichen einer sehr hohen Symmetrie von $\pm 150 \text{ mV}$ zwischen den Lowpegeln der Endstufen für den +DATA und -DATA-Signalweg, um die PCM-Leitung möglichst gleichstromfrei zu halten.
- Erreichen einer relativ großen Flankensteilheit des Ausgangssignals von

$$t_r, t_f \leq 70 \text{ ns}$$

Aus der letzten Forderung ergibt sich, daß die Transistoren nicht sättigen dürfen. Aus diesem Grunde sind die Transistoren T13 und T1o vorgesehen. Der Transistor T1o sichert daneben noch die Symmetrie der Low-Pegel zwischen den Endstufen.

Für die Sicherung der Schaltflanken ist die Dimensionierung des Stromspiegels T12, T17 maßgeblich. Aus der Flankensteilheit ergibt sich der Basisstrom I_{BT11} , der durch den Spiegeltransistor T12 abgezogen (LH-Flanke) bzw. durch die Widerstandskette R23, R22, R14 eingespeist (HL-Flanke) werden muß. Auf Grund der Forderung nach gleichen Anstiegs- und Abfallzeiten der Endstufe müssen diese Ströme entgegengesetzt gleich sein. Die folgende Dimensionierung wurde dem Bericht TB 4 - 2/81 entnommen und entsprechend modifiziert.

Die Dauer des Stromanstiegs-bzw. -abfalls ist in entscheidendem Maße vom Aufbau bzw. Abbau der Diffusionskapazitäten von T₆ und T₇ abhängig. Die zwischen Basis und Emitter von T₆ und T₇ wir-

kenden Kapazitäten setzen sich aus der Sperrschichtkapazität C_{BE} und der Diffusionskapazität C_{BED} zusammen. Als Summenkapazität erhält man damit:

$$C_{BES} = C_{BE} + C_{BED} \quad (15)$$

$$C_{BES} = \frac{Q_S}{U_{BEX}} = \frac{Q}{U_{BEX}} + \frac{\Delta Q_D}{U_{BEX}} \quad (16)$$

Daraus folgt:

$$C_{BE} + C_{BED} = \frac{Q}{U_{BEX}} + \frac{\Delta Q_D}{U_{BEX}} ;$$

da $C_{BE} = \frac{Q}{U_{BEX}}$, bleibt:

$$\Delta Q_D = U_{BEX} \cdot C_{BED} \quad (17)$$

$$\text{bzw. } \Delta Q_D = U_{BEX} \cdot C_{BEDo} \cdot I_E \quad (18)$$

Um diese Ladungsmenge ΔQ_D auf- bzw. abzubauen, ist in einem bestimmten Zeitintervall Δt ein bestimmter Strom ΔI_E notwendig.

$$\Delta t = \frac{\Delta Q_D}{\Delta I_E}$$

$$\Delta t = \frac{U_{BEX} \cdot C_{BEDo} \cdot I_E}{\Delta I_{E\max}} \quad (19)$$

Setzt man hier nun die entsprechenden Werte der Schaltung ein, so ergibt sich folgendes:

$$\Delta t_{ET11} = \frac{U_{BEXT11} \cdot C_{BEDoT11} \cdot I_{ET11}}{\Delta I_{EKT11\max}} \quad (20)$$

mit

$$I_{ET11} \approx \frac{U_{BEG2}}{R13} \quad (21)$$

$$\Delta I_{BXT11max} \approx I_{CLKQ} - I_{CT12}$$

$$I_{CLKQ} = \frac{U_{CLKQ} - U_{BT11}}{R14 + R 22 + R 23}$$

$$I_{CT12} = \frac{U_{BT20} - U_{BCT17}}{R17 + R19} \quad \text{bei abgeschalteten Zero-Input-Shutdown} \quad (22)$$

Aus den angegebenen Gleichungen ergibt sich die Dimensionierung der Endstufen.

Die STADYNET-Simulation ergibt folgende Werte für die zu fordernden Parameter:

$$\begin{aligned} U_H &= 6,8 \text{ V} \\ U_L &= 0,8 \text{ V} \\ t_R &= 60 \text{ ns} \\ t_Y &= 30 \text{ ns} \end{aligned} \quad (23)$$

3.3. Signalausfalldetektor

Der Signalausfalldetektor (Zero Input Shutdown) sichert die Blockierung der Endstufe bei Taktausfall. Die gewählte Schaltung hat jedoch den Nachteil, daß bei Taktausfall und einer Lage $CLKQ = 0$ der Ausgang CP3 ebenfalls Low-Pegel- abgibt und somit die Endstufe nicht abschaltet. In diesem Fall sichert die Verknüpfung des Taktausfallsausganges CP3 mit dem Taktsignal Cnd die Abschaltung der Endstufe.

Die an den Knoten CP3 angeschlossene ZISD-Endstufe liefert demzufolge keine exakte Aussage über den Taktausfall, falls der Taktbegrenzer des KA 601 nicht mit definiertem Offset betrieben wird.

Für die Überarbeitung der Schaltung des KA 602 wird ein Signalausfalldetektor eingefügt werden, der diesen Nachteil vermeidet.

Die Schaltung des Zero Input Shutdown hat folgende Funktion: Bei $CLKQ = L$ wird durch den fließenden Basisstrom der Transistor P2 übersteuert, da

$$I_{BP2} \approx \frac{U_{+VSS} - U_{CLKQL} - 3U_{BEX}}{R_{73} + R_{74}} = 0,105 \text{ mA} \quad (24)$$

und

$$I_{CP2} = I_{CT26} = 0,048 \text{ mA} \quad (25)$$

(siehe Dimensionierung der Strombank in Abschnitt 3.4.) be-
trägt.

Der Übersteuerungsgrad ist

$$m = \frac{I_{BP2}}{I_{CP2}} = 2,2. \quad (26)$$

Die relativ große Diffusionskapazität des pnp-Lateraltransistor-
von

$$C_{BED} = 1760 \frac{\text{pF}}{\text{mA}} \cdot I_E / \text{mA} \quad (27)$$

ergibt ein C_{BE} von

$$C_{BE} \approx 270 \text{ pF}, \quad (28)$$

wes einer Ladung von

$$Q_D = C_{BE} \cdot U_{BEX} \quad (29)$$

ergibt. Diese Ladung wird durch den Emittterstrom

$$I_{BP2} = I_{BP2} + I_{CP2} \quad (30)$$

abgebaut, woraus eine Speicherzeit für den Fall, daß
CLKQ \rightarrow H schaltet (die Dioden T23 und T22 sperren) von

$$\Delta t = \frac{Q_D}{I_{BP2}} \quad (31)$$

$$\Delta t = \frac{C_{BE} \cdot U_{BEX}}{I_{BP2}} \quad (32)$$

$$\Delta t = 1,23 \text{ } \mu\text{s} \quad (33)$$

folgt.

Die STADYNET-Simulation ergibt eine Speicherzeit von

$$t = 2, \mu\text{s}. \quad (34)$$

Zu den durchgeführten Rechnungen muß bemerkt werden, daß die verwendeten Transistormodelle im Falle der Übersteuerung nicht exakt sind. An einer Brettschaltung wurde deshalb die Speicherzeit direkt gemessen. Dem Bericht TB 4 - 2/81 wurde folgender Wert entnommen:

$$t = 4,2 \mu\text{s}. \quad (35)$$

Die dynamischen Messungen am KA 602 müssen die Funktion der Schaltung endgültig bestätigen.

Der Transistor P3 dient der Negation des Signals am Knoten I_{CP2} , womit das Einschalten der Endstufen im getakteten Zustand gesichert wird. Der Transistor T24 verhindert das Übersteuern des Stromquellentransistors T27, indem er den Knoten CT27 auf U_{BEK} klemmt. Die Widerstände R18 und R70 sind parasitäre Elemente (Unterführungen von Leitungen), die die Funktion nicht beeinträchtigen.

3.4. Strombank

Für den KA 602 wurde nur eine Referenzquelle für die Bereitstellung der Ströme vorgesehen. Auf Grund des günstigeren Temperaturverhaltens wurden die unterschiedlichen Ströme durch die Wahl der Emittierwiderstände festgelegt.

Während des Entwurfes wurde der Strom der Horn-Flip-Flops zu

$$I_{CT44} = 0,34 \text{ mA} \quad (36)$$

und der Emittierwiderstand zu

$$R_{ET44} = 0,36 \text{ k}\Omega \quad (37)$$

festgelegt. Aus diesen Werten kann die Gleichung zur Dimensionierung der übrigen Stromquellen hergeleitet werden

$$R_E(I_0) = \frac{U_T \ln \left(\frac{I_0}{I_C} \right) + 0,1224}{I_C} \quad (38)$$

Im Bild 9 ist diese Gleichung graphisch ausgewertet.

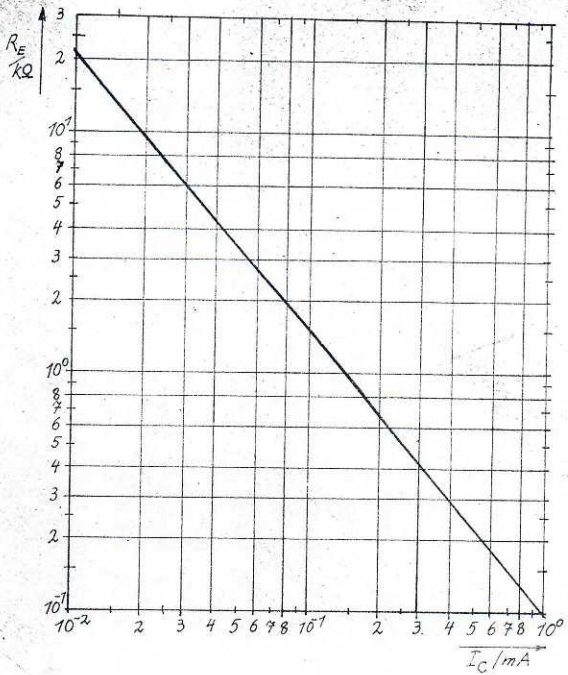
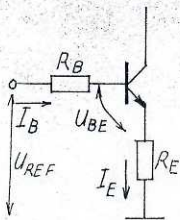


Bild 9: Dimensionierung der Strombank des KA Co2
 (Bezugsgrößen: $I = 0,34 \text{ mA}$, $R_E = 0,36 \text{ kOhm}$)

Für den ISA-Entwurf ist es notwendig, Möglichkeiten zur Leitungsführung zu schaffen. Es mußte deshalb abgeschätzt werden, welche Widerstände R_E in die Basisleitungen der Stromquellen-transistoren eingefügt werden durften.

Aus der Schaltung (Bild 2) ergibt sich:



$$I_{C1} \approx I_{EO} \exp\left\{\frac{U_{BE1}}{U_T}\right\} \quad \text{für } R_B=0$$

$$I_{C2} \approx I_{EO} \exp\left\{\frac{U_{BE2}}{U_T}\right\} \quad \text{für } R_B \neq 0$$

$$\frac{I_{C1}}{I_{C2}} \approx \exp\left\{\frac{1}{U_T}(U_{BE1} - U_{BE2})\right\}$$

$$U_{BE1} \approx U_{REF} - I_{C1} R_E$$

$$U_{BE2} \approx U_{REF} - I_{C2} R_E - \frac{I_{C2}}{\beta} R_B$$

Bild 10: Schaltung zur Berechnung der Unterführungswiderstände in der REF-Leitung

Aus den Angaben des Bildes 10 ergibt sich:

$$\frac{I_{C1}}{I_{C2}} = \exp\left(\frac{(I_{C2} - I_{C1}) R_E + \frac{I_{C2}}{\beta} R_B}{U_T}\right) \quad (39)$$

Aus Gl. (39) kann R_B zu

$$R_B = \frac{U_T \beta}{I_{C2}} \left(\ln \frac{I_{C1}}{I_{C2}} - \frac{I_{C2} - I_{C1}}{U_T} R_E \right) \quad (40)$$

Für die angestrebten kleinen Unterschiede ($\frac{\Delta I_C}{I_C} = 5\%$) geht

$\frac{I_{C1}}{I_{C2}} \rightarrow 1$ und damit $\ln \frac{I_{C1}}{I_{C2}} \rightarrow 0$, woraus die Näherung

$$\frac{R_B}{R_E} \approx \frac{\Delta I_C}{I_C} \beta \quad (41)$$

folgt.

Für einen Fehler von $\frac{\Delta I_C}{I_C} = 5\%$ und $B = 50$ folgt

$$\frac{R_B}{R_E} = 2,5. \quad (42)$$

Nach diesen Gesichtspunkten wurden die Unterführungswiderstände in der REF-Leitung gewählt, wobei beim Anschluß mehrerer Stromquellen nach einem Unterführungswiderstand das R_B einer fiktiven Stromquelle nach Bild 10 für die Summe der Kollektorströme gewählt wurde, wie man aus den dort angegebenen Gleichungen leicht einsieht.

4. Bondschemata

Das Bondschema des KA 602 zeigt Bild 11. Für die ersten F/E-Muster wurde ein 24poliges Gehäuse gewählt, um für die Erprobung des Schaltkreises notwendige Signale auch am verkappten Bauelement messen zu können.

Die endgültige Konfiguration wird im Laufe der K-Entwicklung mit dem Anwender VEB Nachrichtenelektronik Greifewald festgelegt.

10013 VA (revised) Angabestufe Databook V0 2011/12

10013 VA (revised) Databook V0 2011/12 10013 VA (revised) Databook V0 2011/12

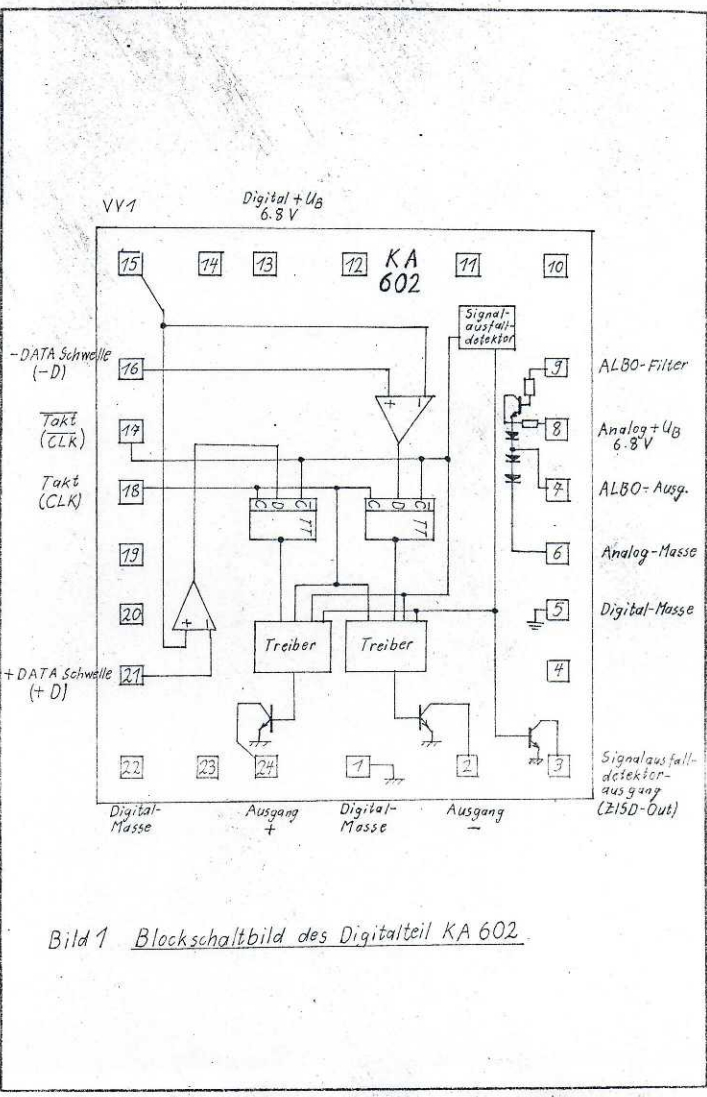
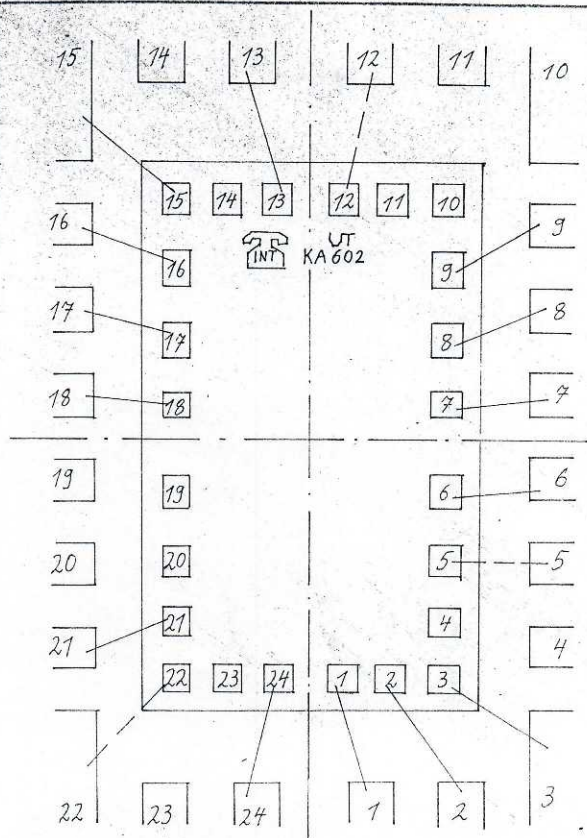


Bild 1 Blockschaltbild des Digitalteil KA 602



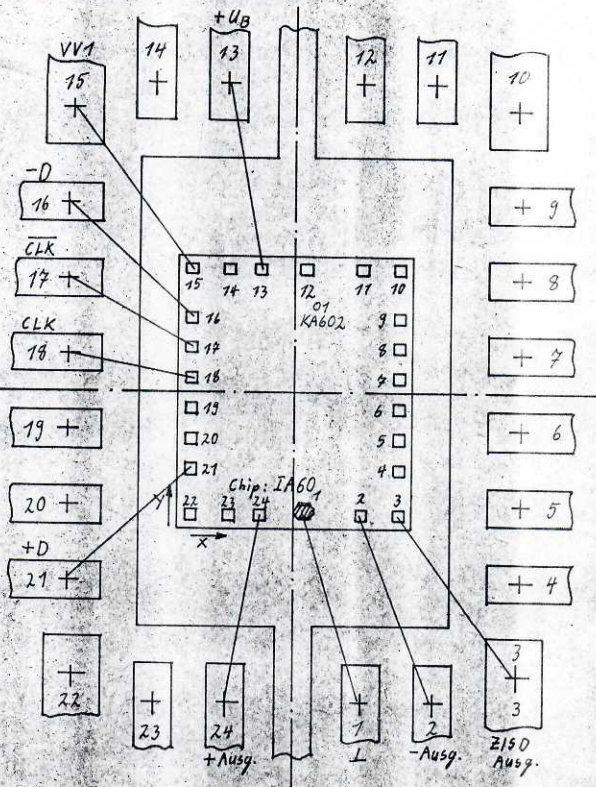
techn. Daten

$U_b = 6.8 \text{ V}$
 $I_b \approx 22 \text{ mA}$
 $\vartheta_a = -40 \dots +85 \text{ }^\circ\text{C}$
 Funktion: Digitalteil PCM-Repeater

Chipgröße: $2.6 \times 3.0 \text{ mm}^2$
 Bondinsel: $120 \times 120 \text{ }\mu\text{m}^2$
 Al-Dicke: $1.2 \text{ }\mu\text{m}$

Bild 11 Bondschema KA 602

Bondschemata KA60212



techn. Daten

$U_B = 6.8V$
 $I_D \approx 22mA$ $< I_K$
 $T_a = -40 \dots +85^\circ C$

Chipgröße: $2.6 \times 3.0 \text{ mm}^2$
 Bondinscl: $120 \times 120 \mu\text{m}^2$
 Al-Dicke: $1.2 \mu\text{m}$

Funktion: Digitalteil PCM-30-Repeater

5.1.82 Süssler

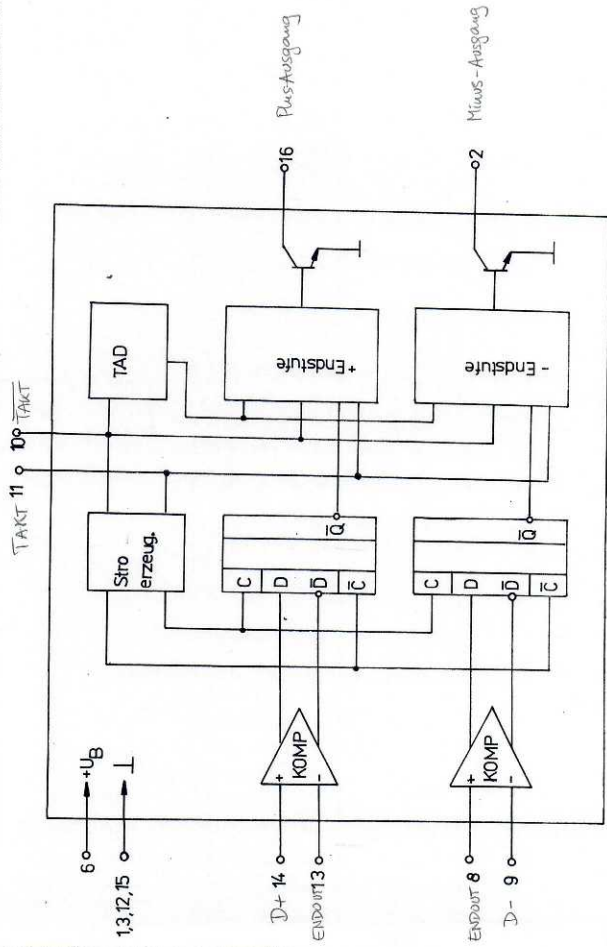
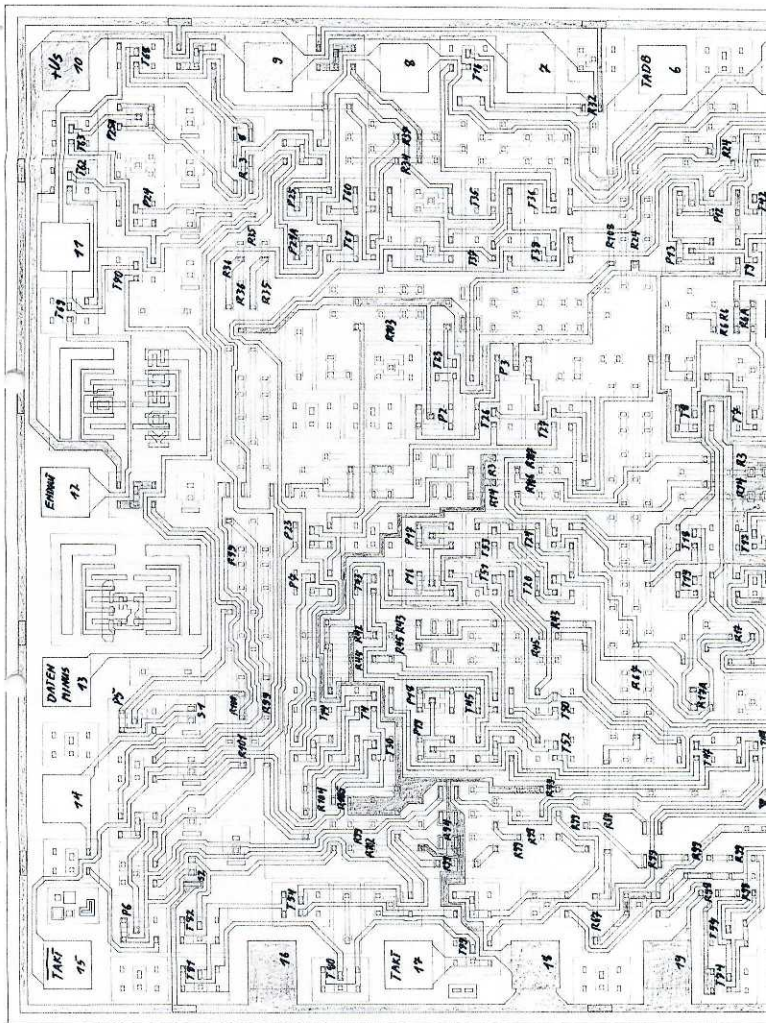
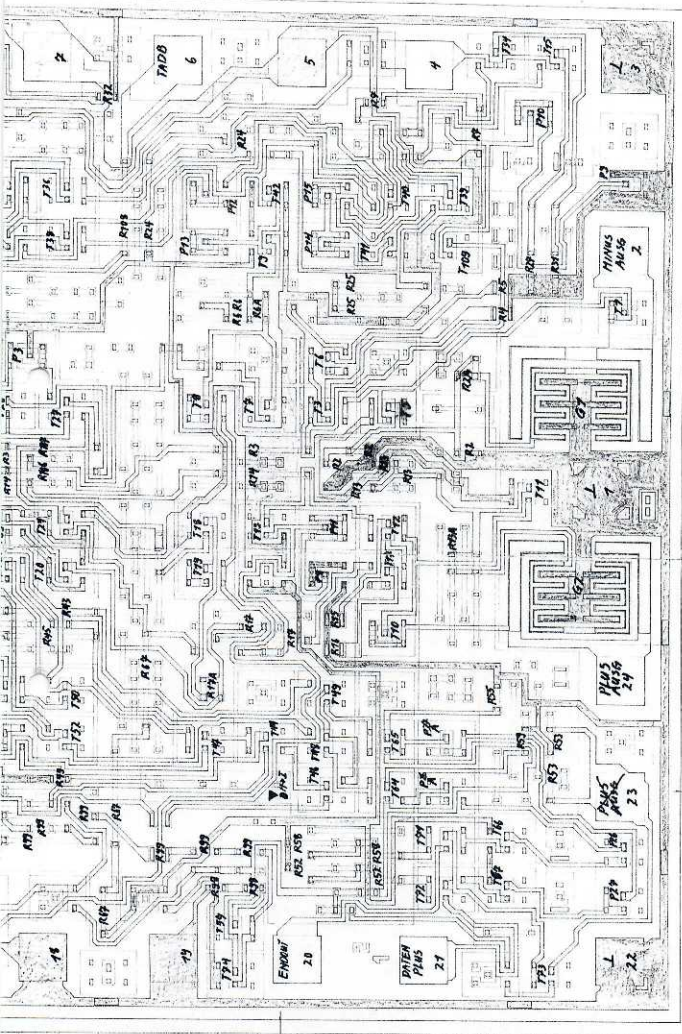


Bild 13 Blockschaltbild KA 602 D



KA602/5



3100
3050
2500
2000

1500
1000

2600
VEB HALBERTSBERGER FRANKFURTER
P-DEC-83
MUSSTAB 1:50
EBENE 1/114 311

01KA602

KA602/5