

CSGT: Complementary Silicon Gate Technology - wie Complementary Metal-Oxide-Semiconductor (CMOS), aber Polysilizium-Gate statt Alu-Gate

Institut für Nachrichtentechnik
- EE2 -

Berlin, den 01.10.1985
Hei/Ho

Bericht INT/EE2/01/85

Anlage zum Standardzellenkatalog - Hinweise zur Layout-konstruktion CSGT2N

=====

A. Hinweise zur Technologie (Ebenenbezeichnung: (...))

- Das aktive Gebiet (1) spezifiziert die Feldoxidmaske. Die Dotierung der Source und Drain-Anschlüsse wird mit den Ebenen (5) n^+ - S/D und (15) p^+ - S/D vorgenommen (S/D: Source/Drain).
- Die n-Kanal Transistoren liegen in geerdeten p-Wannen (2). Das n-Substrat liegt über n-S/D-Kontakte (5), (6) auf Plus-Potential.

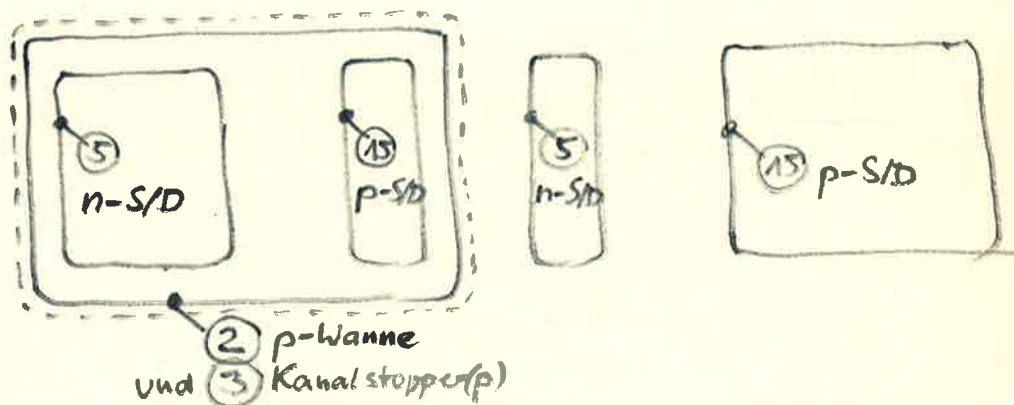
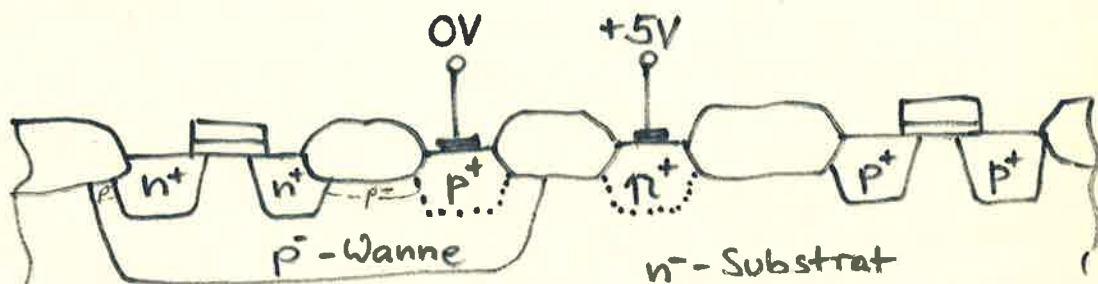
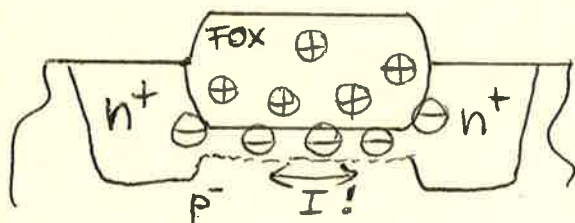


Bild 1

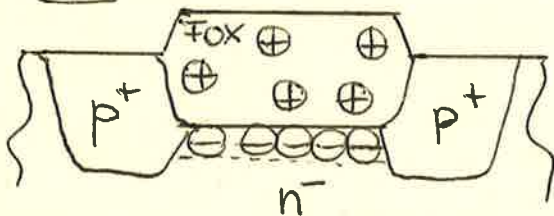
gepente Diode:



3. Der p-Kanalstopper (3) kann pauschal mit der p-Wanne identifiziert werden. Er schützt vor der von positiven Oxidladungen ausgehenden Influenz eines n-Kanals zwischen n-Transistoren. Bei p-Kanal-Transistoren verbessert das Oxid die Sperrwirkung des n-Substrats.
4. Die Diffusion der Source-Drain-Anschlüsse erfolgt nach Aufbringung des Gateoxids und des Gateanschlusses (Polysil (4)) selbstjustierend.



aber:



Ohne Kanalstopper: Influenz eines schwachen n-Kanals unter dem ~~Feld~~oxido (Fox) ergibt leitende Verbindung zwischen benachbarten Transistoren (stört).

Abhilfe: p-Kanalstopper (3) für alle n-Kanal-Transistoren. Beim p-Kanal-Trs. bildet sich durch Oxidladungen n-Kanal von allein: günstig. Dadurch entfällt Kanalstopper-Maske.

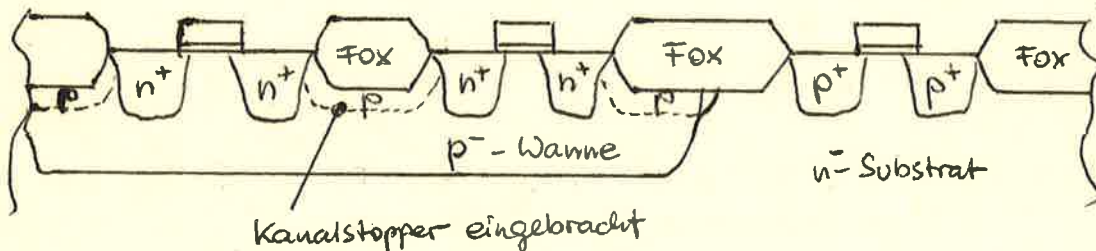


Bild 2

5. Zur Kontaktierung der einzelnen Ebenen steht nur die C-Kontaktebene (6) zur Verfügung. Eine Kontaktierung von Polysil mit aktivem Gebiet ist nur über einen Alu-Flecken möglich.

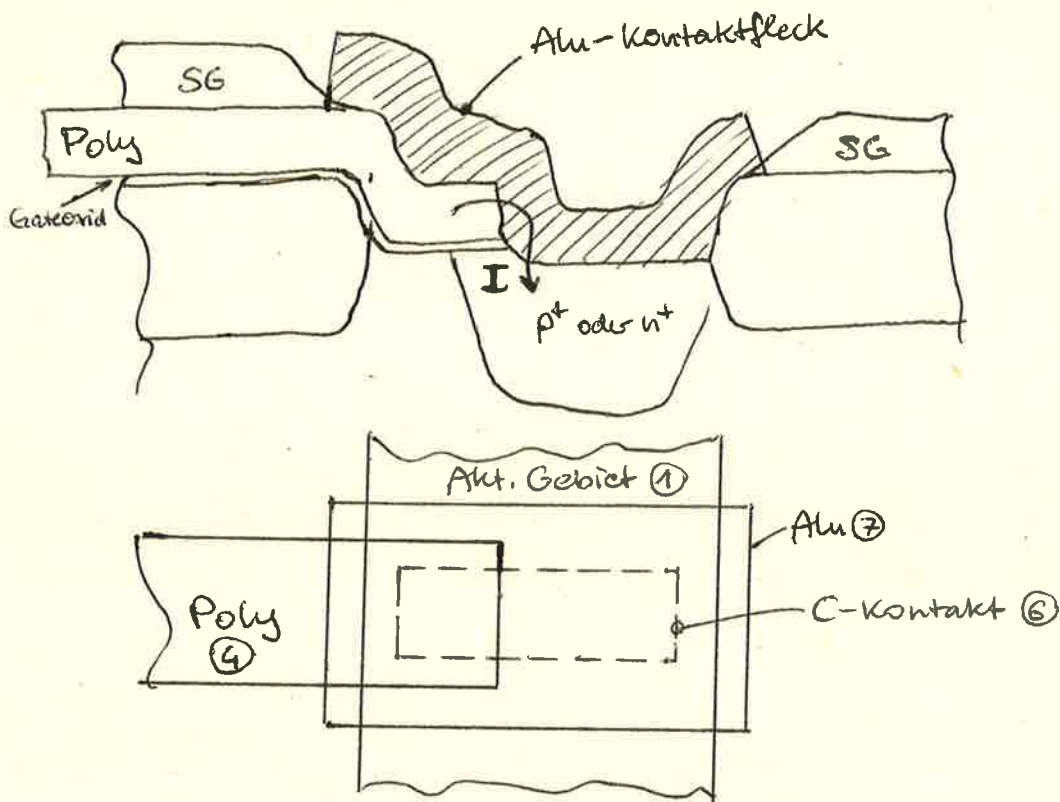
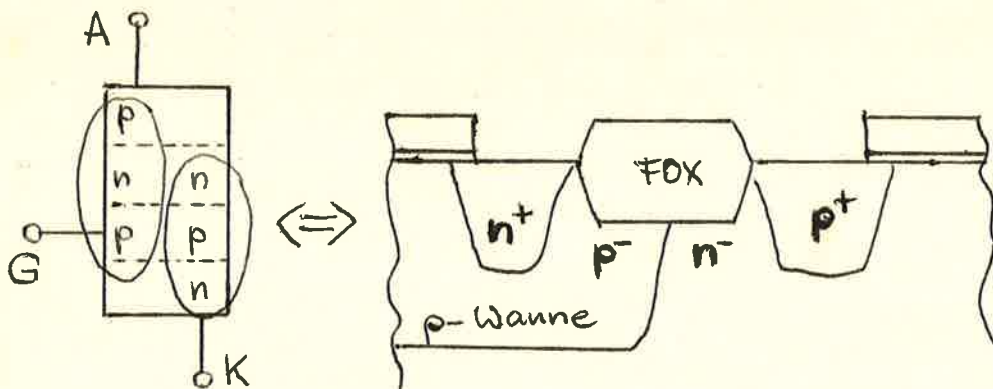
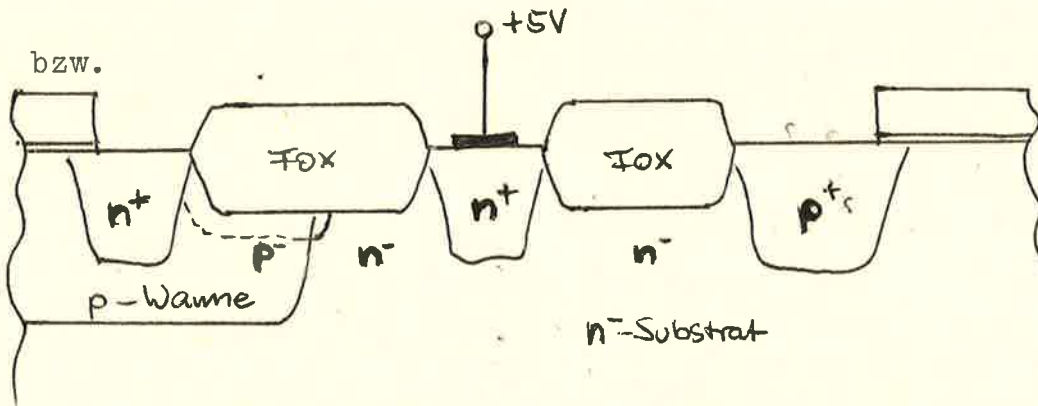
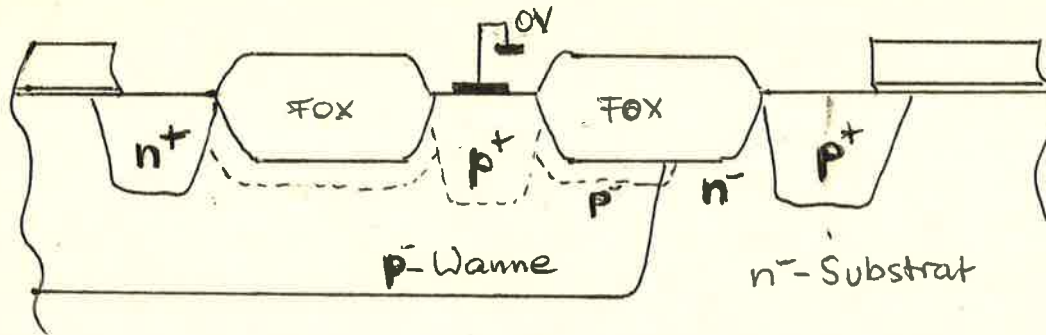


Bild 3

6. Um Thyristoreffekte (Latch up) zu vermeiden, sind mögliche Thyristorzonenfolgen npnp bzw. pnpn durch zwischengelagerte Barrieren (Substrat bzw. Wannenkontakte) oder durch großen Abstand der Transistoren ($> 100 \mu\text{m}$) zu entschärfen.



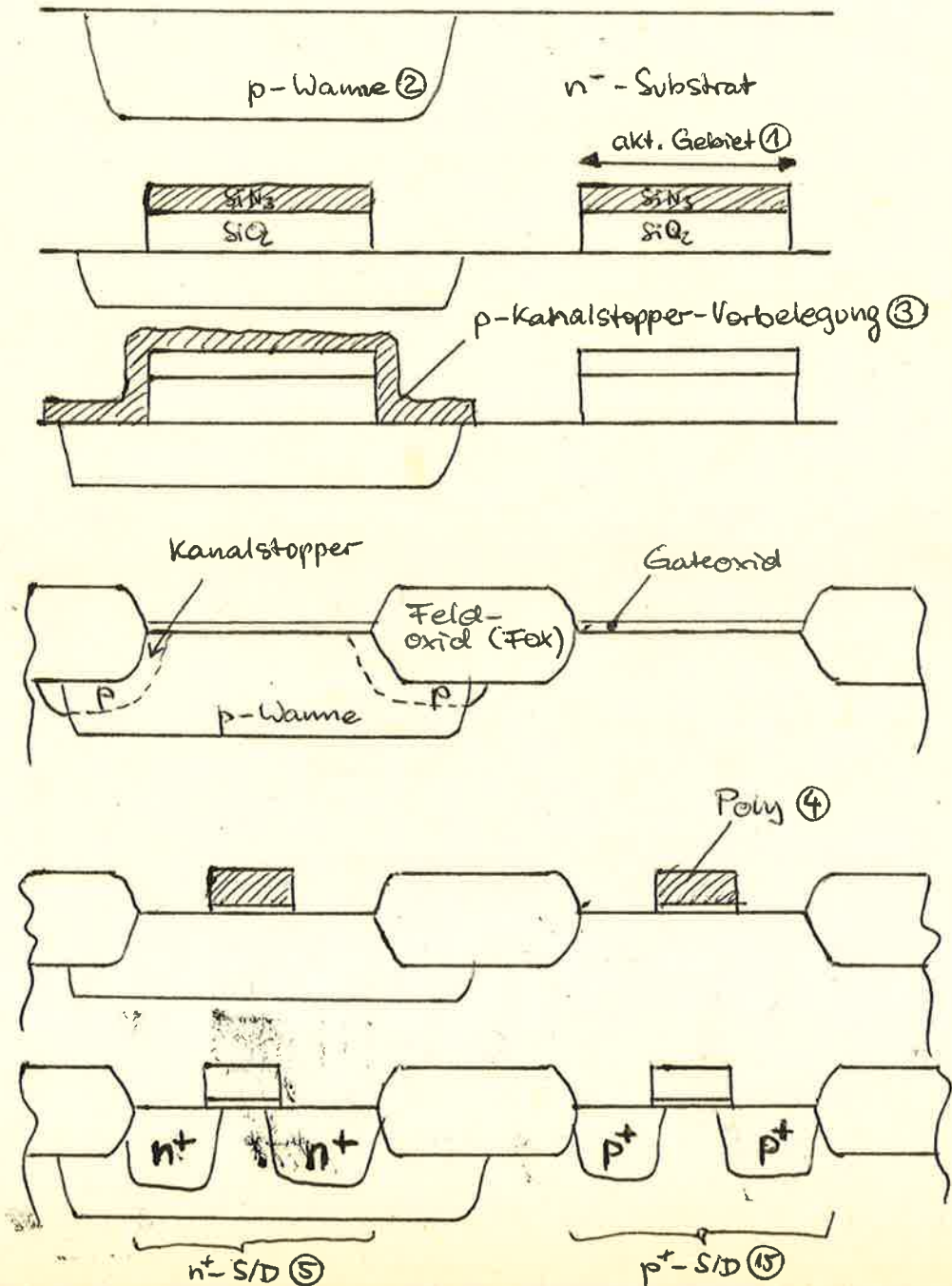
Abhilfe schafft ein zwischengelegter Substrat- bzw. Wannenschluß: 6.4.

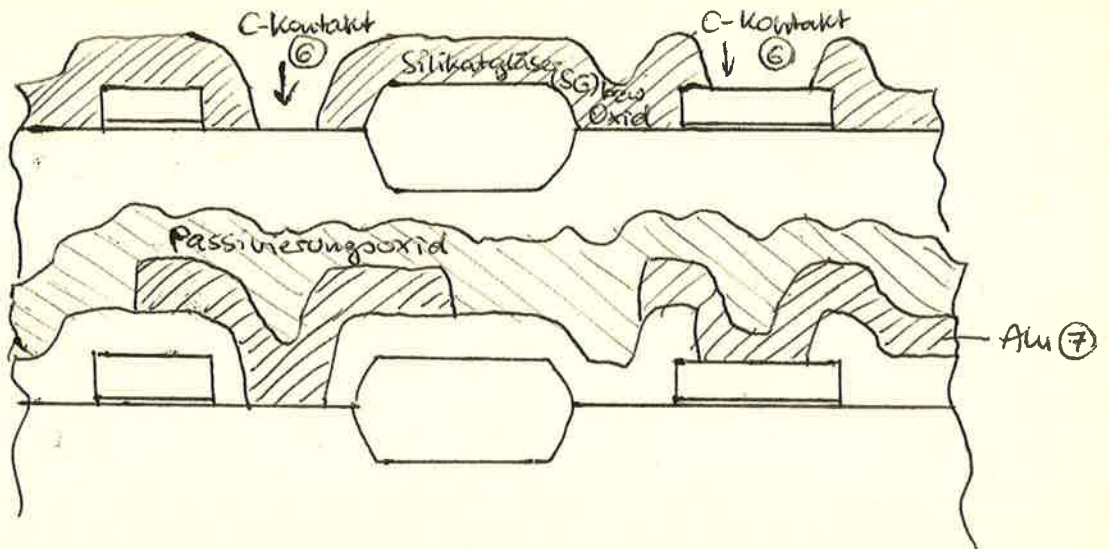


2. Verfahrensschritte (grob)

1. In ein n^- -leitendes Substrat wird die p^- -Wanne eingebracht.
2. Die aktiven Gebiete werden durch eine Nitrid-Hilfsmaske abgedeckt.
3. Die Kanalstopper-Diffusion wird als Vorbelegung auf die Hilfsmaske aufgebracht.
4. Das Feldoxid wird ausgewachsen, die Hilfsmaske wird entfernt.
5. Ganzflächig wird Gateoxid oxidiert.
6. Polysil wird aufgebracht und strukturiert.

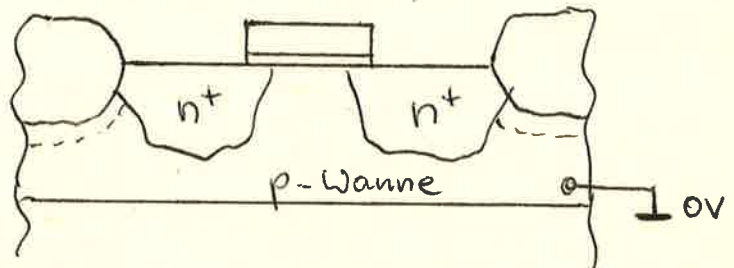
7. Mit den n^+ bzw. p^+ - Source/Drain-Masken werden die n- bzw. p-Kanal-Transistoren sowie Substrat und Wanneneinschlüsse diffundiert (Phosphor bzw. Borsilikatglas).
8. Ganzflächig wird CVD-oxidiert, Kontakte werden geätzt, darüber wird Alu abgeschieden und strukturiert, abschließend Sputteroxid (hermetischer Verschluss) als Passivierung abgeschieden und an den Bondinseln freigeätzt.



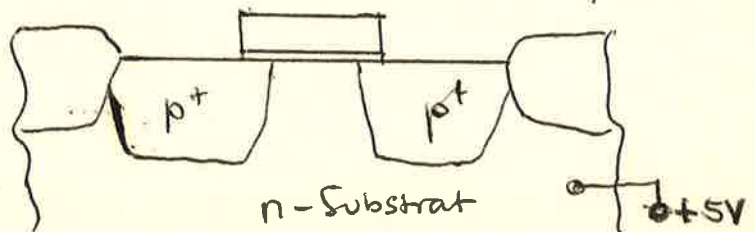


3. CSGT2-Bauelemente

n-Kanal-Trs:

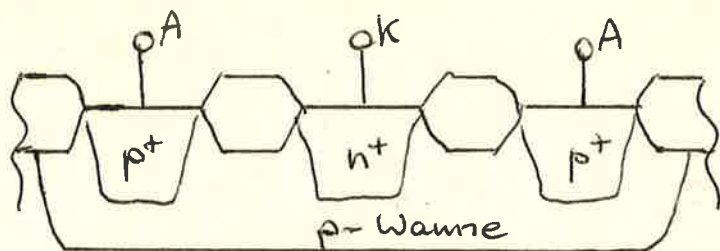


p-Kanal-Trs:

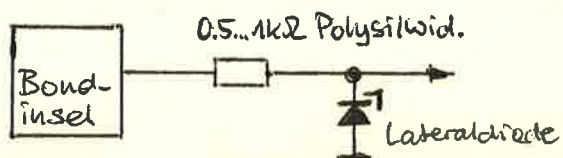


Lateraldiode

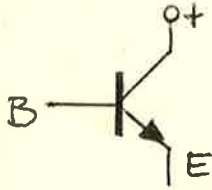
Anode
ringförmig aus-
gebildet
 $I_{AK} \approx 1 \text{ mA}$



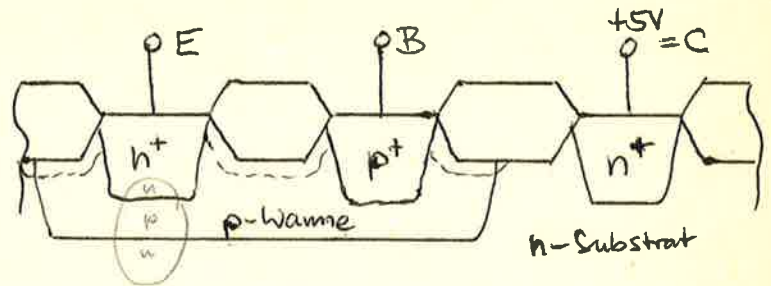
als Schutzdiode
für Eingangsstufen:



npn-Substrattransistor
 nur als Emitterfolger nutzbar!

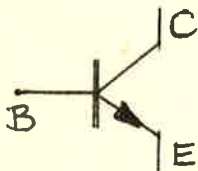


$20 < B < 100, I_C \approx 1 \text{ mA}$

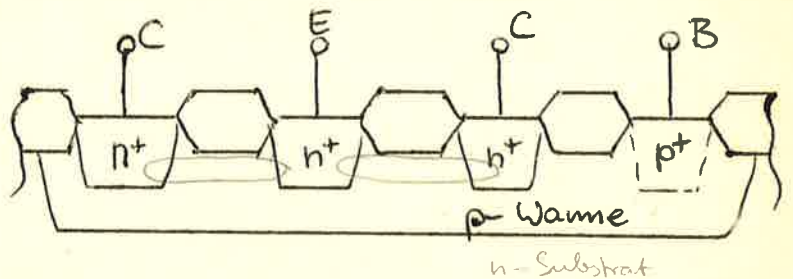


Achtung! Substratpotential wird durch I_C abgesenkt. p^+ -Ring rundherum führen.

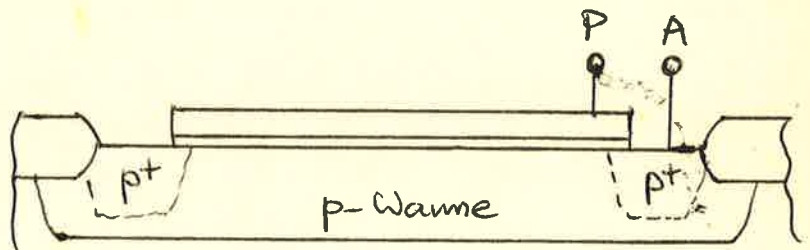
npn-Lateraltransistor
 beliebig verwendbar
 Kollektor ringförmig gestaltet



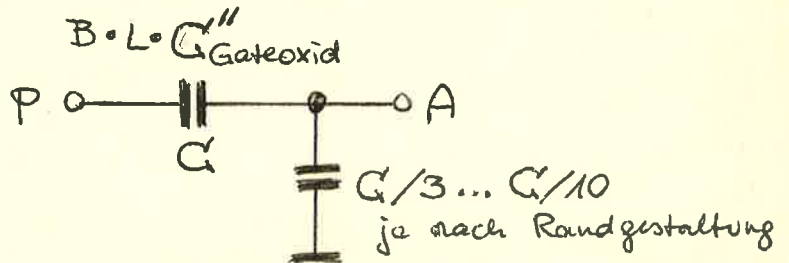
$5 < B < 20, I_C \approx 1 \text{ mA}$



Gateoxidkapazität



Ersatzschaltung:



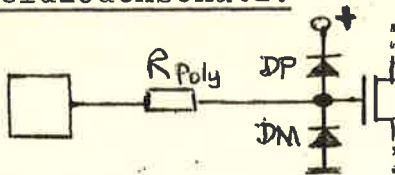
4. Eingangsgateschutzschaltungen

Nach einer Aussage von Koll. Dr. Schumann traten in Vergangenheit bei verschiedenen CMOS-Schaltkreisen Ausfälle auf, wenn die Betriebsspannung abgeschaltet wurde, aber die Eingangssignale angelegt blieben.

Die Ursachen dieser Ausfälle wurden leider nicht untersucht.

Folgende Ausfallmechanismen sind denkbar:

Doppeldiodenschutz:

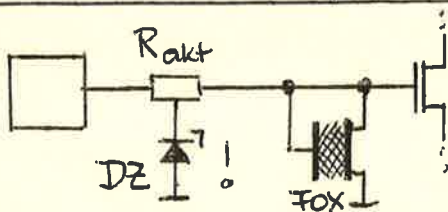


Ist der Schutzwiderstand R zu niederohmig, fließt bei Plus-Abschaltung vom auf High liegenden Eingang durch die nun leitende Diode DP Strom in die Plus-Betriebsspannung und die Diode DP kann zerstört werden.

Analoges gilt für Masse-Abschaltung bei Lowpegel.

Der Widerstand R muß hochohmig genug dimensioniert werden, er darf nur in Poly realisiert werden (s.unten).

Kombinierter Feldoxid/Zenerschutz:



Bei Realisierung des Widerstands R im aktiven Gebiet wird das Bauelement bei Masseabschaltung zerstört, wenn die Signalquelle ein hohes Stromaufkommen besitzt. Von der auf "Low" liegenden Signalquelle fließt ein Strom direkt

aus dem Widerstand ins aktive Gebiet (Masse) des Schaltkreises. Der Widerstand kann zerstört werden. Deshalb ist bei niederohmigem Substrat des Schaltkreises (p-Untergrund) der Schutzwiderstand R unbedingt im Polysil zu realisieren, bzw. es muß dafür gesorgt werden, daß Masseabschaltungen (Karte ziehen) nicht vorkommen. (Vor einer Massentrennung muß Plus bereits getrennt sein).

IASS:

Bei der Dimensionierung des Eingangsschutzes, insbesondere des Adreß/Datenbusses, ist zu sichern, daß derartige Ausfallmechanismen nicht stattfinden. Eine mit IASS bestückte Karte muß bei laufendem Betrieb wechselbar sein. Deshalb ist der Schutzwiderstand hochohmig genug in Polysil auf Feldoxid zu realisieren.