

# MOS-VLSI-Technik

Eine Einführung in

- Technologie
- Entwurf
- CAD-Systeme
- Schaltkreise

von Wolf-Joachim Fischer und René Schüffny

Mit 203 Abbildungen und 22 Tabellen



Akademie-Verlag Berlin 1987

ISBN 3-05-500223-7  
ISSN 0232-1351

## 5.2.2. Vollkundenschaltkreise

G. HEINZ, Institut für Nachrichtentechnik Berlin

Der Entwurf eines Vollkundenwunschsaltkreises, speziell für eine Massenfertigung von mehreren Millionen Stück pro Jahr (Uhrenschaltkreise, Rechnerchips) nutzt die in Abschn. 4 dargestellten CAD-Methoden zur Realisierung der Pflichtenheftaufgabe eines Kunden. Der zwischen Ausbeute  $Y$  und Chipfläche  $A_{\text{Chip}}$  bestehende exponentielle Zusammenhang

$$Y = \exp(-DA_{\text{Chip}}) \quad (5.7)$$

$D$  — Defektdichte

verbietet jede Verschwendung von Chipfläche.

In einigen Ausnahmefällen werden Kunden durch Nutzung von Ingenieurarbeitsstationen (IWS — engineer work station) befähigt, auf ihre Probleme optimal zugeschnittene Schaltkreise zu entwickeln, wenn die Möglichkeiten von Gate-Arrays und Standardzellen nicht ausreichen.

Abb. 5.21 (s. Beilage) zeigt einen mit Zellkompositionsprinzipien mittels VLSI-Entwurfsmethoden entwickelten LSI-Datenwegprozessor [Hein 84]. Die Realisierung nutzt weitestgehend PLA-, RAM-, ROM-, CAM-, Boolesche Funktions- und Transferegateblöcke. Die Anordnung (floor plan) und Größe der Funktionseinheiten zeigt, welche Blöcke vom Entwerfer noch beeinflussbar sind. Fragen der Betriebsspannungs-, Masse- (Abb. 5.22, Abb. 5.23) und Taktführung (Abb. 5.24) sind zu beachten. Daten- und Steuerleitungen sind konsequent orthogonal zueinander zu führen.

Der Zellentwurf beginnt mit den kompliziertesten Zellen. Die Zellen bestehen aus einem Untergrund und mehreren dazugehörigen in einer Macrobibliothek (Abb. 5.25) abgelegten Spezifikationen (z. B. Leitbahnstücke, Transistoren, Kontakte o. ä.) welche die Funktion auf Logikebene modifizieren. Drei mittels verschiedener Spezifikationen programmierter Ein-/Ausgabestufen mit der jeweiligen Bondinsel (pad) zeigt Abb. 5.26. Die Paßfähigkeit

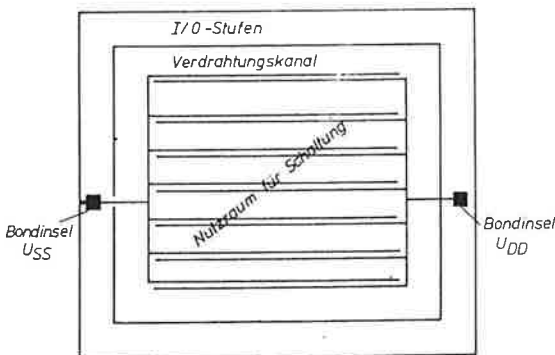


Abb. 5.22 Tunnelfreie Plus- und Masseführung. Es sind immer die drei Zonen, Ring der Bondinseltreiber (E/A-Stufen), der Verdrahtungskanal für lange Verbindungen und die eigentliche Schaltungszone, zu schaffen; nach [Hein 85]

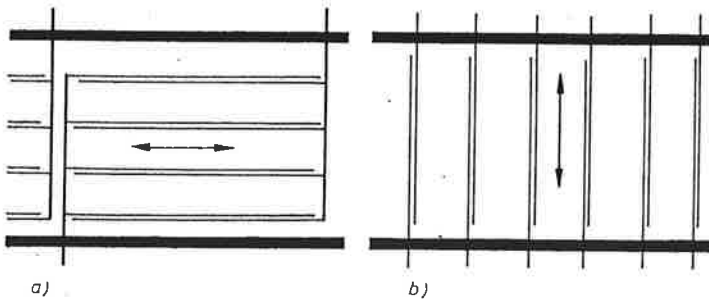


Abb. 5.23 Ausfächerung von Plus- und Masse-Leitungen in Logikblöcken bei vorwiegend  
 a) waagerechter Signalführung,  
 b) senkrechter Signalführung

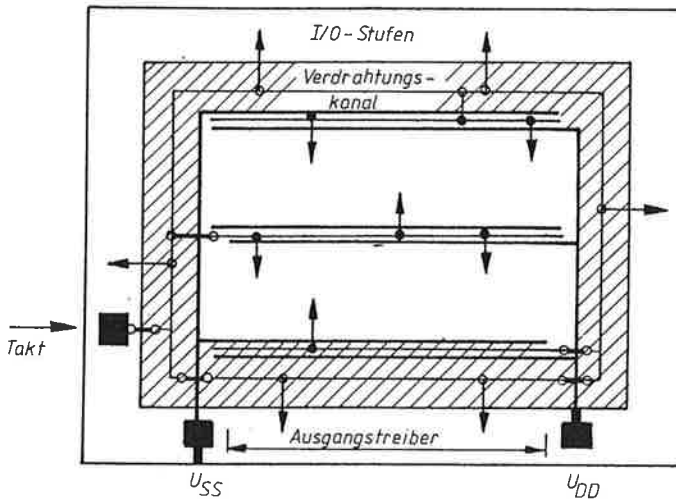


Abb. 5.24 Taktverteilung. Vom Taktring im Verdrahtungsraum werden die in den Logikblöcken liegenden Taktleitungen versorgt. Damit wird die „Gleichzeitigkeit“ der Taktung aller Baugruppen verbessert [Hein 85].

der lückenlos aneinandergefügten Zellen wird durch die Definition eines Interfaces (eventuell Nutzung von  $\lambda$ -Entwurfsregeln [MeCo 79]) gesichert.

Die durch „Ankreuzen“ programmierten Blöcke können dann direkt simuliert oder durch Aufruf entsprechender Spezifikations- und Untergrundzellen in ein Layout umgesetzt werden. Beim Entwurf wie auch in der Verifikationsphase erweist es sich als günstig, nicht den Zellinhalt, sondern die Zellfunktion und Spezifikation darzustellen (Abb. 5.27) (s. Beilage).

Die in einer Tabelle eingetragenen, vom Befehlsdecoder auszuführenden Signalverknüpfungen legen die Datenarchitektur fest (Abb. 5.28) und sind im Layout zu realisieren. Für Schaltungen mit hoher Arbeitsgeschwindigkeit sind die örtlichen Beziehungen der Schaltelemente entscheidend und sind anzugeben (Abb. 5.29).

Auf spezielle Details des Prozessors soll hier nicht weiter eingegangen werden.

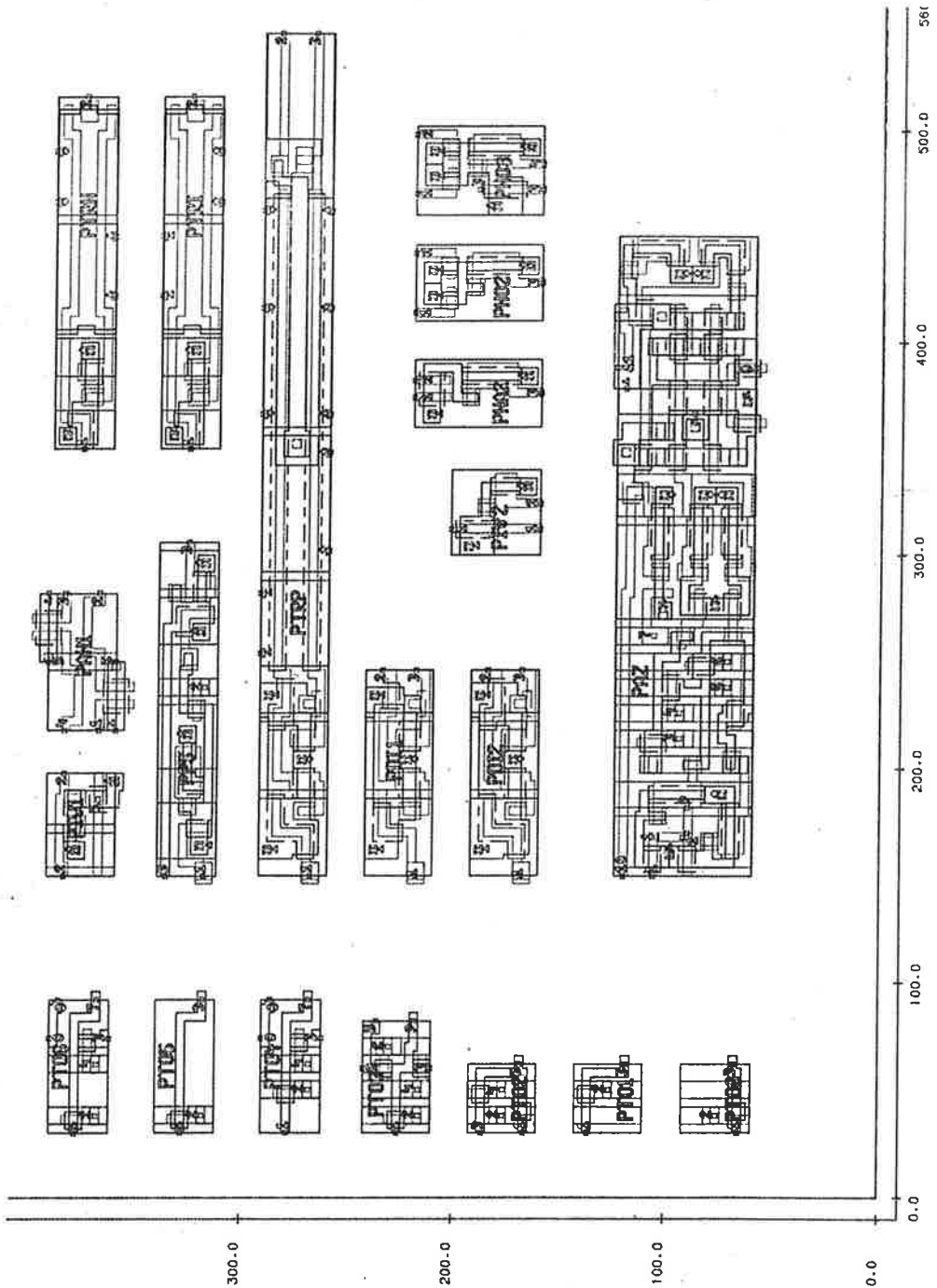


Abb. 5.25 Einige Kompositzellen der Macrobibliothek des Datenwegprozessors nach [Heir85]

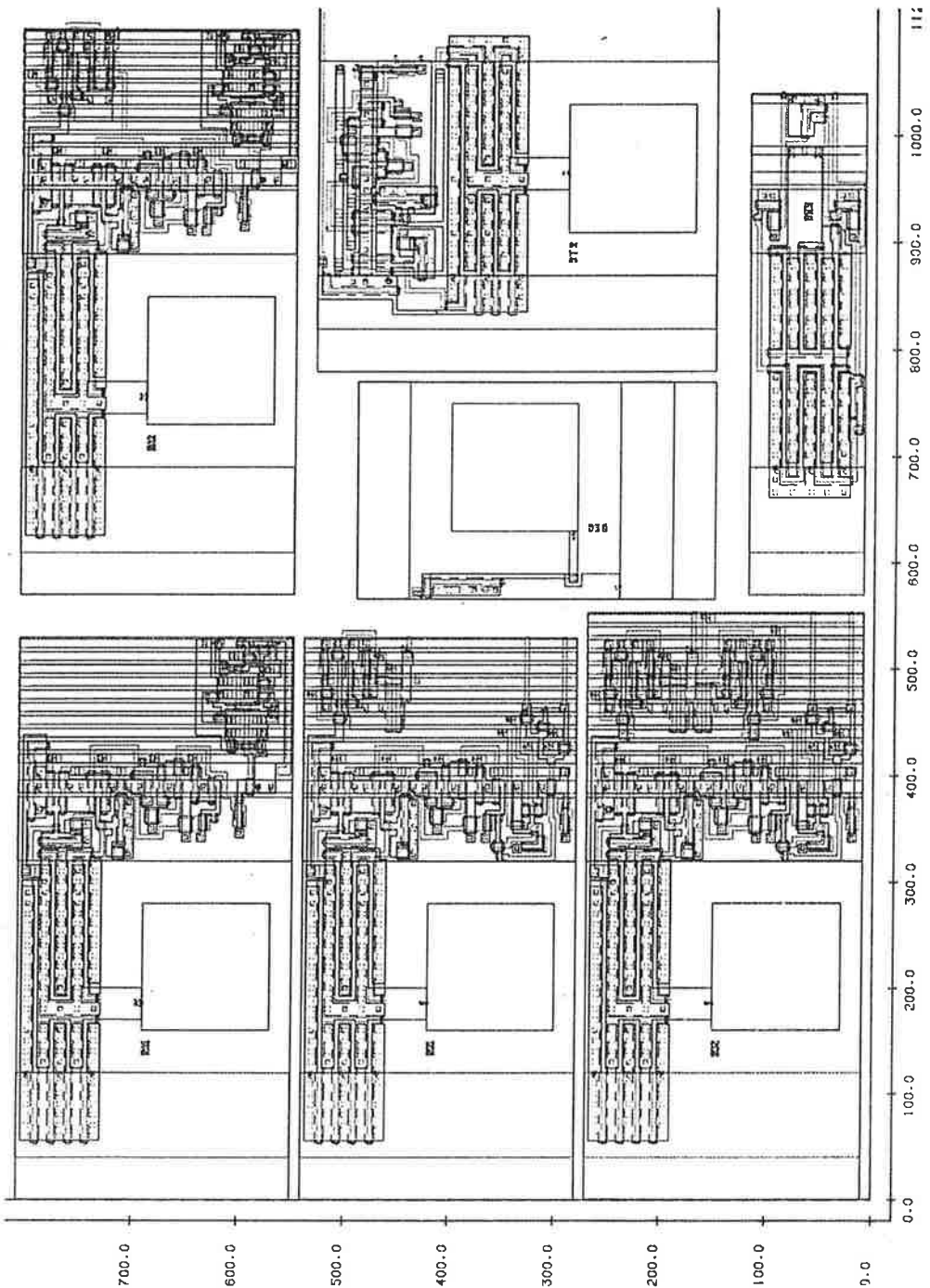


Abb. 5.26 Spezifikation von Zellen. Aus einem Grundlayout einer E/A-Stufe wurden vier verschiedene Varianten generiert nach [Hein 85]



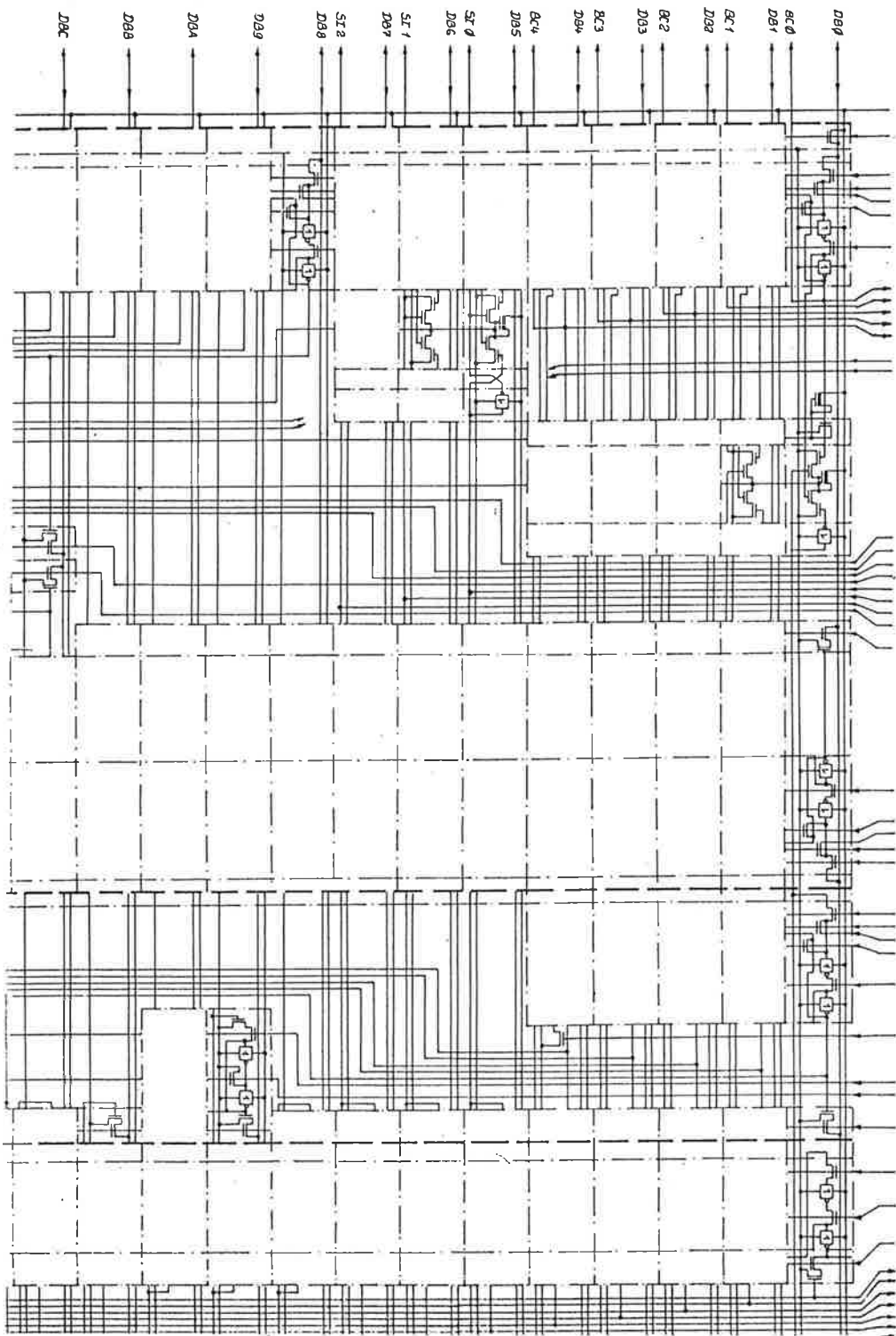


Abb. 5.29 Schaltplan der Datenweg-Architektur (Ausschnitt nach [Heinz85])

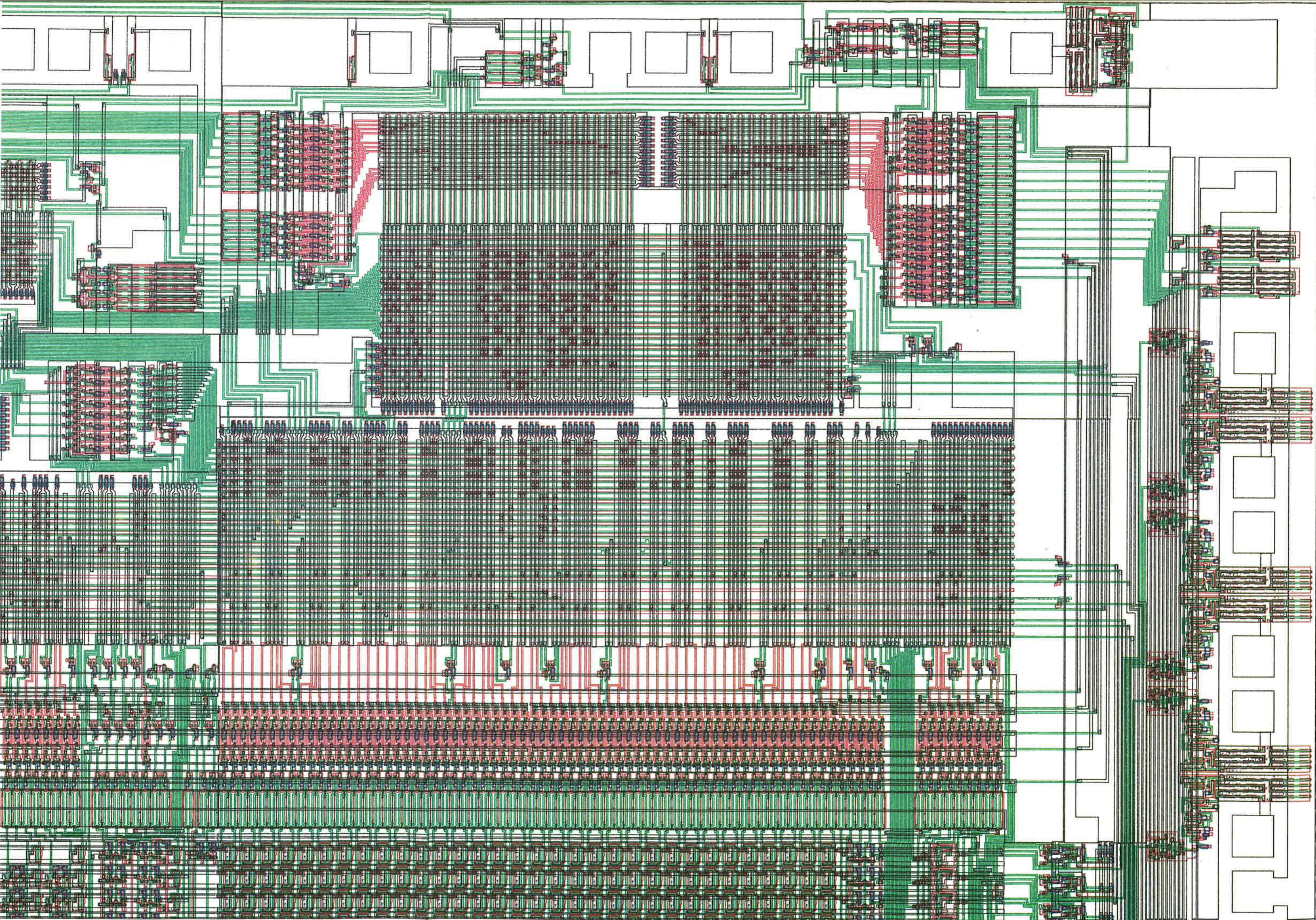


Abb. 5.21 Layout eines Datenwegprozessors (Ausschnitt) Quelle: Gerd Heinz / Thomas Wehren u.a. INT Berlin



Abb. 5.27 Layoutnaher Logikplan eines Datenwegprozessors (Ausschnitt) Quelle: Gerd Heinz / Thomas Wehren u.a. INT Berlin

