

Dr. Ing. G. Heinz
AdW-ZKI
Kurstr. 33
Berlin
1086

Berlin, 15.4.1988
Hz/Hr

Studie
Bericht

Zur Ablösbarkeit von ECL-Schaltkreisen auf Basis Motorola
MCA600ECL- bzw. MCA1200ECL-Masterlice durch CSBT-Schaltkreise der
Technologieniveaus TN4 bzw. TN5

Inhalt:

1. Gatterdichte
2. Logik-Verzögerungszeiten
3. Leitbahnlast
4. Pintreiber-Dynamik
5. Verlustleistung
6. Fertigungsökonomie
7. Zusammenfassung

1. Gatterdichte

Pro Master MAC1200ECL sind 96 sog. Halbzellen, pro Master MCA600ECL sind 48 Halbzellen nutzbar. Innerhalb einer Halbzelle können (auszugsweise) folgende Gatter eines Macro kataloges untergebracht werden:

- 1x3 und 1x4 NOR/OR
- 1x2-fach Multiplexer
- 7-fach NOR/OR
- 1 Halbadder
- 1/2 Volladder
- verschiedene Logik-Kombinationsschaltungen
- 1 D-Latch
- 1 Doppelbit-D-Latch
- 1/2 1 aus 4 Decoder
- 1/2 4 zu 1 Multiplexer

Insgesamt werden ca. 120 Macros angeboten.

Im Technologieniveau CSGT4 sind pro Chip (7x7 mm²) etwa 40000 Transistoren = 5000 NA4/NO4-Gatter bzw. 3000 D-Latches anordenbar. Können reguläre Strukturen genutzt werden (ROM, RAM, PLA) sind Transistordichten von 12000 Trs/mm² erreichbar.

Innerhalb eines CSGT4-Chips fänden im Logik und Flächenäquivalent etwa 25 Chips MCA1200ECL oder 50 Chips MCA600MCL Platz.

2. Verzögerungszeiten

Es ist zu prüfen, ob eine geeignete Ausführungsform von Logikgattern existiert, die MCA-ECL-Geschwindigkeit erreicht. Zunächst soll die Standard-CMOS-Logikform untersucht werden.

Eine Komplementär-Logik arbeitet dann maximal schnell, wenn die Beiträge der Flankengeschwindigkeiten aller Anschlußknoten der Gatter etwa gleich groß sind, um zu sichern, daß die Verzögerungszeiten der Elementargatter gleich groß sind. Ein einzelnes Gatter arbeitet dann im Transitbereich mit der Flankensteilheit $/f_T/$

$$/f_{IN}/ = /f_{OUT}/ = /f_T/.$$

Die Transitflankensteilheit f_T ist nahezu gleich der der Sprungantwort f_E ; die Transitverzögerungszeit t_T ist etwa gleich der doppelten Sprungverzögerungszeit t_E , und bei Bezugspotential $U_0 = U_{Hub}/2$ gleich der Inversen der Flankensteilheit $1/f_E$.

$$f_T = f_E$$

$$t_T = 2t_E = 1/f_E \quad (U_0 = U_{Hub}/2)$$

Die Verzögerungszeit t_E der Sprungantwort läßt sich als Funktion des Lastfaktors (interner Lastfaktor $n = C_x/C_E$; externer Lastfaktor $m = C_L/C_E$) angeben

$$t_E = t_{E0} (n + m)$$

Die Verzögerungszeit t_{E0} kann an einem stark belasteten Gatter (z.B. $m = 1000$) bestimmt werden,

$$t_{E0} = \lim_{m \rightarrow \infty} (t_{Em} / m)$$

es ist die Verzögerungszeit, die unter Weglassung der internen Belastung n durch eine identische Last $C_L = C_E = C''_{ox} L(B_N + B_P)$ erzeugt wird. Die Verzögerungszeit der Sprungantwort t_{E0} kann folglich aus der Flankensteilheit f_{E0} bei Bezugspotential U_0 ermittelt werden.

$$\text{Mit } f_{E0} = 1/U_{Hub} \, dU/dt \\ = 1/U_{Hub} \, I_{DEN}/C_E$$

$$\text{und } 2 t_{E0} = 1/f_{E0}$$

$$\text{folgt } t_{E0} = U_{Hub} C_E / (2 I_{DEN}),$$

U_{Hub} stellt den Signalhub; I_{DEN} das unter der Bedingung $U_{DS} = U_{Hub} = 5 \text{ V}$, $U_{GS} = U_0 = U_{Hub}/2$ gemessene, statische Stromaufkommen des N-Kanal-Transistors dar (der P-Kanal-Zweig zeigt analoge Eigenschaften, wenn eine Dimensionierung $B_P = 3 B_N$ gewählt wird). Berechnete Verzögerungszeiten t_{E0} verschiedener Technologieniveaus sind in Tab. 1 dargestellt.

TN	L [μm]	B_N, B_P [μm]	C_{OX}^* [$\frac{\text{fF}}{\mu\text{m}^2}$]	C_E [pF]	I_{DSN} [mA] $U_{GS}=5V$ $U_{DS}=2,5V$	$\frac{I_{DSN}}{C_E}$ [V/ns]	t_{So} [ns] $U_O=2,5V$
2	5	25,75	0,5	0,27	0,87	3,2	0,78
3	3	20,60	0,85	0,20	2,2	11	0,23
	2	20,60	1,36	0,22	3,27	14,8	0,17
4*	1,5	20,60	1,36	0,163	3,67	22,5	0,11
4	1,2	20,60	1,36	0,13	4,13	31,7	0,08
5	1,0	20,60	1,36	0,11	4,54	41,3	0,06

Tab. 1 Verzögerungszeit t_{So} in Abhängigkeit vom Technologieniveau TN. Der Index* kennzeichnet das U1600-Niveau (modifiziertes TN4). Die Kanallänge L ist Layoutbezogen. Sämtliche Werte gelten für einen Signalhub $U_{Hub} = 5 V$.

Werden größere Ausfächerungen (Lastverhältnis y) unter der Voraussetzung überall gleicher Transitflankensteilheit getrieben, so sind Gatter geeignet zu puffern, Zum Treiben großer Lastverhältnisse y sind die Puffergatter geometrisch immer breiter werdend zu gestalten, der Aufweitungsfaktor ist dem Lastfaktor m identisch. Y ist das Produkt aller (gleichen) Lastfaktoren m_i der Puffergatter und des Logikgatters selbst, j kennzeichnet die Stufenanzahl.

$$y = \prod_{i=1}^j m_i$$

Der Lastfaktor m_1 eines Puffers ist für gleiche Verzögerungszeit aller Stufen eines Komplexgatters als j -te Wurzel des Lastverhältnisses y zu wählen.

$$m_1 = y^{1/j}$$

Die erreichbare Minimalverzögerungszeit t_T eines Komplexgatters, kann als Funktion der Pufferung j ($j=1$: Elementargatter, $j=2$: ein Inverterfolger, $j=3$: zwei Inverterfolger) und des vom Komplexgatter (mit Puffer) getriebenen Lastverhältnisses y (entspricht dem fan-out) ausgedrückt werden. Dann gilt:

$$t_T = j t_{T1}$$

$$t_{T1} = 2 t_b = 2 t_{b0} (n+m)$$

$$t_T = 2 j t_{b0} (n + y^{1/j})$$

In Tab. 2 sind erreichbare Minimalverzögerungswerte nicht gepufferter (einstufig), einfach gepufferter (zweistufig) und doppelt gepufferter (dreistufig) Logikgatter berechnet. Es wurde mit dem internen Lastfaktor $n = 0.84$ gearbeitet (Inverter: 0.3, 2-fach NAND: 0.57, 2-fach NOR: 0.84, kompliziertere Gatter: $n = 2$).

t_T [ns]		Lastverhältnis γ (= Ausfächerung, fan-out)						
CSGT-Gatterausführung		1	3,16	10	31,6	100	316	1000
einstufig	TN4	0,40	0,88	2,38	7,14	22,2	69,7	220
	TN5	0,22	0,48	1,30	3,89	12,1	38,0	120
	TN4	0,81	1,15	1,76	2,84	4,77	8,19	14,3
	TN5	0,44	0,63	0,96	1,55	2,60	4,47	7,79
	TN4	1,21	1,52	1,98	2,64	3,62	5,05	7,15
	TN5	0,66	0,83	1,07	1,44	1,97	2,75	3,90
		0,4	0,47	0,8	1,7	4,6	14	42
		0,76	0,91	1,6	3,46	9,26	28	86

12A → 1
CSGT - Dynamik

Typische Transitverzögerungszeit t_T in Abhängigkeit vom Lastverhältnis γ und der Gatterausführung für CSGT4 ($L=1,5 \mu\text{m}$, $t_{eo}=0,11 \text{ ns}$) und für CSGT5 ($L=1,0 \mu\text{m}$, $t_{eo}=60 \text{ ps}$). Rechnung für $U_o=U_{Hub}=2,5 \text{ V}$.

3333
w
 t_{so}
 t_{so}

(1/8) ... lesen, daß MCA-ECL-Schaltungen im Bereich der ...
 0,06 (CSGT5) 2,02
 0,11 (CSGT4) ...
 ...sse $3 < \gamma < 30$ um maximal den Faktor 2 schneller als
 lastoptimierte CSGT4-Schaltungen sind. Lastoptimierte CSGT5-
 Schaltungen können im kritischen Lastbereich ($3 < \gamma < 30$)
 zumindest gleichschnell, sonst aber deutlich schneller als MCA-
 ECL-Schaltungen gestaltet werden.

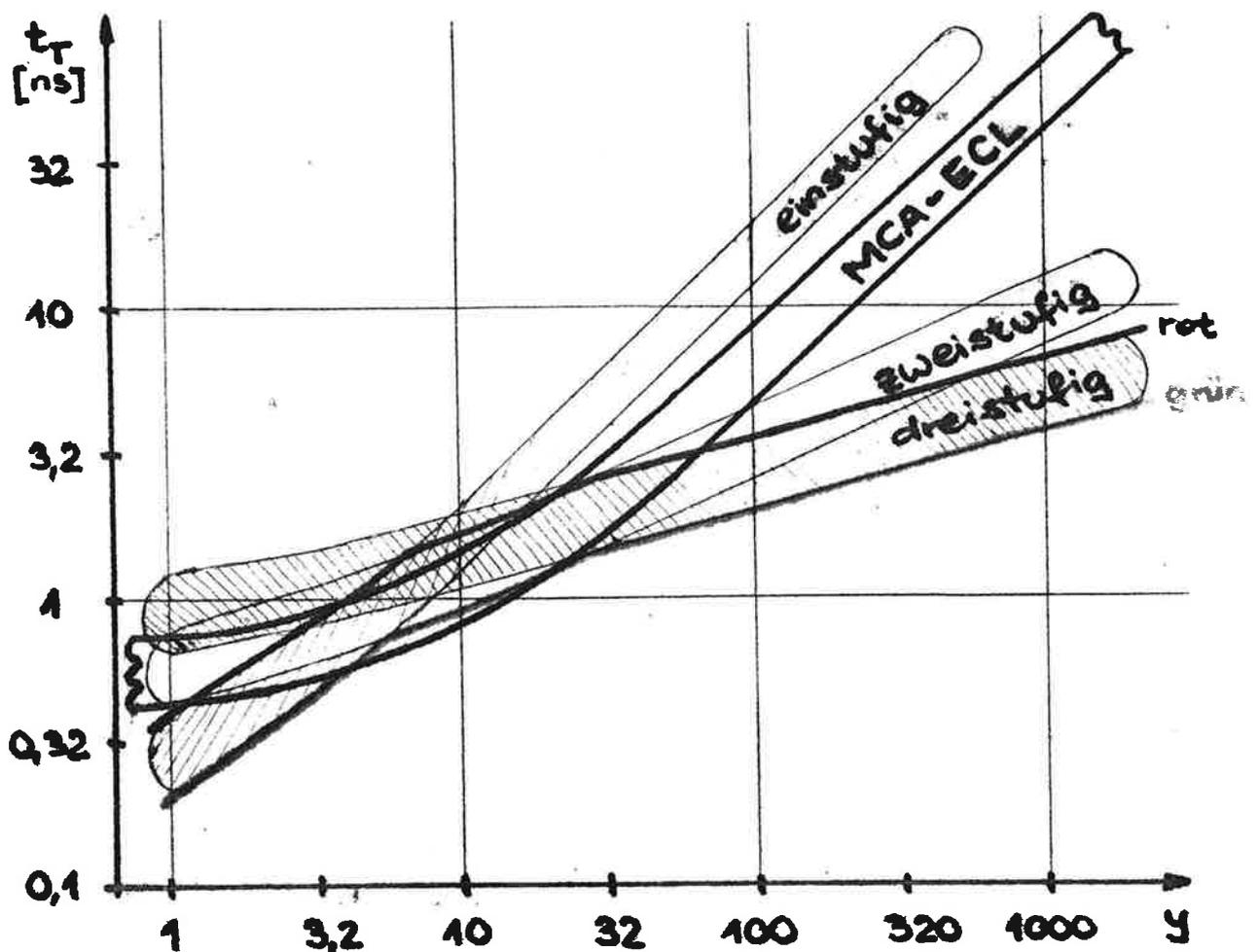


Abb. 1 Typische Transitverzögerungszeiten t_T in Abhängigkeit vom Lastverhältnis γ für lastoptimierte CSBT4- und CSBT5-Gatter (CSBT4: Oberseite, CSBT5: Unterseite der Balken) im Vergleich zu MCA-ECL-Gattern (vgl. Tab. 2). rot: erreichbare Minimalverzögerung für CSBT4-Logik; grün: erreichbare Minimalverzögerung für CSBT5-Logik.

Eine Ablösung von MCA-ECL-Schaltungen durch Standard-CSBT4-Schaltungen auf Basis von Gatteräquivalenz ist nicht ratsam, wenn die CSBT4-Geschwindigkeitsnachteile für mittlere Lastverhältnisse dominant werden können. Die Vorzüge von CSBT-Realisierungen sollten durch Nutzung erhöhter Parallelität erschlossen werden, da dann i.a. größere Lastfaktoren bestimmend die Schaltgeschwindigkeiten beeinflussen.

Sind MCA-ECL-Schaltungen aber dennoch auf Gatterebene durch CSBT4 abzulösen, so wäre es möglich, Spezial-Schaltungstechniken oder/

und technologische Modifikationen vorzunehmen.

Folgende Maßnahmen sind zur weiteren Geschwindigkeitssteigerung bei kleinen Lastverhältnissen anwendbar:

1. Signalhubverringern bei gleichzeitiger Erhaltung des Stromaufkommens der Transistoren durch Anwendung von Zero- oder Depletion n/p-Transistoren: Die Schaltgeschwindigkeit ließe sich etwa um den Faktor 2 steigern, die Schaltungen benötigen aber Ruhestrom. Die Logikform bleibt weitgehend erhalten.
2. Verdopplung der Schaltgeschwindigkeit durch Gatter mit Rückkopplung (Cascode -Voltage - Switch - Logic¹⁾/CVSL-Schaltungstechnik). Eine Verdopplung der Schaltgeschwindigkeit wird durch Umstellung der Logikgatter auf symmetrische Logikformen erreicht.
3. Verringerung der Kanallänge der Schalttransistoren bei gleichzeitiger Hubverringern im Signalweg (Differential Split Level Logic¹⁾/DSL-Schaltungstechnik). Es sind Geschwindigkeitssteigerungen etwa um den Faktor 4 möglich, die Schaltungstechnik setzt aber symmetrische Logik voraus. Auf den Signalwegen werden statische Ruhestrome geführt.

Mit den angegebenen Möglichkeiten (Parallelität, Depletion-Logik, CVSL-Technik, DSL-Technik) ist es möglich, MCA-ECL-Schaltkreise nahezu jeder Logikform durch CSGT4-Schaltungen abzulösen. Die Festlegung einer Ablösungstechnologie sollte keinesfalls pauschal, sondern unter Kenntnis des kritischen Signalweges des abzulösenden Schaltkreises erfolgen.

¹⁾ Literatur: DSL-CMOS-logic for Subnanosecond Speeds. L.M.G. Pfennigs u.a. IEEE JSC, VOL. SC-20, No. 5, Oct. 85, S. 1050-1055

3. Leitbahnlast

Ein Leitbahnstück der Länge s entspricht in Tab. 3 jeweils einem Lastfaktor (fan out) von $y = 1$. Mit diesem Leitbahnstück ist (etwa) die Anzahl von r Gatterrastern überbrückbar:

$y = 1$	MCA-ECL	CSGT4	
		$C_E=20fF^{**}$	$C_E=220fF^{***}$
Länge s /mm/	0,9	0,28	3,0
Raster r	1	10	50

*) flächenminimierte Gatter;

***) U1600-Gatter.

Die CSGT4-Angaben gelten unter Anwendung der (Standard-) Doppelmetall-Verdrahtbarkeit mit einer Längskapazität von $0,072fF/\mu m$. Als Rastermaß gelte für *) ein durchschnittliches Zellraster von $30 \mu m$ und für **) eines von $60 \mu m$. Es ist zu erkennen, daß der Leitbahneinfluß auf den Lastfaktor bei Anwendung von flächenminimierten Gattern steigt.

Der MCA-ECL-Geschwindigkeitsvorteil der Gatter von max. 2 wird durch den Einfluß der Leitungskapazitäten überkompensiert; es ist zu erwarten, daß selbst eine im U1600-Standardzellsystem entworfene, weitestgehend ungepufferte Logik durchschnittlich MCA-ECL-gleiche Verzögerungszeiten aufweisen kann, sofern durch Parallelschaltung mit den verfügbaren Invertern Puffer an Stellen hoher Ausfächerung angeordnet werden.

4. Pintreiber-Dynamik

Mit einem MCA-ECL-Pintreiber ist eine 50 Ohm-Leitung mit einer Verzögerungszeit von typ. 0,5...0,7 ns treibbar; die Flankensteilheit am Ausgang erreicht Werte um 2V/ns bei 2V Hub. Mit einer CSBT-Realisierung könnten diese Werte nur erreicht werden (s. Abb. 1 für $y=1000$), wenn intern gleiche Gattereingangslasten ($m=C_L/C_E$) wie außerhalb des Schaltkreises benutzt werden, d.h. wenn auf Ausgangstreiberketten vollständig verzichtet werden kann. Die resultierenden CSBT-Gatter hätten dann etwa gleiche Außenabmaße wie MCA-ECL-Gatter. Dieser Weg ist aufgrund höherer dynamischer Verluste nur bedingt gangbar. Eine Umformung von MCA-ECL-Schaltungen auf CSBT-Logik sollte die Vorteile des fünfzigfach höheren Integrationsgrades nutzen. Umwelt-Schnittstellen können bei CSBT-Logik reduziert werden, indem komplette MCA-ECL-Leiterplatten auf Chipniveau untersetzt werden.

Wenn CSBT-Pintreiber, um Zeitminimum zu erreichen, als ausfächernde Inverterketten mit Formfaktoren $m_1 = y^{1/n}$ und $n = \ln y$ dimensioniert werden, sind Verzögerungszeiten um 5 ns bei Flankensteilheiten von 5,7 V/ns erreichbar.

5. Verlustleistung

Pro Schaltkreis MCA1200ECL sind 4 W Verlustleistung; pro MCA600ECL sind 2,2 W Verlustleistung zugelassen. Es obliegt dem Entwerfer, diese Verlustleistung auf die Gatter aufzuteilen; der Strombedarf eines Schaltungsknotens kann über Widerstandswahl im Macro auf Werte zwischen 0,5 und 2,0 mA eingestellt werden.

Eine CSBT-Realisierung wäre statisch praktisch verlustfrei. Die Energiegleichung für die dynamische Verlustleistung ist über

$$\begin{aligned} E &= P t \\ &= U_{Hub} I t \\ &= U_{Hub} C U_{Hub} \\ E &= U_{Hub}^2 C \end{aligned}$$

zu bestimmen. Mit $C_{ECL} = 30pF$ und $C_{CSBT} = 0,3pF$ ergäbe sich ein Energieverhältnis pro Schaltflanke von etwa

$$\frac{E_{ECL}}{E_{CSGT4}} = \frac{0,7V^2 \cdot 30pF}{5V^2 \cdot 0,3pF} = 2;$$

d.h die dynamische Verlustleistung pro Gatter und Schaltflanke ist bei CSGT4-Gattern nur geringfügig niedriger als bei MCA-ECL-Gattern, obwohl die umzuladenden Gatterkapazitäten im Verhältnis 100 : 1 stehen.

Es ist absehbar, daß aus der relativ hohen dynamischen Verlustleistung der CSGT4 Dimensionierungsprobleme an den Pindribern bei hoher Parallelität und großen Pinzahlen entstehen, wenn komplette ECL-Leiterplatten auf CSGT4-Chipniveau transferiert werden.

5. Fertigungsökonomie

Für MCA-ECL wird eine spezielle Graben-Isolationstechnologie MOSAIC1 angewandt. Wird angenommen, daß es sich bei MOSAIC1 um eine 10...12-Masken-Technologie handelt, so ist sicher, daß diese Technologie der CSGT4-Technologie im Preis pro präparierte Siliziumscheibe etwa entspricht. Damit ist der Preis der CSGT4 pro Gatterfunktion um das Verhältnis der belegten Siliziumfläche pro Gatter geringer (Faktor 25...50).

Aufgrund der Realisierbarkeit von 25...50 MCA-Schaltkreisäquivalenten auf einem CSGT4-Chip entsteht zusätzlich eine Einsparung von 25...50 Gehäusen, von Leiterplatten, Einschüben und an Entwicklungskosten. In der Summe sinken mit dem Einlaufen der Ausbeutekurve der CSGT4-Technologie die Produktionskosten pro Gatter der CSGT4 gegenüber MCA-ECL um mindestens den Faktor 100.

6. Zusammenfassung

Durch einen CSGT4-Schaltkreis können im Logik- und Flächen-Äquivalent 25 (Master 1200) bzw. 50 (Master 600) MCA-ECL-Schaltkreise ersetzt werden.

Lastoptimierte CSGT4-Gatter (Vollkundenentwurf) können Schaltge-

schwindigkeiten erreichen, die denen der MCA-ECL-Serie nahekommen. Die Gatterverzögerung ist um den Faktor 2 größer, die Leitungsbelastung ist bis zu 50-fach geringer.

Lastoptimierte Pintreiber der CSGT4-Realisierung sind um die Anzahl n nötiger Ausfächerungsstufen langsamer, als MCA-ECL-Pintreiber.

Eine CSGT4-Standard-Realisierung ist gegenüber MCA-ECL statisch verlustleistungsfrei.

Eine nur um den Faktor zwei pro Schaltflanke geringere dynamische Verlustleistung pro Gatter der CSGT4-Realisierung führt evtl. an Pintreibern zu Beeinträchtigungen des Lasttreibvermögens.

Ohne MCA-ECL-Entwurfssystem würde die Entwicklung eines MCA-Schaltkreises etwa 500 Stunden Grafikkapazität binden; eine CSGT4-Realisierung wäre vollautomatisch mit vorhandener Software verdrahtbar.

Die Produktionskosten pro Logikgatter liegen für die CSGT4-Realisierung mindestens um den Faktor 100 niedriger.

Eine Realisierbarkeit von MCA-ECL-Schaltkreisen im U1600-Standardzell- oder im U5300-Gatearray-System ist im Detail für den konkreten Anwendungsfall zu prüfen, da eine Verzögerungsoptimierung durch gefächerte Pufferstufen im U1600- bzw. U5300-System nur bedingt möglich ist.

G. Heinz