

WP H03B/336 483 0

angem. : 27.12.89

P a t e n t a n m e l d u n g

Bezeichnung: Master-Slave-D-Fliflop

Erfinder: Dr.-Ing. Gerd Heinz

Zustellungsbevollmächtigter:

Akademie der Wissenschaften der DDR
Zentralinstitut für Kybernetik und
Informationsprozesse
Büro für Patent- und Neuererwesen
Kurststraße 33, Berlin, 1086

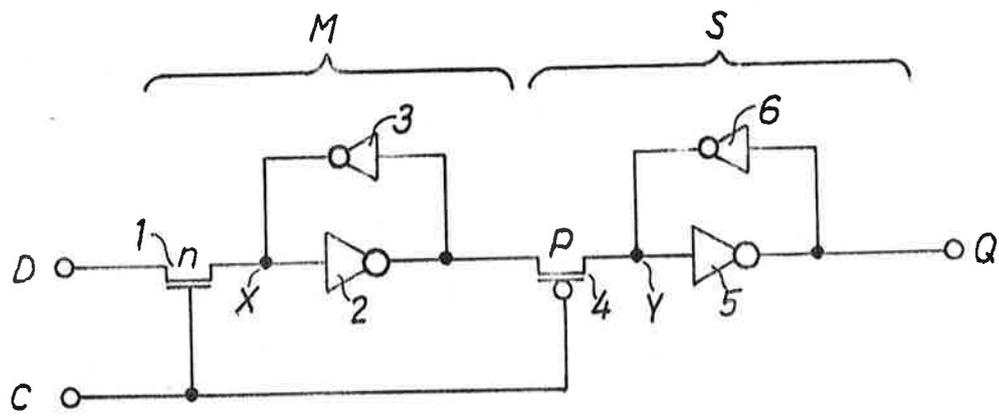


Fig. 1

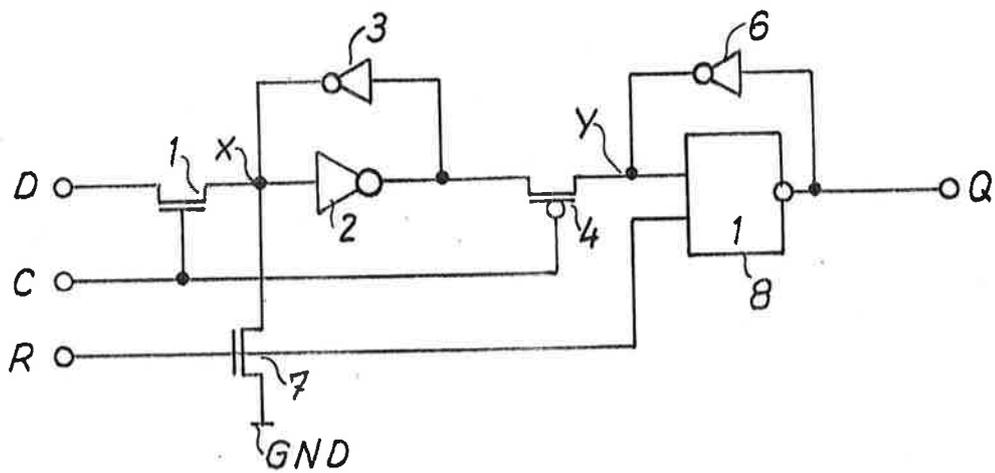


Fig. 2

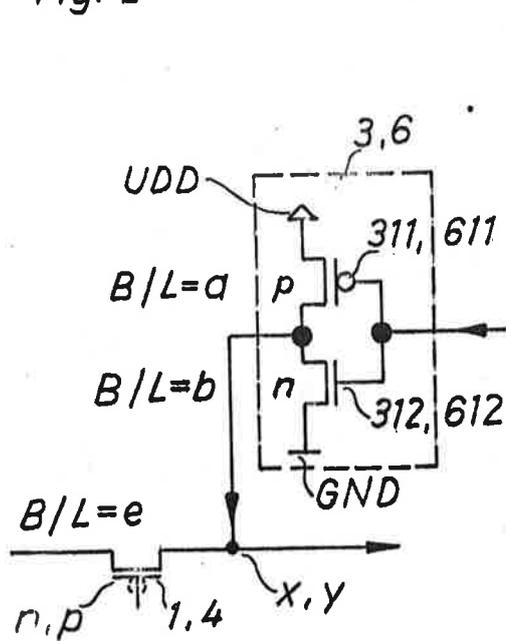


Fig. 3

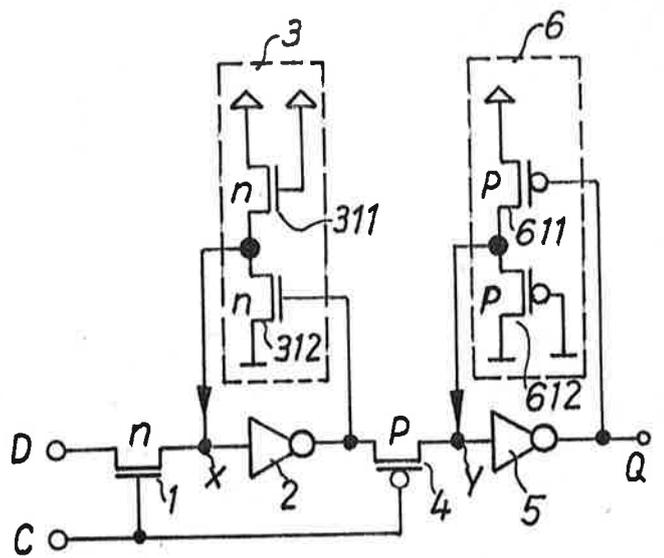


Fig. 4

Master-Slave-D-Flipflop

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Master-Slave-D-Flipflop zur allgemeinen Anwendung in CMOS-Schaltkreisen.

Charakteristik des bekannten Standes der Technik

Es sind verschiedene Flipflop-Schaltungen bekannt, vgl. G 01 R21/28 DE-OS 3725823, Fig. 12 sowie DE-OS 3817143, Fig. 6. Diese Master-Slave-D-Flipflop-Ausführungen sind durch einen relativ hohen Schaltungsaufwand gekennzeichnet.

Ziel der Erfindung

Ziel der Erfindung ist es, ein statisches, universelles Master-Slave-D-Flipflop anzugeben, dessen Chipflächenbedarf minimal ist, und das dennoch elektrisch zuverlässig funktioniert.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Master-Slave-D-Flipflop anzugeben, das ohne Taktinverter auskommt und dessen Schaltungsaufwand minimal ist. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß zwei Transferelemente von Master und Slave durch je einen Einzeltransistor verschiedenen Leitfähigkeitstyps gebildet werden und daß die Rückkoppelzweige von Master und Slave in bekannter Weise aus Invertern bestehen. Die Breiten- zu Längenverhältnisse B/L der Transistoren der Inverter zu denen der Transferelement-Transistoren sind so an den jeweils zugeordneten Leitfähigkeitstyp des jeweiligen Transferelement-Transistors angepaßt, daß sich für die inneren Summationsknoten des Master- und

des Slave-Latches des Flipflops elektrisch gewünschte Umschalt-
schwelen ergeben, die eine maximale elektrische Funktionssicher-
heit gewähren. Die rückführenden Inverter können als komplementär- oder EE-Inverter ausgeführt sein. Ein Rücksetzeingang kann
mit zugehörigem Rückstelltransistor sowie NOR-Gatter gebildet
werden, wobei ein Eingang des NOR-Gatters am Summationsknoten des
Slave, der andere Eingang über den Gateanschluß des Rückstell-
transistors an den Rücksetzeingang führt, und der Ausgang des
NOR-Gatters der Ausgang des Slave ist. Der Rücksetzeingang kann
auch als invertierender Setzeingang wirken, wenn der Rückstell-
transistor statt vom n-Typ vom p-Typ ist und statt nach Masse
nach Betriebsspannung führt und statt des NOR-Gatters ein NAND-
Gatter benutzt wird. Durch Anwendung eines kombinierten NAND-NOR-
Gatters anstelle des Zweieingangs-Gatters im Slave und zweier
Rückstelltransistoren entgegengesetzter Leitfähigkeit n, p, wobei
der n-Typ gegen Masse und der p-Typ gegen Betriebsspannung führt,
entsteht ein D-Flipflop, das über einen Rücksetzeingang und einen
invertierenden Setzeingang verfügt, wobei einer der Eingänge
invertierend wirkt.

Ausführungsbeispiele

Die Erfindung wird an vier Ausführungsbeispielen erläutert. Die
Zeichnungen zeigen dabei:

- Fig. 1 Ein D-Master-Slave-Flipflop in der erfindungsgemäßen
Grundschialtung.
- Fig. 2 Ein D-Master-Slave-Flipflop mit Rücksetzeingang als
Erweiterung zu Fig. 1.
- Fig. 3 Eine Ausführung eines rückführenden Inverters (3,6) aus
Fig. 1 und 2 in Komplementärtechnik.
- Fig. 4 Eine Ausführung eines Flipflops nach Fig. 1 mit Invertern
vom EE-Typ.

Fig. 1 und Fig. 2 zeigen, daß es sich bei der Erfindung um ein nahezu standardgerechtes Flipflop handelt (vgl. G O 1 R 31/28, DE 3725823, Fig. 12). Ein erster Transferrate-Transistor 1 von n-Typ übernimmt die Information in den Master M, zu dem die Gatter 2 und 3 gehören. Ein zweiter Transferrate-Transistor 4 vom entgegengesetzten Leitfähigkeitstyp (dargestellt p-Kanal) des ersteren gibt die Information in der jeweils anderen Taktphase an den Slave S weiter, zu dem die Gatter 5, 6 bzw. 8 gehören.

In Fig. 2 ist eine mögliche Ergänzung eines Rücksetzeinganges R dargestellt, der über den Rückstelltransistor 7 den Master M und über das NOR-Gatter 8 den Slave S rücksetzt.

Fig. 3 verdeutlicht die erfindungsgemäße Lösung der Dimensionierung der Schaltung. Die Quotienten a/e und b/e der Breiten- zu Längenverhältnisse a , b , e der auf die Summationsknoten x und y wirkenden Transistoren 1, 311, 312 und 4, 611, 612 sind für die Fälle n-Kanal-Transferrate 1 bzw. p-Kanal-Transferrate 4 und den gewählten Invertertyp (Fig. 3: komplementär; Fig. 4: EE-n- und EE-p-Kanal) der Inverter 3 und 6 Konstanten.

Fig. 4 zeigt eine erfindungsgemäße Lösung, die durch Anwendung von Enhancement-Enhancement-(EE)Invertiern 3 und 6 eine gegenüber Komplementärinvertiern (nach Fig. 3) erhöhte Ausbeute gestattet. Die Transistoren 311 und 612 wirken in Fig. 4 als passive Lastelemente. Diese Ausführung besitzt einen nicht vernachlässigbaren Ruhestrombedarf.

Patentansprüche

1. Master-Slave-D Flipflop mit statischer, invertierender Rückkopplung im Masterlatch und Slavelatch dadurch gekennzeichnet, daß die Transferegatetransistoren (1) und (4) von Master (M) und Slave (S) von verschiedenem Leitfähigkeitstyp (n, p) sind.
2. Schaltungsanordnung nach Anspruch 1 dadurch gekennzeichnet, daß am im Master (M) liegenden Summationsknoten (x) ein Rückstelltransistor (7) vom n-Typ, der an Masse liegt, angeschlossen ist und daß der Ausgang (Q) des Slave (S) mit dem Ausgang eines NOR-Gatters (8) verbunden ist, dessen einer Eingang am Summationsknoten (y) des Slave (S) angeschlossen ist und dessen anderer Eingang über den Gateanschluß des Rückstelltransistors (7) den Rücksetzeingang (R) bildet.
3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß am im Master (M) liegenden Summationsknoten (x) ein Rückstelltransistor (7) vom p-Typ, der an Betriebsspannung liegt, angeschlossen ist und daß der Ausgang (Q) des Slave (S) mit dem Ausgang eines NAND-Gatters verbunden ist, dessen einer Eingang am Summationsknoten (y) des Slave (S) angeschlossen ist und dessen anderer Eingang über den Gateanschluß des Rückstelltransistors (7) einen invertierenden Setzeingang (/S) bildet.
4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß am im Master (M) liegenden Summationsknoten (x) zwei Rückstelltransistoren angeschlossen sind, einer vom n-Typ gegen Masse und einer vom p-Typ gegen Betriebsspannung, und daß der Ausgang (Q) des Slave (S) mit dem Ausgang eines kombinierten NOR-NAND-Gatters verbunden ist, dessen erster Eingang am Summationsknoten (y) des Slave (S) angeschlossen ist, dessen zweiter Eingang über den Rücksetzeingang (R) und dessen dritter Eingang über den Gateanschluß des Rückstelltransistors vom p-Typ gegen Betriebsspannung den invertieren-

den Setzeingang bildet.

5. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Transistoren (113, 123, 116, 126) der signalrückführenden Inverter (3, 6) von jeweils dem Leitfähigkeitstyp (n, p) wie der den Summationsknoten (x, y) speisende Transferelementtransistor (1, 4) sind und daß beide Inverter (3, 6) vom Enhancement-Enhancement-Typ (EE-Typ) sind.
6. Schaltungsanordnung nach Anspruch 1 dadurch gekennzeichnet, daß die rückführenden Inverter (3, 6) vom EE-Typ jeweils den entgegengesetzten Leitfähigkeitstyp (n, p) des am Summationsknoten (x, y) angeschlossenen Transferelementtransistors (1, 4) besitzen.

Hierzu 1 Blatt Zeichnungen.

Zusammenfassung

Master-Slave-D-Flipflop

Flip-Flop, VLSI, CMOS, Master, Slave, DFF, Latch.

Die Erfindung betrifft ein Master-Slave-D-Flipflop. Der Erfindung liegt die Aufgabe zugrunde, ein Master-Slave-D-Flipflop anzugeben, das ohne Taktinverter auskommt und dessen Schaltungsaufwand minimal ist.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die zwei Transferelemente von Master M und Slave S durch je einen Einzeltransistor 1, 4 verschiedenen Leitfähigkeitstypen n, p gebildet werden (Fig. 1) und daß die Verriegelung des Masterlatches und des Slavelatches durch Inverter vom Komplementär- oder EE-Typ so erfolgt, daß fixierte B/L-Verhältnisse zwischen den Transistoren der rückführenden Inverter und der Transferelemente gewählt werden (Fig. 1), mit denen die elektrischen Umschaltpunkte an den Summationsknoten (x, y) symmetriert werden.

B e r i c h t
 über das Ergebnis der Prüfung auf Schutzfähigkeit und Auswertung
 der technisch-ökonomischen Effektivität

Geprüft wurden:

Klassifi- kation	DD AT:	DE AT:	EPÜ/ECT AT:	US AT:
G 01 R 31/00	5103	1160493	-	-
	28.08.52	18.12.62	-	-
	214697	3741734	-	-
	12.04.83	09.12.87	-	-
G 01 R 31/28	16363	1516941	-	3,452,280
	19.01.56	21.06.66	-	24.06.69
	271409	3902161	-	4,852,094
	04.04.88	25.01.89	-	10.11.87
G 06 F 11/00	34729	1449389	EP0006310	-
	15.07.64	21.12.63	10.06.78	-
	273326	3811653	WO 87/070	-
	04.06.87	07.04.88	29.04.87	-
G 06 F 11/22	142613	1958747	EP0010599	-
	23.03.79	22.11.69	02.10.78	-
	259268	3805391	WO83/03488	-
	30.03.87	20.02.88	30.03.82	-

G 11 C 19/00	26684	1272373	-	-
	02.08.60	30.08.63	-	-
	269765	3806366	-	-
	01.10.85	27.02.88	-	-
<hr/>				
G 11 C 19/28	138252	1474388	-	-
	09.06.78	12.10.65	-	-
	270992	3718469	-	-
	22.02.88	02.06.87	-	-
<hr/>				
G 11 C 11/34	82148	1474409	-	3,488,636
	04.03.70	05.10.65	-	22.08.66
	251848	3841588	-	4,837,742
	31.07.86	09.12.88	-	04.04.86
<hr/>				
H 03 K 3/02	26118	-	-	-
	13.06.59	-	-	-
	247979	-	-	-
	22.05.80	-	-	-
<hr/>				
H 03 K 3/023	160351	-	-	-
	02.11.82	-	-	-
	238495	-	-	-
	14.06.85	-	-	-
<hr/>				
H 03 K 37289				

H 03 K 3/027	230685	-	-	-
	19.11.82	-	-	-
	230685	-	-	-
	19.11.82	-	-	-
<hr/>				
H 03 K 19/094	235146	1942420	-	-
	04.03.85	20.08.69	-	-
	273343	3823738	-	-
	01.07.87	13.07.88	-	-
<hr/>				
H 03 k 19/096	256442	2141915	-	-
	06.01.86	20.08.71	-	-
	256442	3123504	-	-
	06.01.86	13.06.81	-	-
<hr/>				
H 03 K 19/20	30605	1299705	-	-
	07.03.62	01.08.67	-	-
	252491	3813427	-	-
	07.08.86	18.04.88	-	-
<hr/>				
H 03 K 19/21	270195	2165162	-	-
	16.03.88	28.12.71	-	-
	270195	3840540	-	-
	16.03.88	01.12.88	-	-
<hr/>				
H 03 M 13/00	-	-	EP0131217	-
	-	-	30.06.83	-
	-	-	W086/03911	-
	-	-	19.12.85	-
<hr/>				

H 03 K 5/135	-	2261352	-	-
	-	15.12.72	-	-
	-	3826717	-	-
	-	05.08.88	-	-

Es wurden keine die Schutzfähigkeit einschränkenden Veröffentlichungen ermittelt.

Das Flipflop läßt sich mit einer Minimalzahl von Transistoren platzsparend realisieren.

Es ist für alle Arten von CMOS-Schaltkreisen geeignet, die nicht auf fixiertem Transistoruntergrund entstehen.



Zier

Ltr. des Büros für
Pat. - und Neuererwesen