

2.2.6. Probleme beim Schaltkreisentwurf von RISC-Systemen

Dr. Ing. Gerd Heinz

Allgemeine Kriterien fuer Entwurfbarkeit

Wesentliche Gesichtspunkte bei der Beurteilung perspektivischer Prozessoren sind:

- Pruefbarkeit und Zuverlaessigkeit des Entwurfes,
- Dynamisches Verhalten des Entwurfes und
- Layoutgenerierbarkeit des Entwurfes.

zu Pruefbarkeit und Zuverlaessigkeit:

Die Pruefbarkeit von Schaltkreisen des Niveaus > 50000 Transistoren wird zunehmend problematischer. Scan-Path-Methoden versagen oberhalb von 50000 Trs. voellig; Random-Access-Scan-Methoden werden zunehmend ineffizienter und Feedback-Shiftregister-Methoden ersetzen nicht die Notwendigkeit, zusaetzlich funktionelle Tests anzuwenden. Die Anwendbarkeit funktioneller Tests ist aber nur moeglich, wenn es gelingt, das Problem des exponentiellen Anwachsens der Testsatzlaenge mit wachsender Transistorzahl zu beherrschen, dh. wenn es gelingt, klare und transparente Strukturen zu entwerfen. Es muss moeglich sein, jedes interne Zustandsbit eines Schaltkreises direkt zu steuern oder/und direkt zu beobachten, ohne dasz vorab andere Zustaeude initialisiert werden muessen. Aus diesem Grunde fanden sogenannte Megazell-Konzepte (Integration kompletter CISC-Leiterkarten auf einem Chip) bislang wenig Verbreitung. RISC-Konzepte kommen der Forderung nach Transparenz hingegen recht nahe. Grundproblem von 1,0 um - Architekturen ist es, den exponentiell mit steigender Transistorzahl wachsenden Pruefaufwand durch hochparallele und sequentiell flache Architekturen beherrschbar zu halten. Die Beherrschung der Pruefbarkeit eines Schaltkreises wird zu einem entscheidenden Problem der Qualitaets- und Zuverlaessigkeitssicherung. Es ist schon derzeit problematisch, CISC-Architekturen des 10 000 Trs.-Niveaus zu testen. Zum Beispiel fuehrte der Test eines solchen "kleinen", aber sequentiell sehr tiefen Schaltkreises zu dem Problem, dass mit einer Testsatzlaenge von 20 000 Vektoren erst ca. 30 % aller moeglichen Pfade testbar waren. Die Anwendung dieses Testsatzes unter Produktionsbedingungen haette katastrophale Qualitaetseinbrueche des Produkts provoziert. Deshalb verlagert sich mit Ueberschreiten des 10 000 Trs. - Niveaus der Aufwand zur Entwicklung von Schaltkreisen erheblich vom hohen Layoutaufwand zu einem immer mehr steigenden Verifikations- und Testaufwand. Mit dem Einsatz gekaufter Modulgeneratoren wird der Layoutaufwand fast vernachlaessigbar, hingegen entscheidet die Loesbarkeit der Testprobleme ueber die Produzierbarkeit des Schaltkreises.

zur Dynamik:

Ein wesentlicher Unterschied zwischen RISC- und CISC-Architekturen besteht in der erheblichen Abmagerung der sequentiellen Komplexitaet des Prozessors. Damit gelingt es,

RISC- Prozessoren dynamisch zu optimieren und Pipelining-Methoden (ueberlappende Befehlsabarbeitung) sind einfuehrbar. Die Frage der Optimalitaet von RISC oder CISC ist entscheidbar, wenn es gelingt, den RISC- Entwurf um einen Faktor n schneller zu machen, der hoeher als der RISC_MIPS- Normierungsfaktor auf VAX_MIPS ist (ca. 1,5...2). Dies gelingt in praktisch allen RISC-Entwuerfen. Die durch architekturelle Vereinfachung moegliche dynamische Optimierung der Baugruppen kann etwa eine 2...3 fache Beschleunigung liefern. Zu multiplizieren ist die Beschleunigung aus der gleichzeitigen, ueberlappenden Befehlsabarbeitung. Je nach Guete des Compilers sind 60...80 % /2.83/, /2.75/ der Pipeline- Stufenzahl zu gewinnen. Damit erreicht bei gleichem Technologieniveau eine RISC- Architektur im Vergleich zu einer CISC- Architektur im Mittel etwa **3...5** fach hoehere Durchsatzleistungen.

Technologien hohen Integrationsgrades zeigen eine weitere Gesetzmoeszigkeit auf, die die Logikpartitionierung pro Chip beeinflusst. Das interne, kapazitive Lastniveau im Schaltkreis liegt bei etwa 0,25 pF. Das Lastniveau der zu treibenden Umwelt liegt bei etwa 50 pF, d.h. Ausgangstreiber haben ein Lastverhaeltnis von groeszer 200 zu treiben. Mit optimierten Pad-Treibern (Lastfaktor 3...5) sind in einer 1 um Technologie 4- stufige Ausgangstreiber realisierbar, die pro Stufe eine Verzoegerungszeit von ca. 3 ns liefern. Bei einer 1 um-Technologie kostet folglich jede (asynchrone) Ausgabe einer Information vom schaltkreisinternen Lastniveau auf Umweltniveau etwa 12 Nanosekunden. Diese - schwer zu umgehende - Verzoegerungszeit liegt in der Groeszenordnung des zu realisierenden Prozessordurchsatzes! Folglich sind logische System- Partitionierungen so zu waehlen, dasz aufeinander wartende bzw. voneinander abhaengige Prozesse nicht durch Schaltkreisgrenzen getrennt werden. Es wirkt leistungsbegrenzend, Core und Cache oder Core und MMU oder FPC und FPU etc. zu trennen.

Parrallel dazu entsteht durch eine Chiptrennung der Zwang, das Verdrahtungskonzept an moegliche (maximale) Pinzahlen pro Schaltkreis anzupassen. Artgleiche Controller etc. erscheinen dadurch mehrfach auf jedem Chip; der Entwurfsaufwand erhoehrt sich.

Damit werden Unterschiede in verschiedenen Prozessorlinien transparent: Waehrend z.B. beim Intel 80860 - RISC Caches, Core, FPU, MMU, IU; Bus- und Grafiksteuerung nicht ueber den Zeitumweg "Umwelt" kommunizieren, haben Architekturen, die separiert arbeiten, intern erheblich schneller und damit komplexer zu sein, um annaeherd gleichen Datendurchsatz zu erbringen. Es ist deshalb nicht verwunderlich, dasz die Layout-Komplexitaeten von i80860 und R3000 nahezu identisch sind (beide Schaltkreise sind in einer 1.0 um CMOS-Technologie gefertigt), obwohl Funktionsumfang und Datendurchsatz des Intel-Chips gravierend hoeher sind). (Prozessor Performance 33:24 MIPS; Bus Bandwidth 960:200 MB/s Quelle /2.78/). Mit anderen Worten: beim 80860 konnte eine nichtkompliziertere Architektur des Gesamtschaltkreises (im Sinne der Testbarkeit) gefunden werden, als beim R3000. Nur mit dem Unterschied, das das geistige Potential beim R3000 in die Loesung der Pinzahl- begrenzenden Barrierenproblematik investiert wurde, waehrend es beim 80860 fuer die Einbringung weiterer Moduln zur Verfuegung stand.

Zur Layoutgenerierbarkeit:

Die Forderung nach Transparenz fuer Testbarkeit ist inhaltlich der Moeglichkeit, einfache Layouts mit einer Maximalzahl von Wiederholstrukturen in kurzer Zeit zu erzeugen, verwandt. Der Grad an Orthogonalitaet und Regularitaet diktiert direkt den Layoutaufwand (hohe Orthogonalitaet: i80860, M88000). Aufgrund vergleichbarer Technologieniveaus und annaehernd vergleichbarer Komplexitaeten von i80860, M88000, SPARC - CY7C6xx und R3000 kann davon ausgegangen werden, dass die Entwurfsaufwendungen pro zu realisierendem Schaltkreis vergleichbar sind. Damit entspricht in erster Naeherung der zu erbringende Entwurfsaufwand pro Rechnerotyp etwa der Anzahl der zum jeweiligen Schaltkreissystem gehoerenden Schaltkreiskomponenten (bei vergleichbarer Funktion). Eine direkte, technologiegebundene Erstellung orthogonaler Strukturen per Grafikeditor erscheint bei allen Schaltkreisen aufgrund notwendig werdender Formataenderungen bei Zusammenlegung der Bloecke als nicht mehr vertretbar. Orthogonale Strukturen sind als parametrisierbare Bloecke aufzubauen. Bloecke wilder Logik (random logic) sowie Globalverdrahtung sind automatisch zu generieren. Die Definition von Modulgeneratoren (silicon compilation) wird damit unvermeidlich. Damit sind perspektivisch neue Wege in der Frage des Nachentwurfs zu gehen. Der in einen Modulgenerator zu investierende Arbeitsaufwand ist zunaechst ca. 3...5 -fach so hoch, wie der Aufwand zur Entwicklung genau des benoetigten Moduls. Ist aber ein Baukasten von Modulgeneratoren erstellt, koennen diese fuer jede neue Technologie, wie auch fuer jeden anders formatierten Entwurf genutzt werden. Damit ergibt sich zukuenftig die neue Aufgabe, aber auch die Chance, neue Schaltkreise top-down zu entwerfen. Es entstehen dann Architekturen, deren Aussehen verschieden vom Original ist, die aber dennoch Befehlsatz-, Timing- und Pincompatibel (BTP-Kompatibel) gestaltet werden koennen.

2.2.6.1. Motorola M88x00

(Schaltkreise M88100 CPU (164 TTrs.) und M88200 CMMU (750 TTrs.))

a) Entwurfsmethodik /2.74/, /2.76/

Beide Schaltkreise sind als Vollkundenentwuerfe unter Nutzung eines Silicon-Compilers "Generator Development Tools" (GDT) von Silicon Compiler Systems, San Jose, CA entstanden. (GDT-Software /2.77/ wird fuer SUN(UNIX), Apollo (DOMAIN 9) und VAXstation II GPX (VMS) vertrieben; Preis ist unbekannt; enthaelt Schematic- und Layouteditor; Logiksimulator (Elektrik/Logik/Verhalten), Fehlersimulator, Timing-Analyzer, Test-Vektor-Translator; Sticks-Editor, Kompaktor, RAM-, ROM-, PLA- und Logik-Compiler). Durch Nutzung der Modulgeneratoren von GDT konnte nach Herstellerangaben der Layout-Entwurfsaufwand um den Faktor 10 gesenkt werden. Die Entwuerfe wurden in 20 Monaten (M88100) bzw. 11 Monaten (M88200) fertiggestellt. Eigene Modulgeneratoren wurden in der GDT-Sprache "L" fuer Adder, Multiplier, Register File und Decoder im 88100 sowie fuer einen 128Kb-SRAM, einen 32Kb-Tag-Memory und den Translation-Lookaside-Buffer im 88200 entwickelt, da enthaltene Modulgeneratoren zu langsame Entwuerfe lieferten. Grundzellen (z.B. die SRAM-Speicherzelle) wurden mit dem Layoutsystem Calma-GDS-II /2.77/ (Software mit Workstation "Data General MV7800" (ADS/VS) der Firma Calma Corp., Milpitas, CA, Preis 84000.-\$; Stick-Layout-Compactor, Cell compilers,

Connectivity Check) entworfen.

Ausgehend von einer verifizierten Verhaltensbeschreibung in der GDT-Sprache "M" wurde blockweise Logik substituiert und mit dem mixed Mode Simulator "LSIM" (Logik und Verhalten) verifiziert. Mit Modulgeneratoren wurden globale Layoutblöcke generiert; von Modulgeneratoren nicht erzeugbare Verbindungszellen (Leaf-Cells) wurden manuell mit einem Layouteditor LED (Hersteller unbekannt) erzeugt. Die gesamte Steuerlogik wurde als Standardzell-Entwurf generiert und verdrahtet. Die auf den Chipfotos erkennbare Leitungsführung deutet darauf hin, dass ein automatisches Verdrahtungssystem fuer Zellen beliebigen Randes zur Verfügung stand. Ueber den Entwurf der Standardzellen sind keine naeheren Ausführungen verfügbbar; es ist anzunehmen, dass der GDT-"Random Logic Compiler" genutzt wurde. Eine Änderung des Formats des Tag-Memory, die 3 Wochen vor Layout-Abschluss vorgenommen wurde, verdeutlicht den hohen Grad der Entwurfsautomation. Angaben zur Größe des Entwurfsteams und zur benötigten Rechnerressourcen liegen nicht vor.

b) Möglichkeit eines Nachentwurfes

(Voraussetzung: Muster und hinreichende Dokumentation). RISC-Prinzipien sind durch einen geringen Anteil von "wilder" Logik (random logic) gekennzeichnet. (RISC I/II sowie MIPS: 6...8%, /2.75/, /2.83/). Es ist anzunehmen, dass der Layoutaufwand der Schaltkreise M88100/ M88200 nicht hoeher als bei CISC-Schaltkreisen des Niveaus 10k...40k Trs. ist. Unter Nutzung verfügbbarer DDR-Software wuerde der Entwurf pro Schaltkreistyp ohne Siliconcompiler etwa folgenden Minimalaufwand erfordern:

	Mannjahre	CPU-Stunden K1840/IGT2
Verhaltensbeschreibung und -verifikation	ca. 4	K ca. 100
Logikbeschreibungen der Blöcke und -verifikation	ca. 2	K ca. 500
Testfolgenentwicklung und -verifikation	ca. 4	K > 2000
Layoutentwurf und -verifikation	ca. 16	I ca. 16000
Konsistenzprüfung Plotts, Softwareanpassungen	ca. 2	K ca. 200
Summe	32	> 2800 h K1840 16000 h IGT2

Als Entwicklungszeit waeren ca. 2...3 Jahre pro Schaltkreistyp realistisch.

Nach /2.76/ waere es unter Nutzung von GDT denkbar, den Aufwand fuer das Layout auf ein Zehntel zu reduzieren, auch wenn zusaetzliche Entwicklungsaufwendungen (Startphase) zur Anpassung bzw. Schaffung von Generatormodulen noetig sind. Problematisch

erscheint die Bereitstellung noetiger Rechnerressourcen. So wird fuer GDT pro 10000 Transistoren ein Plattenbedarf von 80 Megabyte angegeben. Beide Schaltkreise mit zusammen 0,914 Mio Transistoren wuerden damit ca. 7,3 Gigabyte Plattenplatz belegen.

c) Gehaese

Widerspruechliche Literaturangaben existieren zur Verkappung der Schaltkreise. Es soll fuer beide Schaltkreise eine 180 Pin-PGA-Variante (4,3 cm x 4,3 cm) sowie eine 288-Pin-PGA-Variante (2,8 cm x 2,8 cm, 10-Lagen Keramik von Honeywell) existieren /2.74/.

d) Technologie

Die derzeit verfuegbare 20/25 MHz-Version der Schaltkreise wird in einer 1,5 um HCMOS-Doppelmetall-Technologie gefertigt. Eine Abloesung mit der ZMD-Technologie CS6T5 (1,0...1,2 um) waere ab ca. 1992 denkbar.

2.2.6.2. SPARC

Die Verschiedenartigkeit der SPARC-Derivate sowie in der Literatur fehlende Aufgaben zur Entwurfsmethodik erschweren eine Beurteilung der verschiedenen SPARC-Entwuerfe (siehe dazu /2.78/).

a) Fujitsu-SPARC S16/S25 (10/15 MIPS) /2.78/, /2.79/

Die erste Generation "S16" (10 MIPS) ist auf Basis von 20K-Gates Gatearrays entwickelt (Technologie 2 um CMOS). Die zweite Generation "S20/25" neuerdings "S25" (15 MIPS) ist auf Basis eines Standardzellsystems (1,3 um CMOS, 25 MHz, 179 PGA) entworfen (Schaltkreise MB86901 Integer Unit, MB86911 FP-Controller und MB86920 MMU in SUN 4/200 - Workstation /2.79/). Entsprechende Gatearray- bzw. Standardzellsysteme aus DDR-Aufkommen stehen mit den Systemen U5300 und U1600 im Prinzip zur Verfuegung, wengleich der in den DDR-Systemen gebotene Anteil an Hardmacros vergleichbar gering ist. Vor Beginn entsprechender Entwurfsarbeiten waere eine eingehende Durchfuehrbarkeitsanalyse anhand von Mustern erforderlich. Die Nutzung von Gatearrays setzt aufgrund einer, verglichen mit dem Vollkundenentwurf um den Faktor 2...10 pro Gatter hoeheren Chipflaeche, und einer um denselben Faktor geringeren Geschwindigkeit erheblichen Technologie- und Systemvorlauf voraus. Beide Faktoren sind fuer eine Nachentwicklung unzutreffend. Der Entwurfsaufwand bei beiden Entwurfsmethoden ist etwa mit ca. 20...30% des fuer einen adaequaten Vollkundenschaltkreis erforderlichen anzusetzen; insgesamt ist ein Aufwand von ca. 6 Mannjahren pro Schaltkreistyp realistisch, damit waere das System (3 SK) ohne FPU (!) mit einem Team von 9 Mitarbeitern in ca. 2 Jahren entwickelbar.

b) Floating Point Unit (FPU) SN74ACT8847 von TI

Technische Details: 208-Pin-PGA, 10 MHz, 1W, 5V, TTL-kompatibel, 33 MFLOPS Peak Perform., Technologie: EPIC-II-B 0,8 um CMOS mit 3-Ebenen-Metallisierung /2.80/. Die Entwurfsaufwendungen sind bei einem Eigenentwurf mit etwa 30 Mannjahren anzusetzen. Der Aufwand zur Testpatternentwicklung braechte mit Sicherheit Ressourcenprobleme (CPU-Zeitbedarf) mit sich. Eine Produktion setzt die Beherrschung der 4Mb-dRAM-Technologie (CSGT6) voraus, waere also fruehestens ab 1995 moeglich. Zur Entwurfsmethodik sind keine Aussagen zu erhalten. Interessant erscheint an der CPU die Reduzierung des Entwicklungsaufwandes durch Anwendung des RISC-Prinzip. FPU's mit komplexem Befehlssatz sind in den jetzt moeglichen Integrationsgraden aufgrund des sich fast proportional mit der Transistorzahl entwickelnden Rechenaufwandes nicht mehr beherrschbar (zum Vergleich: der Entwurf der FPU AMD AM 29332 kostete pro Testfolgenverifikation 57 Jahre CPU-Zeit in VAX11/780-Einheiten).

c) CYPRESS-Chipsatz (CY7Cxxx) (24MIPS)

Der CYPRESS-Chipsatz CY7C601 IU (Integer Unit), -608 FPC, -603 MMU, -605 CMU-MP (CMU fuer Multiprocessing) ist nach Herstellerangaben /2.78/, /2.80/ in der CMOS-Technologie EPIC-II-B (0,8 um) entworfen (DDR-Aequivalent etwa CSGT6 ab 1995). Der Chipsatz besteht aus in der ersten Generation 6 Komponenten: 601 CPU, 603 MMU, 605 CMU-MP, 181 Cache, 608 FPC, 609 FPU = 8847 FPU. Der Entwurfsaufwand fuer das Gesamtsystem kann bei durchschnittlich 20 Mannjahren pro Typ mit ca. 120 Mannjahren angenommen werden. Der Einsatz eines Silicon-Compilers koennte diesen Aufwand auf ca. 30% reduzieren. Die Schaltkreise 601 und 608 (CPU und FPC) wurden in einer Ueberarbeitung zusammengelegt zum 602 (IU + FPC); die Schaltkreise 603 und 181 (MMU und Cache) sind jetzt als 604 (Cache, Cache-Control und Management Unit CMU) verfuegbar. Damit waere das 4 Chip-Set mit etwa 80 Mannjahren entwerfbar. Die Architektur des CY7C601 ist durch grosse Teile nichtregulaerer Logik gekennzeichnet. Eine DDR-Realisierung waere an die Verfuegbarkeit einer Technologie CSGT6 geknuepft, und waere bei Produktionsbeginn moralisch veraltet.

d) LSI-Logic L6480x / L6481x (15/20 MIPS)

Der SPARC-Chipsatz L648xx, bestehend aus der CPU L64801 (25 MHz) bzw. L64811 (33MHz) sowie L64802 FPC, TI 74ACT8847 FPU und L64803 MMU ist in einer 1,0 um CMOS-Vollkudentechnologie gefertigt (Ausnahme L64801: 1,5 um) /2.9/, /2.78/. Der Entwurfsaufwand ist vergleichbar zum CYPRESS-Chipsatz (ca. 80 Mannjahre).

e) Metaflow - ECL - Gatearray- SPARC (100 MIPS)

Metaflow entwickelte auf 5K-Gate ECL-Gatearrays zu Experimentalzwecken eine SPARC-Architektur mit ca 100 MIPS /2.81/. Der Lithografieprozess der ECL-Technologie duerfte etwa dem Technolgie-niveau 1,0 um entsprechen. Mit der derzeit verfuegbaren ECL-Technologie im VEB HWF (ECL-Masterslice mit ca. 900 Gatteraequivalenten und 4 Watt Verlustleitung pro Schaltkreis) wuerden ca. 10 Schaltkreise benoetigt, um eine SPARC-Architektur nachzubilden. Um einen ECL-Datencache von 4k Worten a 64 bit (=256kbit) nachzubilden, wuerden mit derzeit im RGW verfuegbaren 1kb-ECL-RAMs 256

Schaltkreise benoetigt. Die Moeglichkeit von ECL-Implementierungen entsteht folglich erst, wenn es gelaenge, die ECL-Technologie in das 1...2 um-Lithografieniveau zu heben (256kb...1Mb DRAM). Das wuerde eine der CSGT4 oder 5 nahezu identische Hochtechnologielinie im HWF voraussetzen.

In vergleichbaren Lithografieniveaus verwischen sich die Unterschiede von ECL und CMOS-Architekturen zunehmend. Waehrend es die ECL-Technologie gestattet, ca. 2...3 mal schneller zu sein (vorteilhaft fuer den Prozessor), gestattet die CMOS-Technologie ca. 2...3 mal hoehere Gatterdichten (Vorteilhaft fuer den Cache) bei stark reduzierter Verlustleitung. Folglich wird eine RISC-Implementierung erst dann maximal unterstuetzt, wenn beide Technologien auf einem Chip (Pinbarrierenproblem) verfuegbar sind. Reine ECL-Implementierungen sind aufgrund der Nichtverfuegbarkeit von ECL- oder GaAs-RAMs des Niveaus groesser 64 Kilobit fuer den Datencache abzulehnen. Aus Gruenden immer hoeherer Busdurchsatzraten werden Mehrplatinen-Architekturen ohnehin tendenziell unwirtschaftlich.

International sind derzeit ECL-Gatearrays bis 10 000 Gatteraquivalenten im Angebot. Die Entwicklung von ECL-RAMs scheint zu stagnieren, da eine Abloesung durch GaAs-RAMs erfolgte.

f) FRISMA - GaAs - Super - SPARC (250 MIPS)

Aufgrund wesentlich komplizierterer Prozessfuehrung laeuft die Entwicklung von GaAs-Schaltkreisen der internationalen Entwicklungsspitze der Silizium-Technologie um ein bis drei Technologieniveaus hinterher. Damit ist in vielen Applikationen der theoretisch moegliche Geschwindigkeitszuwachs von GaAs um etwa den Faktor 10...15 (Eigenleitdichte ca. 3fach geringer; Beweglichkeit ca. 3...5 fach hoeher als Silizium) etwa bis auf den Restfaktor 2 zusammenschmolzen. Geschwindigkeitsvorteile werden vorrangig durch eine hubreduzierte Schaltungstechnik und ein verringertes Lastverhaeltnis zur Umwelt realisiert (vergleichbar zu ECL). In einer zwei Lithografieniveaus besseren Silizium-Technologie lassen sich unter Anwendung von DSL- und CVSL-Schaltschichten und Riesengattern (Wegfall der Kapazitaetsbarriere "Umwelt") prinzipiell etwa vergleichbar schnelle Schaltkreise entwickeln. GaAs wird moeglicherweise erst dann zur dominierenden Technologie, wenn der Grenzbereich physikalisch minimaler Stegbreiten erreicht ist. Geeignete GaAs-Technologien sind in absehbarer Zeit in der DDR nicht verfuegbar.

g) Solbourne Einchipprozessor (CMOS-ULSI)

Analog zur Entwicklung des Intel-Einchip-RISC i80860 arbeitet Solbourne an der Entwicklung eines Einchipprozessors mit 1 Mio Trs. und einer angestrebt oberhalb 100 MIPS liegenden Prozessorleistung. Erste Muster sollen Ende 1989 vorliegen. Der Schaltkreis vereint 64 bit CPU, MMU, Cache und FPU. Das Lithografieniveau kann mit 0,8...1 um Stegbreite (CSGT6 4M-dRAM) angenommen werden. Diese Entwicklung verdient hoechste Aufmerksamkeit, sie wird sich aber gegen den i80860-Schaltkreis kaum durchsetzen koennen.

2.2.6.3. MIPS - R3000 Chipsatz

Schaltkreise: R3000 Integer-Prozessor, R3010 Floating Point Accelerator, R3020 Write Buffer; Second Sources: IDT79R3000, -3010, -3020 /2.34/, /2.37/ 1.2 um CMOS sowie PACE 3000 und -3010.

a) Entwurfsmethodik

Technologie (1,2 um CMOS) und Layouteindruck des R3000 aehneln denen des Motorola M88100- Prozessors. Einige verwaschene Konturen deuten auf einen moeglicherweise hoeheren Anteil an wilder Logik hin. Es ist eine weniger starke orthogonale Trennung der Baugruppen zu erkennen. Offenbar wurde staerker manuell optimiert. So sind zwischen Bondinselring und Baugruppen diverse (unschoene) Teile wilder Logik erkennbar. Die Groszblöcke untereinander sind ueber Haufen verwaschener (evtl. manuell entstandener) Logikgruppen verbunden. Als Entwurfsmittel fanden wahrscheinlich Modulgeneratoren (Datenpfade) und Baublock-Bibliotheken (RAM, ROM) Anwendung. Standardzell- Blöcke sind nicht zu erkennen (Geschwindigkeitsmaximierung).

Zu den R3000-Derivaten PACE 3000/3010 (Performance Semiconductors Corp., 0,8 um CMOS) und IDT 79 R3000/3010/3020 (1,2 um CMOS) liegen keine weiteren Informationen vor.

b) Entwurfsaufwand

Der Entwurfsaufwand kann fuer den R3000 und den R3010 mit 30, fuer den R3020 mit 10 Mannjahren angesetzt werden (Summe: 70 Mannjahre). Falls eine anhand von Musterschaltkreisen vorzunehmende Durchfuehrbarkeitsanalyse eine Realisierbarkeit in der Technologie CS6T4 ergaebe, koennte der Entwurfsaufwand durch Nutzung des U1600- Standardzellsystems auf ca. 30% reduziert werden.

2.2.6.4. Intel i80860 (33...80 MIPS)

a) Architektur

Gemessen an den RISC-Prozessoren gleichen bzw. hoeheren Integrationsgrades: CYPRESS CY7C601, MIPS R3000 und Motorola M88000 zeichnet sich der i80860 (1,0 um CMOS; vergleichbar zum Technologieniveau zwischen CS6T5 und -6) durch hohe Orthogonalitaet und Regularitaet sowie durch einen minimalen Befehlssatz aus (65 Befehle; davon 32 Integer-, 25 Floating Point- und 8 Grafikbefehle in einem Zyklus) /2.58/, /2.63/, /2.78/. Wie im Abschnitt Dynamik angedeutet, sind die wesentlich hoeheren Leistungsparameter bei einfacherer Architektur (Caches, MMU, FPU und Grafikeinheit sind auf dem Chip integriert) auf die Beseitigung der Treiber- und Pinbegrenzungsbarrieren zwischen den Einzelkomponenten zurueckzufuehren. Es ist anzunehmen, dasz die von Intel initiierten Kooperationsleistungen zu Software- und Geraetentwicklungen Erfolg haben werden. Bislang nicht erfolgte Lizenzvergaben deuten einen Alleingang von Intel an, der bisherige Konkurrenten aus dem RISC-Geschaefit verdraengen soll.

b) Entwerfbarkeit

Wenngleich reduzierter Befehlssatz und hohe Orthogonalitaet des Layouts auf einfache Entwerfbarkeit hindeuten, sind die zu bewaeltigenden Probleme nicht zu unterschaeetzen. Entwurfsteams der einzelnen Moduln sollten ueber Vorerfahrungen auf dem jeweiligen Gebiet verfuegen. Es waere sinnvoll, den Schaltkreis in einer abgestimmten und koordinierten Zusammenarbeit verschiedener Teams zu entwickeln. So verfuegt ZKI-Dresden ueber Erfahrungen auf dem Gebiet Floatig-Point-Units und im ZKI-Berlin existieren Erfahrungen zu Grafikcontrollern und CPU's sowie zu Fragen der Verhaltenssimulation. Entwurfsregeln, Verhaltensbeschreibungen, Testphilosophie und Modulgeneratoren koennten zwischen den beteiligten Entwurfsgruppen ausgetauscht werden. Voraussetzung fuer eine arbeitsteilige Zusammenarbeit ist allerdings die Einigung auf eine einheitliche Art, Modulgeneratoren und Logikelementare zu schreiben, da in der Phase der Zusammenlegung der Teile Formataenderungen einzelner Moduln moeglich sein muessen. Als Generatorbasis koennte z.B. der "Parametric-Cell-Layout-Interpreter" PCLINT des MME dienen. Die Generierung wilder Logik auf automatischem Wege koennte mit CGRA (MME) oder HIERMOS (ZMD) erfolgen. Ein vorhandenes Routing-System waere zu modifizieren.

Zur Modulverdrahtung ist ebenfalls ein automatisches Entwurfssystem erforderlich, das im Zusammenhang mit dem Zellverdrahtungssystem zum Einsatz zu bringen waere. Ansaetze zur Realisierung beider Verdrahtungssysteme bis 1990 sind vorhanden (MME, ZMD, HUMath., ZKI-B, IMath); diese Arbeiten koennten parallel zur Entwicklung der Modulgeneratoren vollendet werden.

Folgender Aufwands- und Zeitplan waere denkbar:

bis Ende 1990:

- Verhaltensmodellentwicklung fuer Gesamtschaltkreis und Baugruppen (ein Team mit ca. 10 VbE)
- parallele Entwicklung der Modulgeneratoren fuer
 - . Grundgatter (Random Logic) (ca. 2 VbE)
 - . FPU (ca. 5 VbE)
 - . IU (ca. 3 VbE)
 - . Caches (ca. 3 VbE)
 - . MMU (ca. 3 VbE)
 - . RAM's, ROM's, Stacks, PLA's etc. (ca. 10 VbE)
- Fertigstellung Placement und Routing fuer Gatterlogikbloecke und fuer Globalrouting (in Zusammenarbeit ca. 5 VbE)
- Erstellung der Logikbibliotheken der Moduln und Baugruppen (ca. 10 VbE gesamt).

1991 ... 1992:

- parallele Ruecksubstitution der Verhaltensbloecke durch Modullogik und Random-Logik
- Layoutgenerierung und -verifikation vollautomatisch (ein Team mit ca. 3 VbE)

- Testsatzerstellung
 (ein Team mit ca. 10 VBE)

Ein grosses Problem stellt derzeit die Festlegung eines geeigneten Verhaltens- und Logik-Simulationssystems dar. Die Simulation mit HBD in Verbindung mit KOSIM (ZKI-D) besitzt Schwachstellen im erreichbaren Komplexitaetsniveau und in der Moeglichkeit freier Modulgenerierung; mit LOFSIM und FMODES (in DIES) sind Probleme mit beherrschbarer Komplexitaet und mit unzureichender dynamischer Beschreibbarkeit des Verhaltens (FMODES) zu erwarten, und HISS (INT) wie auch SIMSY (Robotron) bieten keine Unterstuetzung zur Verhaltensmodellierung. Mit ISPS (TUD) waeren hinreichend praezise Verhaltensmodelle erstellbar, die aber nicht an einen Logiksimulator weitergereicht werden koennen.

2.2.6.5 Zusammenfassung zum Abschnitt 2.2.6.

Der Vergleich von CISC- und RISC- Architekturen zeigt, dass aufgrund moeglicher dynamischer Optimierbarkeit und aufgrund moeglicher Organisierbarkeit von ueberlappender Befehlsabarbeitung die Prozessordurchsatzraten bei gleichem Technologieniveau um den Faktor **3...5** steigen. Demzufolge gibt es fuer Hochleistungsrechner keine Alternative zu RISC-Prinzipien.

Durch hoehere Einfachheit und Transparenz von RISC- Architekturen wird die Testbarkeit der Entwuerfe unterstuetzt. Damit werden Qualitaet und Zuverlaessigkeit der Produkte gehoben.

Entwicklungsaufwand und Leistung der zu begutachtenden Schaltkreissysteme stehen unabhaengig von den im Detail besprochenen, moeglichen speziellen Entwurfstechniken etwa in folgenden Relationen:

	Aufwand	Leistung nach /2.78/
I 80860	100 %	100 %
M 88000	200 %	45 %
R 3000	250 %	60 %
SPARC-LSI-Logik	500 %	60 %
SPARC-Fujitsu	150 % *)	45 %
SPARC-CYPRESS	600 %	73 %

*) Realisierung als Standardzellentwurf

Unter Maszgabe von DDR- Basistechnologien waren bzw. waeren etwa folgende Erstpraeparationstermine von Entwicklungsauftraegen zu RISC- Prozessoren technologisch moeglich:

Jahr	Polyb.	Technol.	VAXMIPS	Prozessor
1986	2,0 um	CSGT3/4	10	Fujitsu- SPARC- S16, GA, ohne FPU
1987	1,5 um	CSGT4	14-17	Motorola M88000, ab '89 1,2 um CMOS
1987	1,5 um	CSGT4	15	LSI- Logic SPARC L64801, ohne FPU
1988	1,3 um	CSGT5	15	Fujitsu- SPARC- S25, STAZ, ohne FPU
1988	1,2 um	CSGT5	20	MIPS- R3000
1990	1,0 um	CSGT5/6	33	Intel i80860
1990	1,0 um	CSGT5/6	16	MIPS R2000A

1990	1,0 um	CSGT5/6	20	LSI-Logic SPARC L64811, ohne FPU
1992	0,8 um	CSGT6	33MFLOPs	SPARC-FPU TMS74SN8847
1992	0,8 um	CSGT6	24	SPARC CYPRESS CY7C601

Eine Chip-Integration aller Moduln eines Schaltkreissystems auf einem Chip garantiert architekturelle und dynamische Vorteile (breite, parallele Busse = hoechste Busdurchsatzraten; Vermeidung der dynamisch nachteiligen Kommunikationsbarrieren zwischen den Moduln), wie auch eine vergleichsweise einfache Architektur. Eine Realisierung einer Mehrchip-Architektur erscheint aus den Gruenden:

- wesentlich hoeherer Entwicklungsaufwand, da kompliziertere Architektur bei gleicher Leistung;
- Ueberholtheit bei Produktionseinfuehrung als unguenstig.

Die Entwicklung von Schaltkreisen des Technologieniveaus <1,5 um setzt die Anwendung von Modulgeneratoren voraus, um Modifikationen und Formatanpassungen der Moduln in der Finalphase des Entwurfs vornehmen zu koennen.

Es sind Schritte zu unternehmen, Modulgeneratoren zu erwerben bzw. in einer DDR- einheitlichen Art zu entwickeln.

Der Einsatz von Modulgeneratoren fuehrt perspektivisch dazu, neue Schaltkreise mit vorhandenen Modulgeneratoren entwickeln zu muessen. Es ergeben sich BTF- kompatible Entwuerfe, deren Aussehen nicht dem des Originals gleicht. Damit sind Schutzrechtsprobleme vermeidbar.

Aus Entwurfssicht erscheint die Realisierung des Schaltkreises Intel i80860 in einer weiterentwickelten Technologie CSGT5 als erfolgversprechende Variante.

Aus den Ergebnissen dieser Variante sollte gleichzeitig ein offenes, technologieunabhaengiges und parametrisierbares ASIC-System fuer Folgetechnologien (CSGT5, CSGT6) auf Basis von Modulgeneratoren abgeleitet werden.