

Untersuchung dynamischer Eigenschaften digitaler CMOS-Gatter

G. Heinz, KDT, Berlin

Mitteilung aus dem Zentralinstitut für Kybernetik und Informationsprozesse der Akademie der Wissenschaften Berlin

Es werden einige grundlegende theoretische Bezüge vermittelt, die einen Ansatzpunkt geben können, perspektivisch die Vorzüge der dynamischen Logiksimulation (kurze Rechenzeit) mit denen der Netzwerksimulation (hohe Genauigkeit der Rechnung) für die Simulation digitaler Systeme kombinieren zu können. Darauf aufbauend werden Untersuchungsergebnisse vorgestellt, die in den Jahren 1984 bis 1986 gewonnen wurden und bisher nur in [1] veröffentlicht wurden.

1. Digitale Flanken

Um digitale Flanken unter Berücksichtigung endlicher Flankensteilheit vermessen zu können, ist es erforderlich, Bezugspotentiale zu definieren. Dies gelingt, wenn eine digitale Flanke mathematisch als Taylorreihe entwickelt wird. Unter Maßgabe von auf Signalhub normierten Spannungen $u = U/U_{\text{hub}}$ seien zwei Flanken $u_1(t)$ und $u_2(t)$ betrachtet (Bild 1):

$$u_1(t) = u_1(t_1) + \frac{u_1'(t_1)}{1!}(t-t_1) + \frac{u_1''(t_1)}{2!}(t-t_1)^2 \dots \quad (1)$$

$$u_2(t) = u_2(t_2) + \frac{u_2'(t_2)}{1!}(t-t_2) + \frac{u_2''(t_2)}{2!}(t-t_2)^2 \dots \quad (2)$$

In Analogie zu [1] werden folgende Begriffe und Abkürzungen eingeführt:

Bezugspotential u_1, u_2 allg.: $u_0 = U(t_0)/U_{\text{hub}}$ (3)

Bezugszeit t_1, t_2 allg.: t_0 in s (4)

Fortsetzung von Seite 25

relative Chipfläche für den autonomen Selbsttest ist im Bild 5 in Abhängigkeit vom Integrationsgrad dargestellt.

Infolge der Anforderungen an die dRAM-Testung ist ausschließlich die Realisierung einer mikroprogrammierbaren Ablaufsteuerung (On-Chip-Tester) sinnvoll. Dabei ergeben sich folgende Vorteile:

- Bewährte Testalgorithmen sind leicht als Selbsttest implementierbar.
- Eine Testpatternmodifizierung ist mit mäßigem Aufwand durch Änderung des Mikroprogramm-ROM-Bitmusters möglich.
- Der On-Chip-Testprozessor kann zur Redundanzanalyse und Reparatur mit benutzt werden [6].
- Der dRAM-Entwurf muß durch die Integration des Selbsttests nur geringfügig modifiziert werden.
- Durch die Verfügbarkeit der internen dRAM-Steuersignale (für den On-Chip-Testprozessor) ist ein Selbsttest mit maximal möglicher Geschwindigkeit erreichbar (Wegfall der Datenblattvorhalte und der Leitungsprobleme Tester-Bauelement).
- Mit dem autonomen Selbsttest ist die Unterstützung des Systemtests und die Einbeziehung der Speicherschaltkreise in Prüfbuskonzeptionen zum Leiterplatten- und Systemtest möglich.

Im Bild 6 ist das Blockschaltbild eines möglichen On-Chip-Testprozessors für 4-Mbit- oder 16-Mbit-dRAMs dargestellt.

Zusammenfassung

Testunterstützung und Selbsttest für VLSI-Halbleiterspeicher ist bei steigendem Integrationsgrad und kürzeren Zugriffszeiten für eine ökonomische Massenproduktion unabdingbar. Für die Integration von RAM-Blöcken in höchstintegrierten anwendungsspezifischen Schaltkreisen ist Selbsttest eine Voraussetzung für deren Testbarkeit. Für dynamische Halbleiterspeicher ist ein On-Chip-Testprozessor die effektivste Möglichkeit, maximale Testgeschwindigkeit, Redundanzreparatur und die Unterstützung von Systemtestkonzeptionen zu implementieren. Die dafür benötigte zusätzliche Chipfläche kann durch die Einsparung an Testhardwarekosten beim Produzenten kompensiert werden.

NaA 208

Literatur auf Seite 33

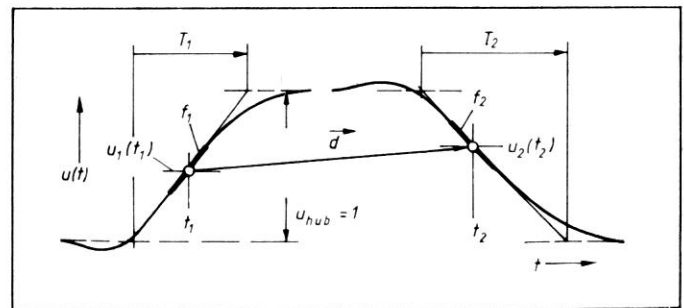


Bild 1. Approximation digitaler Flanken als Tripel $[u_0(t_0), t_0, f_0]$

Verzögerungszeit $\tau = t_2 - t_1$ in s (5)

Potentialversatz $\mu = u_2(t_2) - u_1(t_1)$ (6)

Flankensteilheit $f = u_0(t_0) = dU(t_0)/(dt \cdot U_{\text{hub}})$ in Hz (7)

Flankendauer $T = 1/f$ in s (8)

Flankenverhältnis $v = f_2/f_1$ (9)

Bezugsstrom $I_0 = I(t_0)$ in A (10)

Bezugskapazität $C_0 = C(t_0)$ in F (11)

Bezugsladung $Q_0 = Q(t_0) = I_0 T = U_{\text{hub}} C_0$ in As (12)

Wird als Bezugspotential einer Flanke $u_0(t_0)$ verändert, gilt als Grenzwert

$$\lim_{t \rightarrow t_0} \frac{u(t) - u(t_0)}{t - t_0} = u'(t_0) = f. \quad (13)$$

Für die Verzögerungszeit τ bei Bezugspotentialwechsel um μ innerhalb eines elektrischen Schaltungsknotens gilt bei der Flankensteilheit f in der Nähe des Bezugspotentials u_0 folglich

$$\tau = \mu/f = \mu T. \quad (14)$$

Die Ausdrücke I_0 , C_0 und Q_0 sind ebenfalls auf den Bezugspunkt (u_0, t_0) bezogene Größen.

2. Verzögerungsvektoren

Die Verzögerungszeit τ sowie der Potentialversatz μ zwischen zwei Flanken sind untrennbar verknüpft. Die Verknüpfung wird als Verzögerungsvektor $\vec{d}$ eingeführt, wobei $\vec{t}$ und $\vec{u}$ die Einheitsvektoren von Zeit- und Spannungsachse darstellen:

$$\vec{d} = \tau \vec{t} + \mu \vec{u}. \quad (15)$$

In Anbetracht der Grenzwertbetrachtung existieren Verzögerungsvektoren sowohl über elektrischen Zweigen (Gattern), als auch in elektrischen Knoten, sofern ein Knoten mehrere, voneinander verschiedene Bezugspotentiale hat. Demnach sind Graphen eines z. B. Logikplans und eines Verzögerungsschemas zwar eindeutig aufeinander abbildbar, aber i. allg. nicht isomorph!

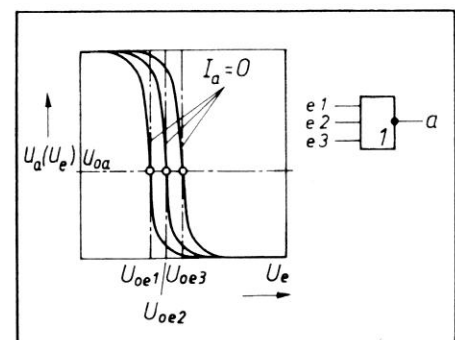


Bild 2
Statisches Transferkennlinienfeld eines NOR3-Gatters

3. Bezugspotential

Eine statische Transferkennlinie $U_a = f(U_{ei})$ eines AOI-Gatters zeigt (Bild 2) daß es nötig ist, jedem Gatteranschluß i mindestens ein unabhängiges Bezugspotential U_{0ei} zuzuordnen. Um das quasistatische Verhalten eines Gatters vermessen zu können, ist es erforderlich, als Bezugspunkte Punkte (U_{0a}, U_{0ei}) des statischen Transferkennlinienfeldes für $I_a = 0$ zu wählen. Jedem Gatteranschluß muß wenigstens ein Bezugspotential zuzuordnen sein. So kann der Anschluß (a) in Bild 2 für beliebig anders gewählte U_{0a} bis zu 3 Bezugspotentiale besitzen, je nachdem, welcher Eingang die Ausgangsflanke initiiert.

4. Rechenregeln

Für Netzwerke aus Verzögerungselementen gelten einige Besonderheiten.

Knoten

Das Tripel der in einen Knoten hineinführenden Flanke ist identisch dem aus dem Knoten herausführenden. Der Verzögerungsvektor $\vec{d}$ des Knotens ist damit identisch Null. Das Flankenverhältnis v ist Eins.

$$i \rightarrow \bullet \leftarrow j \quad [u_0(t_i), t_i, f_i] = [u_0(t_j), t_j, f_j] \quad (16)$$

$$\vec{d} = 0 \quad (17)$$

$$v = 1. \quad (18)$$

Zweig

Die Bezugspotentialverschiebung μ des Zweiges ergibt sich aus der Differenz der Bezugspotentiale u_x, u_y der Zweiganschlüsse. Die Verzögerungszeit ergibt sich aus der Differenz der Bezugszeiten t_i, t_j . Ein- und ausgangsseitige Flankensteilheiten f_i, f_j sind i. allg. verschieden voneinander. Das Flankenverhältnis v ergibt sich aus dem Quotienten der Flankensteilheiten f_i, f_j beider Anschlüsse:

$$\tau, \mu, v \quad \mu = u_y - u_x, \quad (19)$$

$$\tau = t_j - t_i, \quad (20)$$

$$\mu_x, t_i, f_i \quad \mu_y, t_j, f_j \quad v = f_j / f_i. \quad (21)$$

Masche

In Umlaufrichtung der Masche ist die (vektorielle) Summe der Verzögerungsvektoren $\vec{d}$ der durchlaufenen Zweige Null. Das Produkt aller Flankenverhältnisse v des geschlossenen Maschenumlaufs ist Eins.

$$\vec{d} = \sum_{i=1}^n \vec{d}_i = 0 \quad (22)$$

$$v = \prod_{i=1}^n v_i = 1. \quad (23)$$

Sonderfall Bezugspotentialschieber

(Anisomorphie zwischen elektrischem- und Verzögerungsschema) Eine elektrische Verbindung (Knoten), die ein- und ausgangsseitig verschiedene Bezugspotentiale hat, ist als (potentialsthebender) Zweig in ein Verzögerungsschema zu transformieren. Die durch Potentialverschiebung um μ verursachte Verzögerungszeit τ ergibt sich, kleine μ vorausgesetzt, aus dem Quotienten von Bezugspotentialverschiebung μ und Flankensteilheit f . Das Flankenverhältnis v ist Eins.

$$v = 1 \quad (24)$$

$$\tau = \mu / f. \quad (25)$$

5. Vermessung realer CMOS-Gatter

In [1] wurde gezeigt, daß eine aus zwei Sinusteilen, die im Bezugspunkt (u_0, t_0) zusammenstoßen, zusammengesetzte Flanke hinreichend die von realen Gatterketten bekannten, vielfältigsten Flankenformen approximiert. Mit einer Prozedur EDGE (siehe [1], Anlage 3), die aus einem Tripel (u_0, t_0, f_0) einen sinusförmigen Spannungsverlauf für die Netzwerksimulation generiert, wurden in [1] reale Gatter im Gesamtumfang von sinnvollen Eingangsfankensteil-

Bild 3

Dynamisches Transferkennlinienfeld eines CSGT2-Inverters. Quelle: [1]; HL-Flanke, $U_0 = 2,500 \text{ V}$, $U_{hub} = 5 \text{ V}$

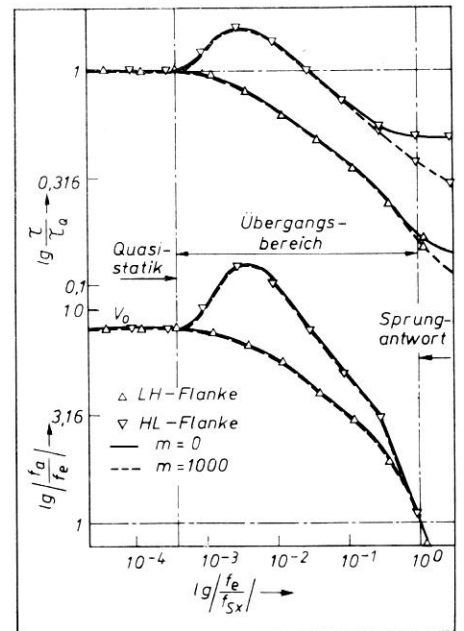
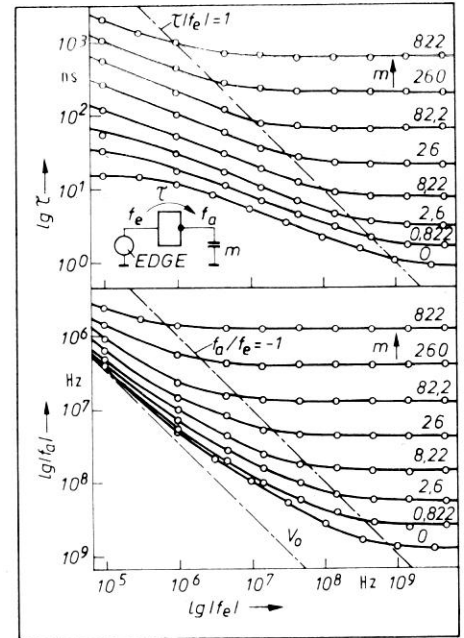


Bild 4

Normiertes, dynamisches Transferkennlinienfeld eines CSGT2-NAND6-Gattereingangs [1]. $U_0 = 2,341 \text{ V}$, $U_{hub} = 5 \text{ V}$

heiten und Lastkapazitäten simuliert (Bild 3). Lastkapazitäten C_0 sind auf die eigene Gateoxidkapazität C_{0x} des Gatters als Lastfaktor $m = C_0/C_{0x}$ normiert.

Es zeigt sich, daß die Kennlinien für unterschiedliche Lastfaktoren qualitativ Ähnlichkeit besitzen. Sie scheinen entlang der Diagonalen $\tau |f_e| = 1$ bzw. $f_a/f_e = -1$ verschoben zu sein. Mit den Normierungen der Eingangsfankensteilheit f_e auf die Ausgangsfankensteilheit f_{sx} der Sprungantwort; der Ausgangsfankensteilheit f_a auf die Eingangsfankensteilheit f_e sowie der Verzögerungszeit τ auf die der Quasistatik τ_Q zeigt Bild 4, daß selbst bei stark unsymmetrischen Gattern (NAND6) nur geringe Unterschiede in der so normierten Darstellung zwischen wenig ($m = 0$) und stark belastetem Gatter ($m = 1000$) auftreten. Differenzen liegen in der unterschiedlich starken Wirkung von Gate-Drain-Millerkapazitäten begründet (siehe dazu [1]). Soll die Dynamik eines komplexen Gatters protokolliert werden, sind Protokolle für alle eine Ausgangsänderung initiierten Eingänge anzulegen. Typische Veränderungen dynamischer Kennlinien unter variierender Betriebsspannung [1] verdeutlichen die Risiken derzeitiger dynamischer Verifikationsmittel.

6. Dynamische Eckkenngrößen

Ausgehend von einem statischen Kennlinienfeld eines Gattereingangs gelingt es, dynamische Eckkenngrößen eines digitalen Gatters herzuleiten, siehe Bild 5.

r_0 kennzeichnet den differentiellen Innenwiderstand im Bezugspunkt (U_{0e}, U_{0a}) ; v_0 die differentielle, statische Spannungsverstärkung im Bezugspunkt; I_{sx} sowie U_{sx} (x : Flankenrichtungsindex)

kennzeichnen Großsignalparameter für die Bestimmung der Sprungantwort des Gatters.

Für eine quasistatische Arbeitsweise ($f_e \rightarrow 0$) gilt nach [1]:

$$f_{aQ} = v_0 f_{eQ} \quad (26)$$

$$\tau_Q = r_0 C_0 \quad (27)$$

Für die Sprungantwort ($f_e \rightarrow \infty$) gilt nach [1]:

$$f_{aS} = -I_{Sx}/(U_{hub} C_0) \quad (28)$$

$$\tau_{Sx} = U_{Sx} C_0 / (-I_{Sx}) + \tau_m \quad (29)$$

τ_m bezeichnet einen in [1] abgeleiteten Miller-Verzögerungsanteil. Zwischen der Verzögerungszeit der Quasistatik τ_Q und der der Sprungantwort τ_{Sx} besteht beim einstufigen Gatter ein festes Verhältnis.

$$\frac{\tau_Q}{\tau_{Sx}} \approx \frac{r_0 |I_{Sx}|}{|U_{Sx}|} \quad (30)$$

Wird formal ein Quotient aus den Flankensteilheiten von Quasistatik (Q) und Transitfall (T) für den Eingang (e) und für den Ausgang (a) gebildet, so kann mit den Nebenbedingungen für den Transitfall $f_{aT}/f_{eT} = -1$ und für die Quasistatik (26)

$$v_a = f_{aT}/f_{aQ}, \quad v_e = f_{eT}/f_{eQ} \quad (31)$$

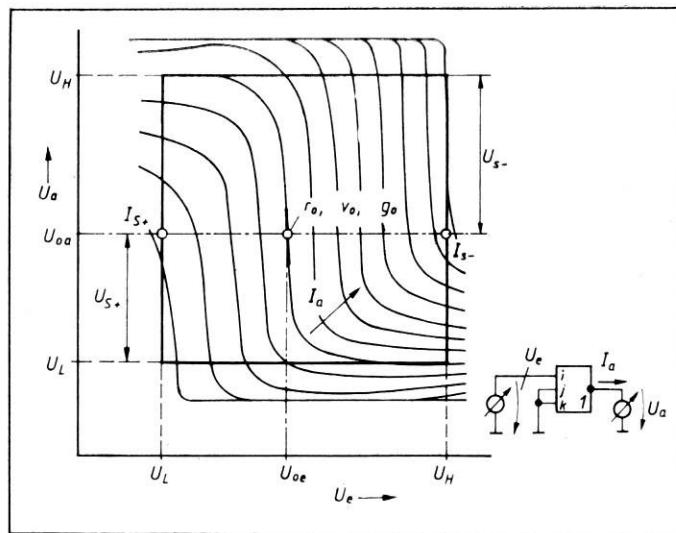
eine überraschend einfache Beziehung für die Länge der Übergangsbereiche gefunden werden. Die (logarithmischen) Längen v_a, v_e der Übergangsbereiche zwischen Quasistatik und beginnender Sprungantwort (Transitfall) sind über die differentielle, statische Spannungsverstärkung des Gatters v_0 verknüpft (v_0 ist negativ)!

$$v_e + v_0 v_a = 0 \quad (32)$$

NaA 209

Literatur

- [1] *Heinz, G.*: Ansätze zur analytischen Beschreibung der Dynamik digitaler CMOS-Gatter, Humboldt-Universität zu Berlin, Sekt. Elektronik, Diss. A, 18. Feb. 1988, 158 S.



$$I_{S+} = I_a(U_L, U_{0a})$$

$$I_{S-} = I_a(U_H, U_{0a})$$

$$v_0 = \frac{d U_a}{d U_e}$$

$$r_0 = \frac{d I_a}{d I_a}$$

$$g_0 = \frac{d I_a}{d U_e} = \frac{v_0}{r_0}$$

Bild 5. Statisches Kennlinienfeld eines NOR3-Gattereingangs [1]

Dr.-Ing. Gerd K. Heinz, Zentralinstitut für Kybernetik und Informationsprozesse der AdW, Rudower Chaussee 5, Berlin, 1199